

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 18 年 2 月 23 日 (2006.2.23)

【公表番号】特表 2006-501697(P2006-501697A)
 【公表日】平成 18 年 1 月 12 日 (2006.1.12)
 【年通号数】公開・登録公報 2006-002
 【出願番号】特願 2003-550513(P2003-550513)
 【国際特許分類】

H 0 4 N 7/26 (2006.01)

【 F I 】

H 0 4 N 7/13 Z

【手続補正書】
 【提出日】平成 17 年 12 月 1 日 (2005.12.1)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】

ビデオデータを記憶するための線形アドレス指定可能記憶装置をもつメモリと、
 ビデオデータの多次元ブロックを指定する命令に 응답して、メモリの記憶装置にアクセスし、命令に 응답して、メモリの多数の非連続行からビデオデータの多次元ブロックをフェッチするためのプログラマブルビデオ直接メモリアクセス (video direct memory access, VDMA) 制御装置とを含むシステム。

【請求項 2】

命令が、ビデオデータブロックの行番号および列番号を指定する請求項 1 記載のシステム。

【請求項 3】

命令が、ビデオブロックの各行間の記憶装置番号を示すジャンプパラメータを指定する請求項 1 記載のシステム。

【請求項 4】

VDMA 制御装置が、命令に 응답して、メモリから宛先メモリへビデオデータをコピーする請求項 1 記載のシステム。

【請求項 5】

命令が、メモリ内のビデオブロックの開始アドレスと宛先メモリ内の開始アドレスとを指定する請求項 4 記載のシステム。

【請求項 6】

第 1 のバスを介して VDMA 制御装置へ命令を発行するためのプロセッサと、
 第 2 のバスを介して VDMA 制御装置へ命令を発行するためのデジタル信号プロセッサとをさらに含む請求項 1 記載のシステム。

【請求項 7】

内部メモリを含む動き推定装置と、ビデオデータブロック間の歪みメトリックを計算するための差分計算器とをさらに含み、VDMA 制御装置が、命令に 응답して、メモリから、動き推定装置の内部キャッシュへ、ビデオデータブロックをコピーする請求項 1 記載のシステム。

【請求項 8】

プロセッサから直接メモリアクセス (direct memory access, DMA) 命令を受信して

、ビデオデータの多次元ブロックを転送することと、

命令に回答して、ビデオデータの多次元ブロックのためのソースアドレスの組と宛先アドレスの組とを生成し、ソースアドレスの組が、ソースメモリの多数の非連続行に対応することと、

命令に回答して、ソースアドレスおよび宛先アドレスにしたがって、ソースメモリから宛先メモリへビデオデータをコピーすることを含む方法。

【請求項 9】

ソースメモリおよび宛先メモリの各々が、線形アドレス指定可能記憶装置をもつ請求項 8 記載の方法。

【請求項 10】

命令が、ビデオデータブロックの行番号および列番号を指定し、アドレスの組を生成することが、行番号および列番号の関数として、ソースアドレスおよび宛先アドレスを計算することを含む請求項 8 記載の方法。

【請求項 11】

命令が、ビデオブロックの各行間のアドレス番号を示すジャンプパラメータを指定し、アドレスの組を生成することが、ジャンプパラメータの関数として、ソースアドレスおよび宛先アドレスを計算することを含む請求項 8 記載の方法。

【請求項 12】

命令が、ソースメモリ内のビデオブロックの開始ソースアドレスと宛先メモリ内の開始宛先アドレスとを指定する請求項 8 記載の方法。

【請求項 13】

ビデオデータをコピーすることが、命令に回答して、多数の行をもつビデオデータのブロック全体をフェッチすることを含む請求項 8 記載の方法。

【請求項 14】

命令を受信することが、第 1 のバスを介して命令を受信することを含む方法であって、デジタル信号プロセッサから第 2 のバスを介して第 2 の命令を受信することをさらに含む請求項 8 記載の方法。

【請求項 15】

ビデオデータをコピーすることが、命令に回答して、ビデオデータを、動き推定装置の内部キャッシュへコピーすることを含む請求項 8 記載の方法。

【請求項 16】

符号化される候補のビデオブロックを記憶するための第 1 のメモリと、

符号化される候補のビデオブロックを含むビデオデータブロックの組を記憶するための第 2 のメモリと、

候補のビデオブロックとビデオブロックの組との差分メトリックを計算するための差分計算機と、

候補のビデオブロックとビデオブロックの組とをビデオメモリから第 1 のメモリおよび第 2 のメモリにそれぞれコピーするためのプログラマブルビデオ直接メモリアクセス (V D M A) 制御装置であって、ビデオメモリ内に多数の非連続行で記憶されているビデオデータの多次元サーチ空間を特定する 1 つの直接メモリアクセス (D M A) 命令に回答して、ブロックの組を第 2 のメモリにコピーする V D M A 制御装置とを含む装置。

【請求項 17】

第 2 のメモリによって記憶されるビデオデータブロックの組が、完全なビデオデータフレームを含む請求項 16 記載の装置。

【請求項 18】

差分計算器が、第 1 のメモリから候補のビデオブロックを、第 2 のメモリからビデオブロックの組の中の 1 つ以上のビデオブロックを読み出すためのアドレス生成論理を含む請求項 16 記載の装置。

【請求項 19】

差分計算器が、第 1 のメモリから候補のビデオブロックを、第 2 のメモリからビデオブ

ロックの組の中の1つ以上のビデオブロックを並列に読み出す請求項18記載の装置。

【請求項20】

命令が、ビデオデータのサーチ空間の行番号および列番号を指定する請求項16記載の装置。

【請求項21】

ビデオメモリが、ビデオデータを記憶するための複数の線形アドレス指定可能記憶装置を含む請求項16記載の装置。

【請求項22】

命令が、サーチ空間の各行間の記憶装置番号を示すジャンプパラメータを指定する請求項16記載の装置。

【請求項23】

命令が、ビデオメモリ内のサーチ空間の開始ソースアドレスと第2のメモリ内の開始宛先アドレスとを指定する請求項16記載の装置。

【請求項24】

第1のバスを介してVDM A制御装置へ命令を発行するためのプロセッサと、

第2のバスを介してVDM A制御装置へ命令を発行するためのデジタル信号プロセッサ(DSP)とをさらに含む請求項16記載の装置。

【請求項25】

差分計算器が、サーチ命令に応答して、差分メトリックを計算し、各サーチ命令が、第2のメモリ内に記憶されているビデオデータの多次元領域を指定する請求項16記載の装置。

【請求項26】

サーチ命令を記憶し、かつサーチ命令を差分計算器へ送るための命令緩衝器をさらに含む請求項25記載の装置。

【請求項27】

プロセッサから直接メモリアクセス(DMA)命令を受信して、ビデオデータの多次元ブロックへ転送するための手段と、

命令に応答して、ビデオデータの多次元ブロックのソースアドレスの組と宛先アドレスの組とを生成するための手段であって、ソースアドレスの組がソースメモリの多数の非連続行に対応する手段と、

ソースアドレスおよび宛先アドレスにしたがって、ソースメモリから宛先メモリへビデオデータをコピーするための手段とを含む装置。

【請求項28】

ソースメモリおよび宛先メモリの各々が、線形アドレス指定可能記憶装置をもつ請求項27記載の装置。

【請求項29】

命令が、ビデオデータブロックの行番号および列番号を指定し、生成手段が、行番号および列番号の関数として、ソースアドレスおよび宛先アドレスを計算するための手段を含む請求項27記載の装置。

【請求項30】

命令が、ビデオブロックの各行間のアドレス番号を示すジャンプパラメータを指定し、生成手段が、ジャンプパラメータの関数として、ソースアドレスおよび宛先アドレスを計算するための手段を含む請求項27記載の装置。

【請求項31】

命令が、ソースメモリ内のビデオブロックの開始ソースアドレスと、宛先メモリ内の開始宛先アドレスとを指定する請求項27記載の装置。

【請求項32】

受信手段が、第1のバスを介して命令を、デジタル信号プロセッサから第2のバスを介して第2の命令を受信する請求項27記載の装置。

【請求項33】

コピー手段が、命令に応答して、ビデオデータを、動き推定装置の内部キャッシュへコピーするための手段を含む請求項 27 記載の装置。