



[12] 发明专利申请公开说明书

[21]申请号 93115698.X

[51]Int.Cl⁵

H03K 19/094

[43]公开日 1994年7月27日

[22]申请日 93.12.30

[30]优先权

[32]92.12.31[33]KR[31]27123/92

[71]申请人 三星电子株式会社

地址 韩国汉城

[72]发明人 中崎隆

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 范本国

H01L 27/04

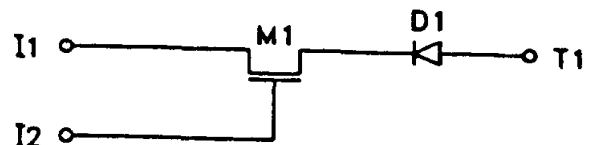
说明书页数:

附图页数:

[54]发明名称 整流传送门电路

[57]摘要

本发明为一种整流传送门电路，包括第一和第二场效应晶体管和一个二极管。第一场效应晶体管的源极接至第一输入端，其栅极接至第二输入端。同时，第二场效应晶体管的源极接至第二输入端，其栅极接至第一输入端。上述的二极管接在上述的第一、第二场效应晶体管的公共漏极和输出端之间，从而提高采用上述的整流传送门电路的应用电路的工作速度。



权 利 要 求 书

1. 一种整流传送门电路，包括：

分别用来接受第一、第二逻辑输入信号的第一、第二输入端，
用于提供一个输出信号的输出端，

一个场效应晶体管，该场效应晶体管具有一个与上述的第一输入端相连的源极、一个与上述的第二输入端相连的栅极和一个漏极，
以及

一个二极管，该二极管的一端连接上述的场效应晶体管的漏极，
另一端与上述的输出端相连。

2. 根据权利要求1的整流传送门电路，其中所述的场效应晶体管由一个NMOS管构成，该NMOS管的漏极与上述二极管的负极相连，
上述的输出端与上述二极管的正极相连。

3. 根据权利要求1的整流传送门电路，其中所述的场效应晶体管由一个PMOS管构成，该PMOS管的漏极与上述二极管的正极相连，
上述的输出端与上述二极管的负极相连。

4. 一种整流传送门电路，包括：

用来分别接收第一、第二逻辑输入信号的第一、第二输入端，
用于提供输出信号的一个输出端，

第一场效应晶体管，该场效应晶体管具有一个与上述的第一输入端相连的源极、一个与上述的第二输入端相连的栅极以及一个漏极，

第二场效应晶体管，该场效应晶体管具有一个与上述的第二输入端相连的源极、一个与上述的第一输入端相连的栅极以及一个与上述的第一场效应晶体管的源极相连的漏极；以及

一个二极管，该二极管的一端与上述的第一和第二场效应晶体管的漏极相连，另一端与上述的输出端相连。

5. 根据权利要求4的整流传送门电路，其中所述的第一、第二场效应晶体管分别由第一、第二NMOS管构成，上述的第一、第二NMOS管的漏极与上述二极管的负极相连，上述的输出端与上述二极管的正极相连。

6. 根据权利要求4的整流传送门电路，其中所述的第一、第二场效应晶体管分别由第一、第二PMOS管构成，上述的第一、第二PMOS管的漏极连接至上述二极管的正极，上述的输出端与上述二极管的负极相连。

7. 一种整流传送门电路，包括：

分别用来接收第一、第二逻辑输入信号的第一、第二输入端；

用于提供输出信号的一个输出端；

提供一个参考电位的一个参考电压源；

第一场效应晶体管，该场效应晶体管有一个与上述的输入端相连的源极、一个与上述的第二输入端相连的栅极和一个漏极；

第二场效应晶体管，该场效应晶体管有一个与上述的第二输入端相连的源极、一个与上述的第一输入端相连的栅极和一个与上述的第一场效应晶体管的漏极相连的漏极；

一个接在上述的第一、第二场效应晶体管的漏极以及上述的参考电压源之间的导电负载；以及

一个二极管，该二极管的一端与上述的第一、第二场效应晶体管的漏极相连，另一端与上述的输出端相连。

8. 根据权利要求7的整流传送门电路，其中所述的第一、第二场效应晶体管分别由第一、第二NMOS管构成，上述的第一、第二NMOS管的漏极与上述二极管的正极相连，上述的输出端与上述二极管的负极相连。

9. 根据权利要求7的整流传送门电路，其中所述的第一、第二场效应晶体管分别由第一、第二PMOS管构成，上述的第一、第二PMOS管的漏极连接至上述二极管的负极，上述的输出端与上述二极管的正极相连。

10. 一种逻辑电路，包括：

用于提供一个参考电压的参考电压源；

用于提供输出信号的一个输出端；

连接在上述的参考电压源和输出端之间的一个导电负载；以及

至少一个整流传送门电路，该整流传送门电路包括第一、第二输入端、其栅极分别与上述的第二和第一输入端相连的第一、第二场效应晶体管、以及一个二极管；该二极管的一端与上述的第一、第二场效应晶体管的公共漏极相连，另一端与上述的输出端相连。

11. 根据权利要求10的逻辑电路，其中所述的整流传送门中的上述第一、第二场效应晶体管均由漏极与上述二极管的负极相连的

NMOS管构成。

12. 根据权利要求10的逻辑电路，其中所述的整流传送门中的上述的第一、第二场效应晶体管均由漏极与上述二极管的正极相连的PMOS管构成。

13. 一种逻辑电路，包括：

用于提供参照电位的参考电压源，

用于提供输出信号的一个输出端，

接在上述的参考电压源和上述的输出端之间的第一导电电阻，

以及

至少一个整流传送门电路，该整流传送门包括第一、第二输入端、其源极分别与上述的第一、第二输入端相连而栅极则分别与上述的第二、第一输入端相连的第一、第二场效应晶体管、接在的第一、第二场效应管和上述的参考电压源之间的第二导电负载、以及一个二极管；该二极管的一端与上述的第一、第二场效应晶体管的公共漏极相连，另一端与上述的输出端相连。

14. 根据权利要求13的逻辑电路，其中所述的整流传送门电路中包含的第一、第二场效应晶体管由漏极与上述二极管的正极相连的NMOS晶体管构成。

15. 根据权利要求13的逻辑电路，其中所述的整流传送门电路中包含的第一、第二场效应晶体管由漏极与上述二极管的负极相连的PMOS管构成。

16. 一种进位逻辑电路，包括：

第一、第二和第三输入端；

用于提供输出信号的一个输出端；

正极分别与上述的第一、第二和第三输入端相连的第一、第二和第三二极管；

第一、第二和第三场效应管，它们的源极分别与上述的第一、第二和第三二极管相连，栅极分别与上述的第二、第三和第一输入端相连，漏极公共地接至上述的输出端；

用于提供参考电位的一个参考电压源；以及

接在上述的输出端和上述的参考电压源之间的一个导电负载。

17. 根据权利要求16的进位逻辑电路，其中上述的第一、第二和第三场效应管由NMOS管构成。

18. 一种进位逻辑电路，包括：

第一、第二和第三输入端；

提供输出信号的一个输出端；

正极与上述的第一输入端相连的第一二极管；

正极与上述的第三输入端相连的第二二极管；

第一场效应晶体管，其源极与上述的第一二极管的负极相连，栅极与上述的第三输入端相连，漏极与上述的输出端相连；

第二场效应晶体管，其源极与上述的第一二极管的负极相连，栅极与上述的第二输入端相连，漏极与上述的输出端相连；

第三场效应晶体管，其源极与上述的第二二极管的负极相连，栅极与上述的第二输入端相连，漏极与上述的输出端相连。

用于提供参考电压的参照电压源，以及
接在上述的输出端和上述的参考电压源之间的导电负载。

19. 根据权利要求18的进位逻辑电路，其中所述的第一、第二和第三场效应晶体管由NMOS晶体管来构成。

20. 一种加法电路，包括：

第一和第二输入端；

用来接收进位输入信号的一个进位输入端；

用来产生作为相加结果而得出的一个和信号的和信号输出端；

用来产生作为相加结果而得到的一个进位输出端；

第一、第二场效应晶体管，它们的源极分别与上述的第一、第二输入端相连，栅极与上述的第二、第一输入端分别相连，漏极则相互连结，

第三、第四场效应晶体管，它们的源极分别与上述的第一、第二场效应管的漏极和上述的进位输入端相连，栅极分别与上述的进位输入端和上述的第一、第二场效应晶体管的漏极相连，漏极则一起连至上述的和信号输出端；

正极与上述的进位输入端相连的第一二极管；

正极与上述的第一输入端相连的第二二极管；

第五场效应晶体管，该场效应晶体管的源极连至上述的第一二极管的负极，栅极连至上述的第一输入端，漏极则与上述的和信号输出端相耦合；

第六场效应晶体管，该场效应晶体管的源极与上述的第一二极

管的负极相连，栅极与上述的第二输入端相连，漏极接至上述的和信号输出端；以及

第七场效应晶体管，该场效应晶体管的源极与上述的第二二极管的负极相连，栅极与上述的第二输入端相连，漏极则与上述的和信号输出端相连。

21. 根据权利要求20的加法电路，其中上述的第一至第七场效应晶体管由NMOS管来构成。

22. 一种半导体装置，包括：

一个半导体基底；

互相隔开地形成在上述的半导体基底上的第一、第二和第三掺杂区，这三个掺杂区均具有第一导电率；

在上述的第一、第二掺杂区之间形成的第一晶体管沟道；

在上述的第二、第三掺杂区之间形成的第二晶体管沟道；

在上述的第二掺杂区中形成的、具有与上述的第一导电率相反的第二导电率的第四掺杂区；

在上述的第一晶体管沟道上形成的第一栅电极，中间隔有一层第一栅极绝缘膜；

在上述的第二晶体管沟道上形成的第二栅电极，中间隔有一层第二栅极绝缘膜；

在上述的第一掺杂区上形成的第一电极层，

在上述的第三掺杂区上形成的第二电极层，以及

在上述的第四掺杂区一形成的第三电极层。

23. 一种半导体装置，包括：

一个半导体基底，

在上述半导体基底上形成的、具有第一导电率的第一掺杂区，

在上述的第一掺杂区中形成的、具有与上述的第一导电率相反的第二导电率的第二掺杂区。

在上述的半导体基底形成上的、具有使上述的第二掺杂区曝露的开口的中介绝缘层；

用于填充上述开口而形成的导电材料层；

在上述的导电材料层上形成的、具有与上述的第二掺杂区相同的导电率的第三掺杂区；

分别在上述的第三掺杂区的两侧形成的第一、第二场晶体管通道，

在上述的第一晶体管沟道的外侧形成的、具有和上述的第三掺杂区相同的导电率第四掺杂区，

在上述的第二晶体管沟道的外侧形成的、具有与上述的第三掺杂区相同的导电率的第五掺杂区，

分别在上述的第一、第二晶体管沟道形成的、中间隔有栅绝缘膜的第一、第二栅电极，

分别在上述的第四和第五掺杂区上形成的第一、第二电极层，
以及

上述的第三掺杂区层上形成的第三电极层。

24. 根据权利要求23的半导体装置，其中上述的导电材料层包括一个金属层。

说明书

整流传送门电路

本发明涉及一种整流传送门电路(rectifying transfer gate circuit)，更具体地说，涉及一种用于高速逻辑电路、其应用电路和其半导体结构中的整流传送门电路。

一般说来，逻辑电路由许多开关元件如晶体管和二极管所构成。由电流控制的逻辑电路对作为信号的电流进行处理，而由电压控制的逻辑电路则对作为信号的电压进行处理。由电流控制的逻辑电路只是有限地使用在一些特殊场合，原因是它会增大电源消耗，其电路设计也比由电压控制的逻辑电路复杂。

另一方面，由电压控制的逻辑电路则被广泛使用。这种压控逻辑电路中的主要元件是工作稳定、电源消耗又较小的场效应管，特别是CMOS管。然而，由CMOS管构成的逻辑电路需要一个附加电路使输入信号倒相，这样就会增大杂散电容和接线长度，而使得信号延迟时间和制造成本增大。

因此，本发明的第一个目的在于提供一种既简单又能工作在稳定状态下的整流传送门电路。

本发明的第二个目的是提供一种由上述的整流传送门电路联结而成的逻辑电路。

本发明的第三个目的是提供一个由上述的整流传送门电路联结而成的进位逻辑电路。

本发明的第四个目的在于提供一种由上述的整流传送门电路联

结而成的加法电路。

本发明的第五个目的是提供一种用于实施这种整流传送门电路的半导体装置。

实现上述的第一个目的的 本发明的整流传送门电路包括：

分别用来接受第一、第二逻辑输入信号的第一、第二输入端，
用于提供一个输出信号的输出端，

一个场效应晶体管，该场效应晶体管具有一个与上述的第一输入端相连的源极、一个与上述的第二输入端相连的栅极和一个漏极，
以及

一个二极管，该二极管的一端连接上述的场效应晶体管的漏极，
另一端与上述的输出端相连。

在上述的整流传送门电路的一个实施例中，其中所述的场效应晶体管由一个NMOS管构成，该NMOS管的漏极与上述二极管的负极相连，上述的输出端与上述二极管的正极相连。在另一个实施例中，其中所述的场效应晶体管由一个PMOS管构成，该PMOS管的漏极与上述二极管的正极相连，上述的输入端与上述二极管的负极相连。

实现上述的第一目的的本发明的另一种整流传送门电路包括：

用来分别接收第一、第二逻辑输入信号的第一、第二输入端，
用于提供输出信号的一个输出端，

第一场效应晶体管，该场效应晶体管具有一个与上述的第一输入端相连的源极、一个与上述的第二输入端相连的栅极以及一个漏极，

第二场效应晶体管，该场效应晶体管具有一个与上述的第二输

入端相连的源极、一个与上述的第一输入端相连的栅极以及一个与上述的第一场效应晶体管的漏极相连的漏极；以及

一个二极管，该二极管的一端与上述的第一和第二场效应晶体管的漏极相连，另一端与上述的输出端相连。

在上述的整流传送门电路的一个实施例中，其中所述的第一、第二场效应晶体管分别由第一、第二NMOS管构成，上述的第一、第二NMOS管的漏极与上述二极管的及极相连，上述的输出端与上述二极管的正极相连。在另一个实施例中，其中所述的第一、第二场效应晶体管分别由第一、第二PMOS管构成，上述的第一、第二PMOS管的漏极连接至上述二极管的正极，上述的输出端与上述二极管的负极相连。

实现本发明的第一目的的另一种整流发送门电路包括，

分别用来接收第一、第二逻辑输入信号的第一、第二输入端；

用于提供输出信号的一个输出端；

提供一个参考电位的一个参考电压源；

第一场效应晶体管，该场效应晶体管有一个与上述的输入端相连的源极、一个与上述的第二输入端相连的栅极和一个漏极；

第二场效应晶体管，该场效应晶体管有一个与上述的第二输入端相连的源极、一个与上述的第一输入端相连的栅极和一个与上述的第一场效应晶体管的漏极相连的漏极；

一个接在上述的第一、第二场效应晶体管的漏极以及上述的参

考电压源之间的导电负载；以及

一个二极管，该二极管的一端与上述的第一、第二场效应晶体管的漏极相连，另一端与上述的输出端相连。

在上述的整流传送门电路的一个实施例中，其中所述的第一、第二场效应晶体管分别由第一、第二NMOS管构成，上述的第一、第二NMOS管的漏极与上述二极管的正极相连，上述的输出端与上述二极管的负极相连。在另一个实施例中，其中所述的第一、第二场效应晶体管分别由第一、第二PMOS管构成，上述的第一、第二PMOS管的漏极连接至上述二极管的负极，上述的输出端与上述二极管的正极相连。

实现本发明的第二目的的一种逻辑电路包括：

用于提供一个参考电压的参考电压源；

用于提供输出信号的一个输出端；

连接在上述的参考电压源和输出端之间的一个导电负载；以及

至少一个整流传送门电路，该整流传送门电路包括第一、第二输入端、其栅极分别与上述的第二和第一输入端相连的第一、第二场效应晶体管、以及一个二极管；该二极管的一端与上述的第一、第二场效应晶体管的公共漏极相连，另一端与上述的输出端相连。

在上述的逻辑电路的一个实施例中，其中所述的整流传送门中的上述第一、第二场效应晶体管均由漏极与上述二极管的负极相连的NMOS管构成。在另一个实施例中，其中所述的整流传送门中的上述第一、第二场效应晶体管均由漏极与上述二极管的正极相连的

PMOS管构成。

实现本发明的第二目的的另一逻辑电路包括：

用于提供参照电位的参考电压源，

用于提供输出信号的一个输出端，

接在上述的参考电压源和上述的输出端之间的第一导电负载，

以及

至少一个整流传送门电路，该整流传送门包括第一、第二输入端、其源极分别与上述的第一、第二输入端相连而栅极则分别与上述的第二、第一输入端相连的第一、第二场效应晶体管、接在上述的第一、第二场效应管和上述的参考电压源之间的第二导电负载、以及一个二极管；该二极管的一端与上述的第一、第二场效应晶体管的公共漏极相连，另一端与上述的输出端相连。

在上述的逻辑电路的一个实施例中，所述的整流传送门电路中包含的第一、第二晶体管由漏极与上述二极管的正极相连的NMOS晶体管构成。在另一个实施例中，所述的整流传送门电路中包含的第一、第二场效应晶体管由漏极与上述二极管的负极相连的PMOS管构成。

实现本发明的第三目的的逻辑电路包括：

第一、第二和第三输入端；

用于提供输出信号的一个输出端；

正极分别与上述的第一、第二和第三输入端相连的第一、第二和第三二极管；

第一、第二和第三场效应管，它们的源极分别与上述的第一、第二和第三二极管相连，栅极分别与上述的第二、第三和第一输入端相连，漏极公共地接至上述的输出端；

用于提供参考电位的一个参考电压源；以及

接在上述的输出端和上述的参考电压源之间的一个导电负载。

这里所述的第一、第二和第三场效应管由NMOS管构成。

实现本发明的第三目的的另一种进位逻辑电路包括：

第一、第二和第三输入端；

提供输出信号的一个输出端；

正极与上述的第一输入端相连的第一二极管；

正极与上述的第三输入端相连的第二二极管；

第一场效应晶体管，其源极与上述的第一二极管的负极相连，栅极与上述的第三输入端相连，漏极与上述的输出端相连；

第二场效应晶体管，其源极与上述的第一二极管的负极相连，栅极与上述的第二输入端相连，漏极与上述的输出端相连；

第三场效应晶体管，其源极与上述的第二二极管的负极相连，栅极与上述的第二输入端相连，漏极与上述的输出端相连，

用于提供参考电压的参照电压源，以及

接在上述的输出端和上述的参考电压源之间的导电负载。这里所述的第一、第二和第三场效应晶体管由NMOS晶体管来构成。

实现本发明的第四目的的一种加法电路包括：

第一和第二输入端；

用来接收进位输入信号的一个进位输入端；

用来产生作为相加结果而得出的一个和信号的和信号输出端；

用来产生作为相加结果而得到的一个进位输出端；

第一、第二场效应晶体管，它们的源极分别与上述的第一、第二输入端相连，栅极与上述的第二、第一输入端分别相连，漏极则相互连结；

第三、第四场效应晶体管，它们的源极分别与上述的第一、第二场效应管的漏极和上述的进位输入端相连，栅极分别与上述的进位输入端和上述的第一、第二场效应晶体管的漏极相连，漏极则一起连至上述的和信号输出端；

正极与上述的进位输入端相连的第一二极管；

正极与上述的第一输入端相连的第二二极管；

第五场效应晶体管，该场效应晶体管的源极连至上述的第一二极管的负极，栅极连至上述的第一输入端，漏极则与上述的和信号输出端相耦合；

第六场效应晶体管，该场效应晶体管的源极与上述的第一二极管的负极相连，栅极与上述的第二输入端相连，漏极接至上述的和信号输出端；以及

第七场效应晶体管，该场效应晶体管的源极与上述的第二二极管的负极相连，栅极与上述的第二输入端相连，漏极则与上述的和信号输出端相连。这里所述的第一至第七场效应晶体管由NMOS管来构成。

实现本发明的第五个目的的一种半导体装置包括：

一个半导体基底；

互相隔开地形成在上述的半导体基底上的第一、第二和第三掺杂区，这三个掺杂区均具有第一导电率；

在上述的第一、第二掺杂区之间形成的第一晶体管沟道；

在上述的第二、第三掺杂区之间形成的第二晶体管沟道；

在上述的第四掺杂区中形成的、具有与上述的第一导电率相反的第二导电率的第四掺杂区；

在上述的第一晶体管沟道上形成的第一栅电极，中间隔有一层第一栅极绝缘膜；

在上述的第二晶体管沟道上形成的第二栅电极，中间隔有一层第二栅极绝缘膜；

在上述的第一掺杂区上形成的第一电极层，

在上述的第三掺杂区上形成的第二电极层，以及

在上述的第四掺杂区上形成的第三电极层。

实现本发明的第五目的的另一半种半导体装置包括：

一个半导体基底，

在上述半导体基底上形成的、具有第一导电率的第一掺杂区，

在上述的第一掺杂区中形成的、具有与上述的第一导电率相反的第二导电率的第二掺杂区，

在上述的半导体基底上形成的、具有使上述的第二掺杂区曝露的开口的中介绝缘层；

用于填充上述开口而形成的导电材料层；

在上述的导电材料层上形成的、具有与上述的第二掺杂区相同的导电率的第三掺杂区；

分别在上述的第三掺杂区的两侧形成的第一、第二晶体管通道，

在上述的第一晶体管沟道的外侧形成的、具有和上述的第三掺杂区相同的导电率第四掺杂区，

在上述的第二晶体管沟道的外侧形成的、具有与上述的第三掺杂区相同的导电率的第五掺杂区，

分别在上述的第一、第二晶体管沟道上形成的、中间隔有栅绝缘膜的第一、第二栅电极，

分别在上述的第四和第五掺杂区上形成的第一、第二电极层，
以及

在上述的第三掺杂层上形成的第三电极层。这里所述的导电材料层包括一个金属层。

通过下面参照附图对本发明的一个最佳实施例所作的详细描述，本发明的上述目的和其他一些优点将变得更为明显。附图中，

图1. 是表示本发明的整流传送门电路的第一实施例的电路图。

图2. 是表示本发明的整流传送门电路的第二实施例的电路图。

图3. 是表示本发明的整流传送门电路的第三实施例的电路图。

图4. 是表示本发明的整流传送门电路的第四实施例的电路图。

图5. 是根据本发明的第五实施例而形成的整流传送门电路的电路图。

图6. 是表示本发明的整流传送门电路的第六实施例的电路图。

图7. 是表示本发明的逻辑电路的第一实施例的方框图。

图8. 是表示本发明的逻辑电路的第二实施例的方框图。

图9. 是表示本发明的进位逻辑电路的第一实施例的电路图。

图10. 是表示本发明的进位逻辑电路的第二实施例的电路图。

图11至图13. 示出了本发明中的几个加法器的电路图。

图14. 是表示本发明的半导体结构的第一实施例的剖视图。

图15. 是表示本发明的半导体结构的第二实施例的剖视图。

图1是本发明的整流传送门电路的第一实施例的电路图，该整流传送门电路包括输入端I1和I2、输出端T1、一个NMOS管M1和一个二极管D1。

图1中，输入端I1接至NMOS管M1的源极，输入端I2则接至NMOS管M1的栅极。该NMOS管M1的漏极与二极管D1的负极相连，二极管D1的正极与输出端T1相连。输入端I1和I2分别接收第一逻辑输入信号和第二逻辑输入信号。当第二逻辑输入信号为逻辑“高”状态时，NMOS管M1导通，从而使第一逻辑输入信号传送至漏极；当第二逻辑输入信号为逻辑“低”时，NMOS管M1截止，漏极即处于高阻状态下。当输出端T1的电位比NMOS管M1的漏极上的电位高出二极管阈值电压（即0.7v）或更多时，二极管D1导通；否则，二极管D1则截止。

图2是本发明的整流传送门电路的第二实施例的电路图，该整流传送门电路包括输入端I3和I4、输出端T2、一个PMOS管M2和一个二极管D2。

参照图2，输入端I3与PMOS管M2的源极相连，输入端I4与PMOS管M2的栅极相连。PMOS管M2的漏极接至二极管D2的正极，二极管D2的负极则接至输出端T2。输入端I3和I4分别接收第一逻辑输入信号和第二逻辑输入信号。当第二逻辑输入信号处于逻辑“低”状态时，PMOS管M2导通，第一逻辑输入信号被传送至漏极，反之，PMOS管M2则截止，使得PMOS管M2的漏极处于高阻状态。当PMOS管M2的漏极电位比输出端T2的电位高出二极管的阈值电压或更多时，二极管D2导通，反之则截止。

图3是本发明的整流传送门电路的第三实施例。图3中的整流传送门电路包括输入端I5和I6、输出端T3、NMOS管M3和M4以及二极管D3。

图3中，NMOS管M3的源极接至输入端I5，该NMOS管M3的栅极接至输入端I6，漏极接至二极管D3的负极。相应地，NMOS管M4的源极接至输入端I6，栅极接至输入端I5。NMOS管M3、M4的漏极一起接至二极管D3的负极。输入端I5、I6分别接收第一逻辑输入信号和第二逻辑输入信号。当第二逻辑输入信号为“高”时，NMOS管M3导通，从而将第一逻辑输入信号传送至NMOS管M3的漏极；当第一逻辑输入信号为“高”时，NMOS管M4导通，从而把第二逻辑输入信号传送至NMOS管M4的漏极。这里，NMOS管M3和M4的漏极是连接在一起的，它们的逻辑状态根据第一和第二逻辑输入信号总结在的下面的表1中。

表 1

第一逻辑输入信号	第二逻辑输入信号	漏极状态
“高”	“高”	“高”
“高”	“低”	“低”
“低”	“高”	“低”
“低”	“低”	高阻

当公共漏极的电位比输出端T3的电位低并且低出的幅度为二极管的 值电压或更大时，二极管D3则导通，反之则截止。

图4是本发明的整流传送门电路的第四实施例的电路图，图中的整流传送门电路包括输入端I7和I8、输出端T4、PMOS管M5和M6以及一个二极管D4。

图4中，PMOS管M5的源极接至输入端I7，栅极接至输入端I8，漏极接至二极管D4的正极。相应地，PMOS管M6的源极接至输入端I8，栅极接至输入端I7。PMOS管M5和M6的漏极一起接至二极管D4的正极。输入端I7和I8分别接收第一逻辑输入信号和第二逻辑输入信号。当第二逻辑输入信号为“低”时，PMOS管M5导通，将第一逻辑输入信

号传送至PMOS管M5的漏极。当第一逻辑输入信号为“低”时，PMOS管M6导通，将第二逻辑输入信号传送至PMOS管M6的漏极。这里，PMOS管M5、M6的漏极是连结在一起的，它们的逻辑状态根据第一、第二逻辑输入信号总结于下面的表2中。

表 2

第一逻辑输入信号	第二逻辑输入信号	漏极状态
“高”	“高”	高阻
“高”	“低”	“高”
“低”	“高”	“高”
“低”	“低”	“低”

当公共漏极上的电位比输出端T4上的电位高出二极管的阈值电压或者更多时，二极管D4导通，反之则截止。

图5是本发明的整流传送门电路的第五实施例的电路图，图中的整流传送门电路包括输入端I9和I10、输出端T5、NMOS管M7和M8、参考电压源Vcc导电负载R1以及二极管D5。

图5中，NMOS管M7的源极与输入端I9相连，栅极与输入端I10相

连，漏极则与二极管D5的正极相连。相应地，NMOS管M8漏极与输入端I10相连，栅极与输入端I9相连。NMOS管M7和M8的漏极一起接至二极管D5的正极。二极管D5的阴极接至输出端T5。导电负载R1接在NMOS管M7和M8的公共漏极和参考电压源Vcc之间。

当NMOS管M7和M8的公共漏极的电位比输出端T5的电位高出二极管的阈值电压或者更多时，二极管D5导通；反之，二极管D5将截止。

该整流传送门电路还包括一个接在NMOS管M7和M8的公共漏极和参考电压源Vcc(典型情况下为逻辑“高”电平)之间的导电负载R1，使得NMOS管M7和M8的开路状态比较稳定，从而提高响应速度，这种电路的性能是随导电负载的电特性而变化的。导电负载可以是电阻、耗尽型场效应管或恒流源。这里，最好使用恒流源。

图6是本发明的整流传送门电路的第六实施例的电路图，图中的整流传送门电路包括输入端I11和I12、输出端T6、PMOS管M9和M10、参考电压源Vss、导电负载R2以及二极管D6。

图6中，PMOS管M9的源极与输入端I11相连，栅极与输入端I12相连，漏极则与二极管D6的负极相连。相应地，PMOS管M10的源极接至输入端I12，栅极接至输入端I11。PMOS管M9和M10的漏极一起接至二极管D6的阴极。导电负载R2接在参照电位Vss(典型情况下为地电位)和PMOS管M9和M10的公共漏极之间，输出端T6与二极管D6的正极相连。

当输出端T6的电位比PMOS管M9和M10的公共漏极的电位要高且高出的幅度为二极管的阈值电压或者更大时，二极管D6导通；反之，

二极管 D6则截止。

该整流传送门电路还包括接在PMOS管M9和M10的公共漏极和参考电压源V_{SS}之间的导电负载R2，使PMOS管M9和M10的开路状态趋于稳定，并且提高响应速度。

图7是表示本发明的逻辑电路的第一实施例的方框图。图中包括一个用于提供通常对应于逻辑“高”电平的电压的参考电压源V_{CC}、输出端T7、一个接在参照电压V_{CC}和和输出端T7之间的导电负载R3以及多个双输入整流传送门电路501、502和503。

图7中的双输入整流传送门电路501、502和503中的每一个对应于图3或图6中所示的整流传送门电路。

如果电路501、502和503对应于图3，则输出T7的情况是：(1)当送给这些双输入整流传送门电路的任何一对输入信号相互不同即一位为“高”另一位为“低”时，输出端为逻辑“低”；(2)不然的话，输出端为逻辑“高”。

与此同时，如果电路501、502和503对应于图6时，输出端T7的情况是(1)送给这些双输入整流传送门电路的任何一对输入均为逻辑“低”时，输出端为逻辑“低”，(2)不然的话，逻辑端为逻辑“高”。

图8是表示本发明的逻辑电路的第二实施例的方框图。图中包括一个用于提供通常对应于地”电位的电压的参考电压源V_{SS}、输入端T8、一个接在参照电压源V_{SS}和输出端T8之间的导电负载R4以及多个双输入整流传送门电路(601、602和603)。

图8中的双输入整流传送门电路601、602和603中的每一个对应

于图4或图5中所示的整流传送门电路。

如果电路601、602和603对应于图4，则输出T7的情况是：(1) 当送给这些双输入整流传送门电路的任何一对输入信号相互不同即一位为“高”另一位为“低”时，输出端为逻辑“高”；(2)不然的话，输出端为逻辑“低”。

与此同时，如果电路601、602和603对应于图5时，输出端T7的情况是(1)送给这些双输入整流传送门电路的任何一对输入均为逻辑“高”时，输出端为逻辑“高”，(2)不然的话，逻辑端为逻辑“低”。

图9是本发明的进位逻辑电路的第一实施例的电路图，图中的进位逻辑电路包括三个输入端I13、I14、I15、输出端T9、导电负载R5，三个二极管D7、D8、D9，三个NMOS管M11、M12、M13和一个对应于地电位的参考电压源Vss。

三极管D7、D8、D9的正极分别接至输入端I13、I14和I15，NMOS管M11、M12、M13的源极分别与二极管D7、D8、D9的负极相连，它们的栅极分别与输入端I14、I15和I13相连，漏极则一起接至输出端T9。导电负载R5接在输出端T9和参考电压源Vss之间，以提高响应速度。

在该进位电路中，二个输入端中的每一个接收一个待加的输入信号。另一个输入端则接受进位输入信号。假如那二个输入信号标记为SA和SB，则输出端T9产生的逻辑结果为 $(SA \times SB) + (SB \times SC) + (SC \times SA)$ 。该式中，“+”表示逻辑“或”运算，而“ \times ”表示逻辑“与”运算。

图10是本发明的进位逻辑电路的第二实施例的电路图，它包括三个输入端I16、I17和I18、输出端T10、参考电压源Vss，二个二极管D10和D11、三个PMOS管M14、M15和M16以及一个导电负载R6。

下面参照图10，二极管10的正极连接至输入端116，二极管11的正极连接至输入端118。对于PMOS管M14而言，其源极与二极管D14的负极相连，栅极接至输入端118，漏极接至输出端T10。PMOS管M15的源极与二极管D10的负极相连，栅极接至输入端117，漏极与输出端T10相连。PMOS管M16的源极与二极管D11的负极相连，栅极与输入端I17相连，漏极与输出端T10相连。导电负载R6接在输出端与对应于逻辑“低”电平的参照电压源之间。

这种进位逻辑电路与图9中所示的进位逻辑电路一样，二个输入端中的每一个均接受待加在一起的一个输入信号，另一个输入端接收一个进位输入信号。这里，输出端T10产生的逻辑结果为 $(SA \oplus SB) + (SB \oplus SC) + (SC \oplus SA)$ 。

图11至图13示出了本发明的几个加法器的电路图，这几个加法器每一个均采用了图10所示的进位逻辑电路。

参照图11，输入端SA和SB接受待加的二个输入信号，进位输入端SC接收进位输入信号。NMOS管Q1和Q2构成一个“异或”门G1，NMOS管Q3和Q4则构成“异或”门G2。异或门G1产生的逻辑结果为 $SA \oplus SB$ ，异或门G2产生的逻辑结果为 $SA \oplus SB \oplus SC$ ，这里的“ \oplus ”表示逻辑异或运算。PMOS管Q8、NMOS管Q13和倒相放大器INV2构成进位输出信号的输出缓冲器，PMOS管Q9、NMOS管Q12以及倒相放大器INV1构成

总和信号的输出放大器。这里，PMOS管M8和NMOS管Q13构成了一个倒相器，因而倒相放大器INV2的输出等于经放大的进位输出信号。相应地，PMOS管Q9和NMOS管Q12也构成了一个倒相器，因而倒相放大器INV1的输出等于放大的总和信号。NMOS管Q15的栅极接收进位复位信号RE，这是一个“低”有效的信号。因此，当该进位复位信号RE为“低”时，NMOS管Q15截止，使得NMOS管Q14的栅极处于逻辑“高”状态，从而使Q14导通。因此，N1点被复位至逻辑“低”状态。为了在执行加法运算期间高速地传送输入信号和进位输入信号，这种复位操作是在加法运算即将开始之前才进行的。

PMOS管Q10的栅极上加有电源控制信号PW。如果该电源控制信号‘PW’为“高”，则PMOS管Q10导通，PMOS管Q5、Q7、Q8、Q9和Q11的栅极均被加上逻辑“高”信号，使这些晶体管导通，从而使来自参考电压源Vcc的功率加到电路中去。同时，如果电源控制信号PW为“低”，则PMOS管Q10截止，电源即被切断。

PMOS管Q11、电阻R7和连接成二极管形式的PMOS管Q16起到一个恒流源电路的作用，其中电流通过PMOS管Q11和电阻R7通向PMOS管Q15，从而稳定地执行进位复位操作。

在图12中， 闩锁门电路G3包括输入端与NMOS管Q12的漏极相连的倒相放大器INV3、输入端与倒相放大器INV3的输出端相连的倒相放大器INV4和一个NMOS管Q17。NMOS管Q17的源极和漏极分别与倒相放大器INV3的输入端和倒相放大器INV4的输出端相连，其栅极接收一个闩锁控制信号LT。该闩锁门电路G3在闩锁控制信号LT为高时锁

存和信号，从而减少了把电源供给加法器所需的时间。

PMOS管Q18的栅极加有进位清除信号RE。因此，当该进位清除信号为“低”时，PMOS管Q18导通。这里，C1起到加速电容的作用，它在清除操作期间迅速地增加NMOS管Q15的漏极电压，从而大大地减少了结点NI的放电时间。

图13中示出了本发明的加法电路的又一实施，具体地说是示出了连接成两级串联结构的两个加法电路。

图13中，异或门G4产生输入信号SA和SB的第一和信号，异或门G5产生输入信号SA'、SB'和第一进位输出信号CC的第二和信号。进位逻辑电路CL对于输入信号SA和SB产生第一进位输出信号，而进位逻辑电路CL'则对于输入信号SA'、SB'和第一进位输出信号CC产生一个第二进位输出信号CC'。恒流源IS1和IS2使相应的加法器的进位输出稳定化。恒流源IS3、倒相放大器INVS和NMOS管Q19起到进位输出信号缓冲器或者级间放大器的作用。这里，本发明中的进位逻辑电路每阶均产生一个(对应于晶体管阈值电压的)电压降，因此几阶提供一个级间放大器，而不是每级都提供。

上面描述的整流传送门电路可以通过在分离的区域中形成场效应管和二极管然后通过导线互相连接来简单地加以实现。但这一结构有一个问题，就是二极管的尺寸增大时，所需的区域也增大，杂散电容也随之增大，从而工作速度降低。

因此，为了提高集成密度同时为了降低杂散电容，最好制成例如如图14或15中所示的半导体装置。

图14示出了本发明的半导体结构的第一实施例的一个剖视图。

图14中，为了确定激活区和绝缘区，在半导体基底301上有选择地形成了一个场绝缘层302。在激活区内又形成互相隔开的掺杂区303、304和307。这里的掺杂区303、304和307都具有相同的导电率，在掺杂区303和307之间形成了一个晶体管沟道305，在掺杂区307和304之间也形成了一个晶体管沟道306。在掺杂区307中还形成了一个具有与掺杂区307相比相反的导电率的掺杂区308。栅电极311形成在晶体管通道305上，中间隔了一个栅极绝缘膜；栅电极312形成在晶体管沟道306上，中间也隔有一个栅极绝缘膜。掺杂区303的表面形成了电极层313，掺杂区304的表面则形成了电极层315。在栅电极311和312之上，还形成了一个绝缘层316，该绝缘层316具有使电极层313、315和掺杂层308暴露的窗口。掺杂区308之上形成了电极层314，该电极层314通过绝缘层316与栅电极311和312实现电绝缘。

在该结构中，图3和图4中的整流传送门电路中的一个晶体管由掺杂区303、晶体管沟道305、掺杂区307、栅绝缘膜309和栅电极311构成，另一个晶体管则由掺杂区304、晶体管沟道306、掺杂区307、栅绝缘膜310和栅电极312构成。这里的掺杂区307起到二个MOS管的公共漏极的作用。另外，掺杂区307和308构成了二极管。图3和图4中所示的整流传送门电路的输出端都由电极层314构成，二个输入端分别由电极层313和315构成。

如附图所示，整流传送门电路中的二极管由起着公共漏极作

用的掺杂区及其毗邻的掺杂区构成，因而不需要附加区域来形成二极管。

图15是本发明的半导体结构的第二实施例的剖面图。

参照图15。在半导体基底400上形成了一个掺杂区401，在掺杂区401中又形成了一个导电特性与之相反的掺杂区。在掺杂区401和402以及半导体基底400的表面形成了一个中介绝缘层，该中介绝缘层上有开口，使掺杂区402的表面曝露。导电材料层404上形成了一个半导体层，以形成电路元件。

在半导体层中，掺杂层407、晶体管沟道405、掺杂区408、晶体管沟道406以及掺杂区409依次横向排列，其中掺杂区408被设置在导电材料层404上。

栅电极413被设置在晶体管沟道405上，中间隔有一层栅极绝缘膜；栅电极414设置在晶体管沟道406上，中间也隔有一层栅极绝缘膜。此外，电极层410、411和412分别形成在掺杂区407、408和409中。

在该结构中，掺杂区401和402构成了一个二极管，掺杂区408构成二个MOS管的公共漏极，掺杂区407和409则分别构成二个MOS管的源极。导电材料层404起到使MOS管的公共漏极与二极管相连的导线的作用，电极层410、411和412则分别构成二个输入端和一个输出端。

图14和15中所示的半导体装置的栅电极可以通过包含一个硅化物层来实现。由Ti、Mo或W等金属形成的硅化物层可以用于NMOS管，

而由二等金属形成的硅化物层则可以用于PMOS管。

如上所述，本发明中的整流传送门电路可以以少量的电路元件来实现，其应用电路中不希望有的循环电流亦可消除。信号延迟减少，制造成本下降。此外，在这种整流传送门电路的应用电路中，因不希望有的循环电流造成的故障也可避免。

虽然本发明是结合少数几个特定的实施例进行描述的，但是很显然，本技术领域内的熟练人员在上面的描述的示教下可以对本发明作出许多变型、修改和变化。此外，MOS晶体管的源极和漏极可以互换而实现相同的电路操作。

因此，本发明应视为包括落入后面的权利要求的精神和范围中的所有上述的变型、修改和变化。另外，后面的权利要求书中的漏极和源极也应该被解释成是可以互换的。

说明书附图

图 1

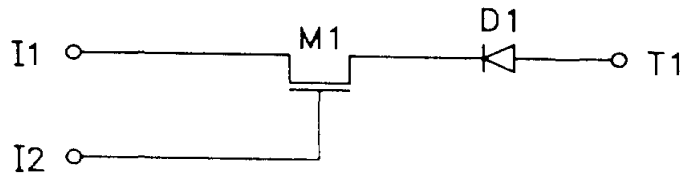


图 2

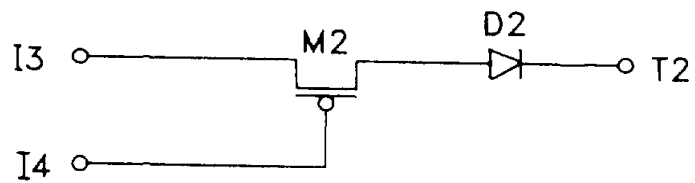


图 3

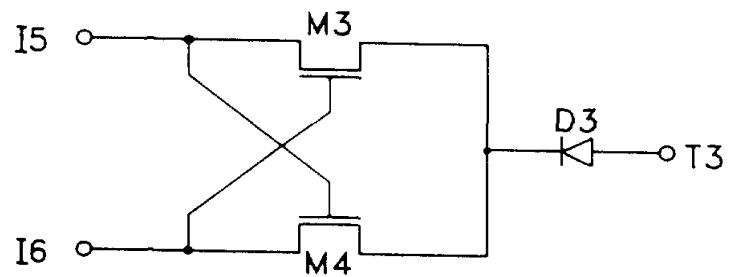


图 4

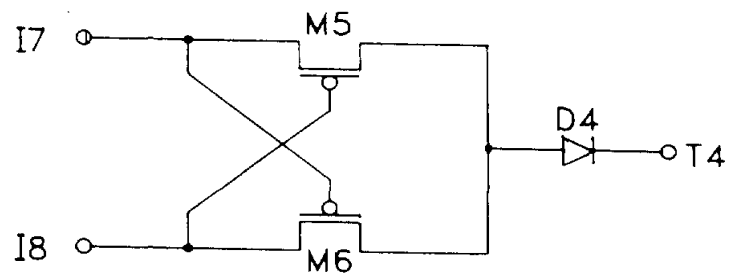


图 5

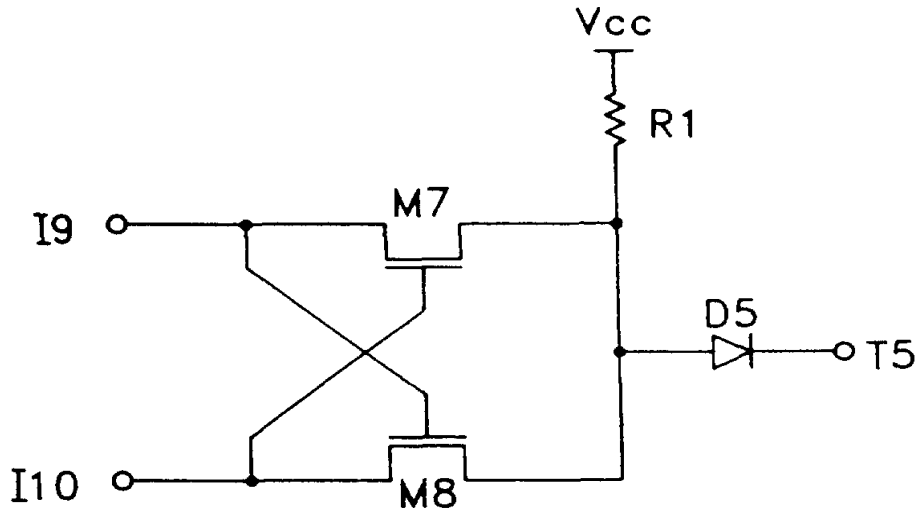


图 6

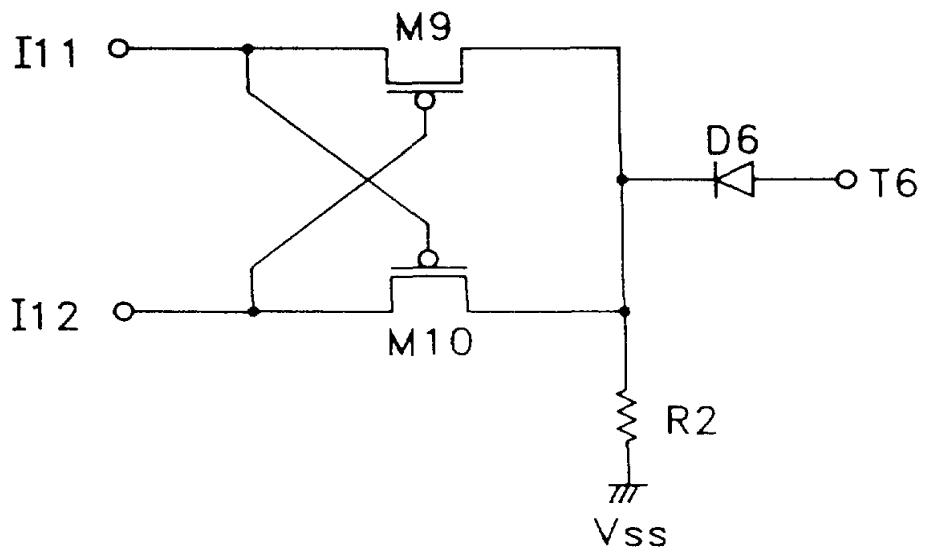


图 7

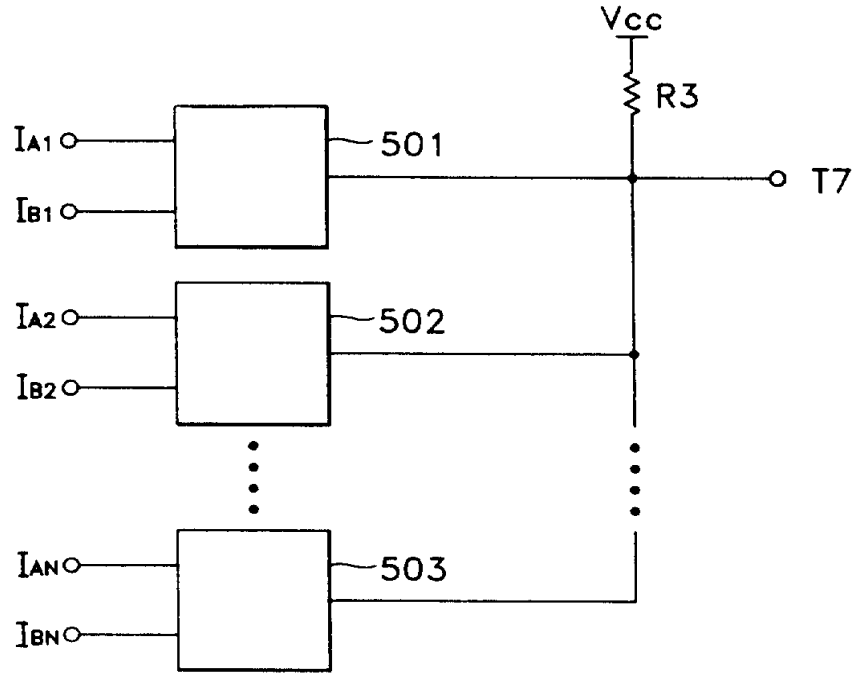


图 8

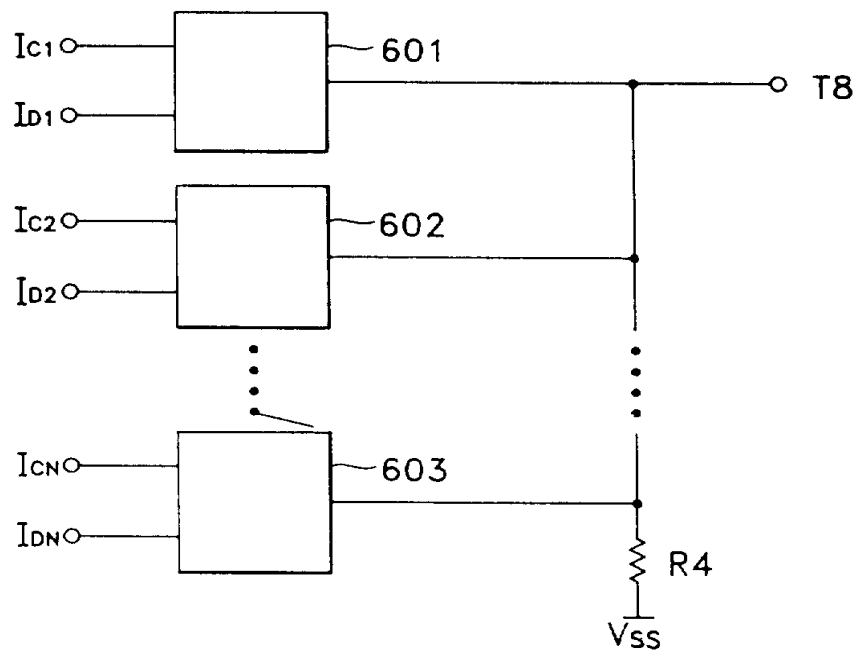


图 9

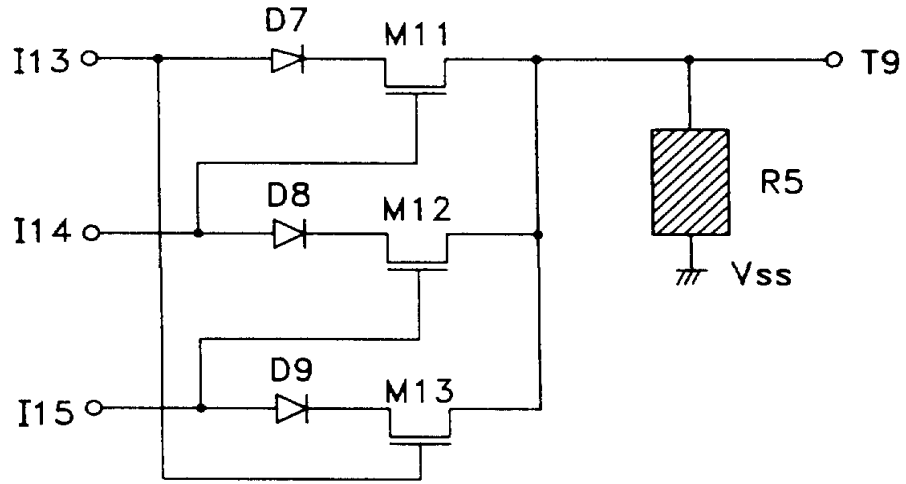


图 10

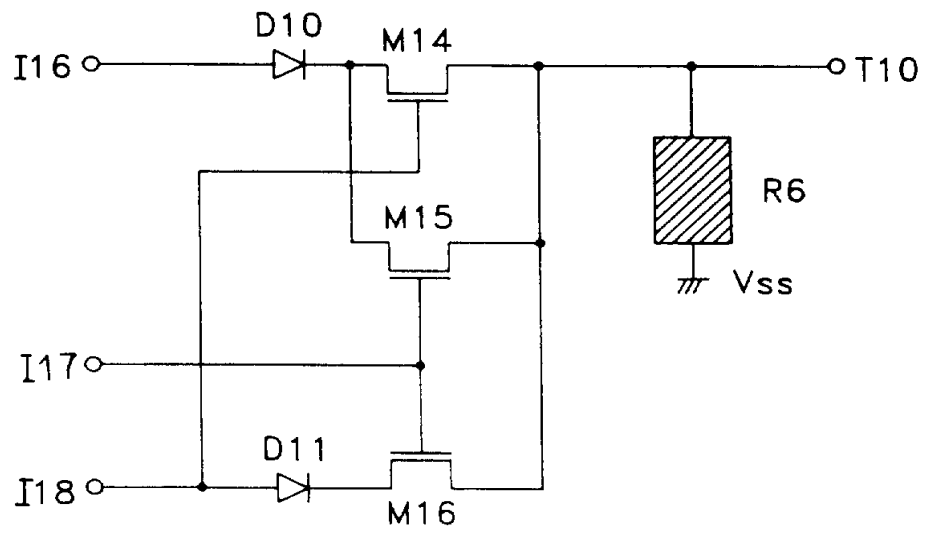


图 11

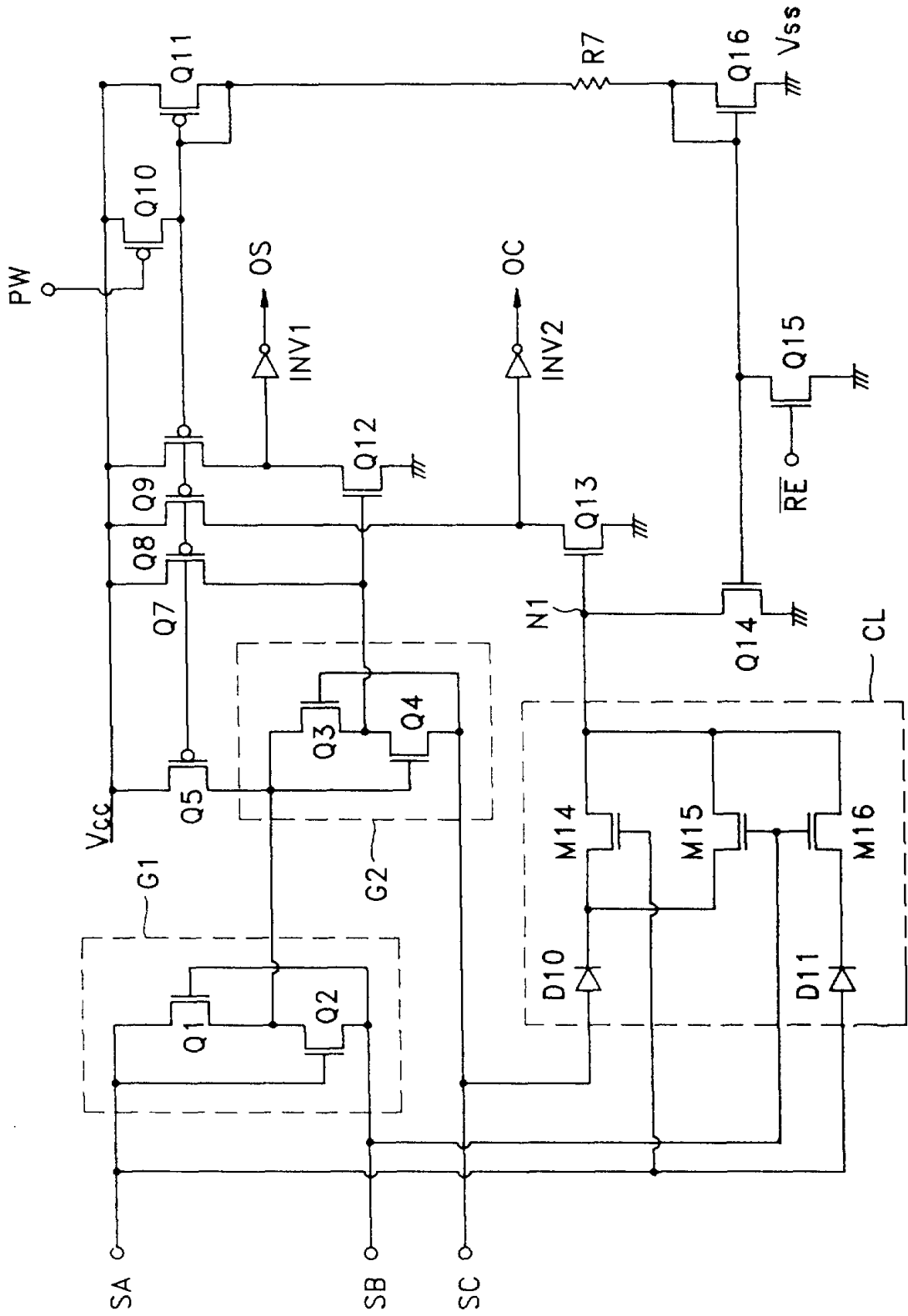


图12

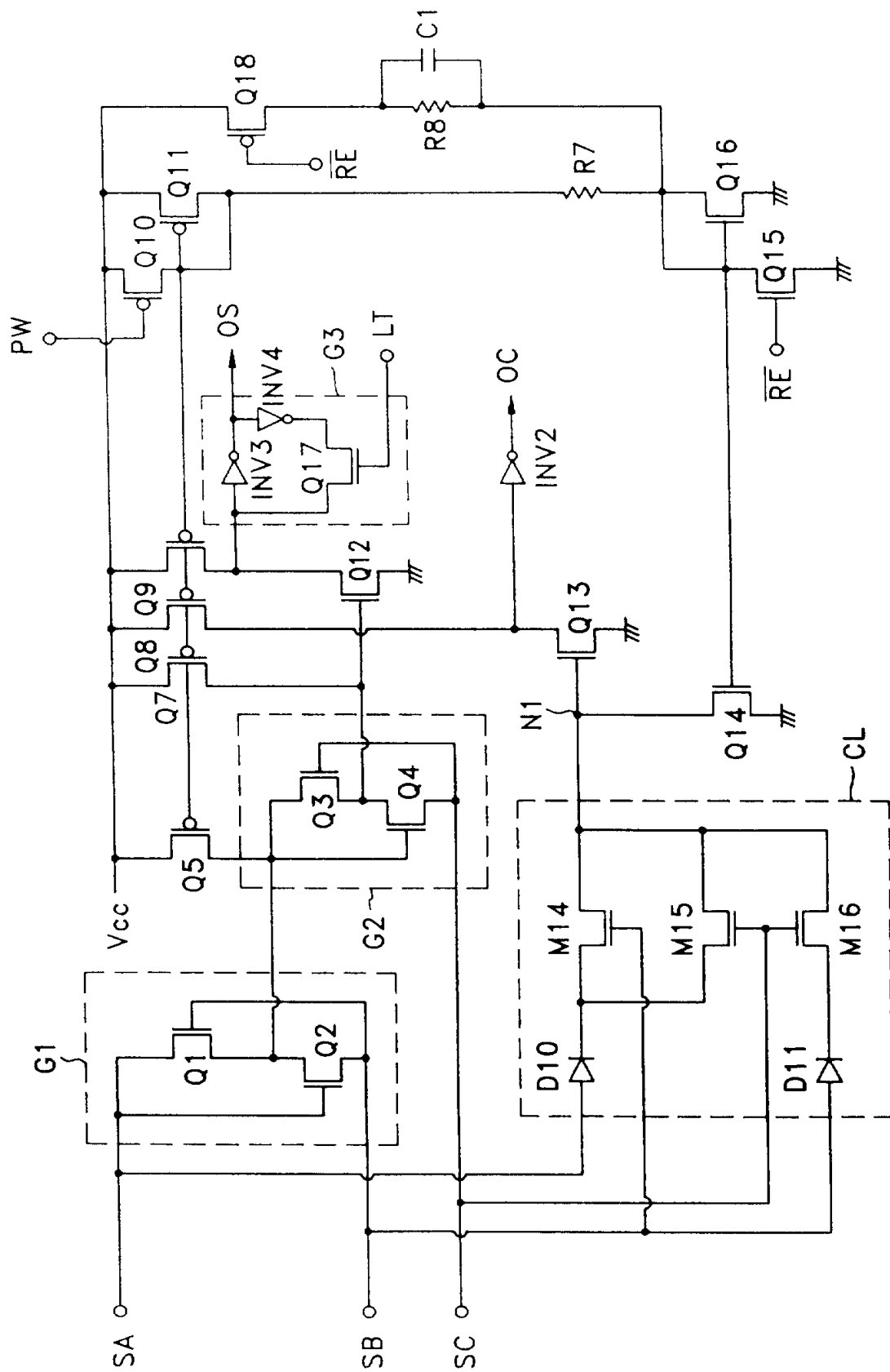


图 13

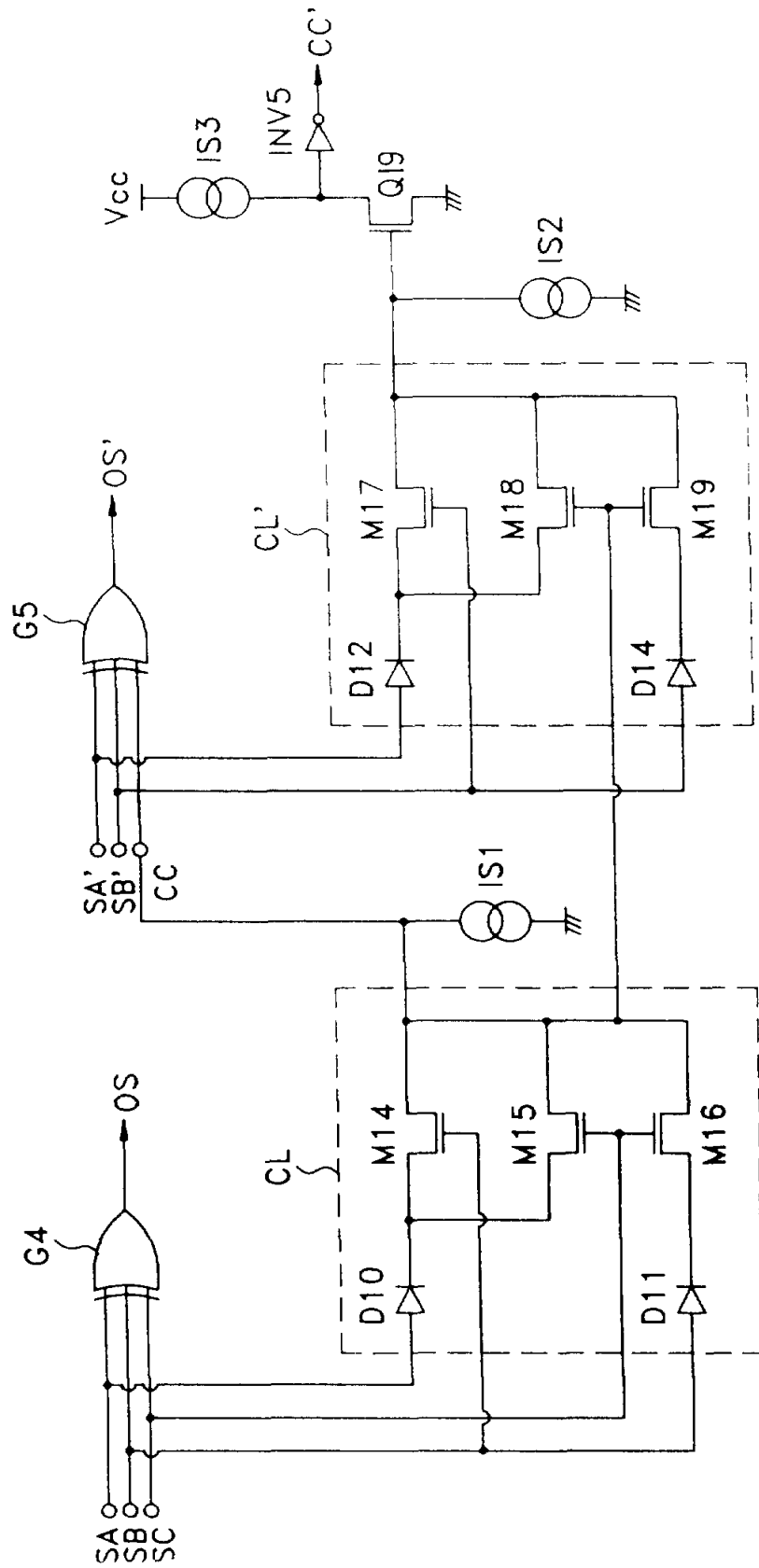


图 14

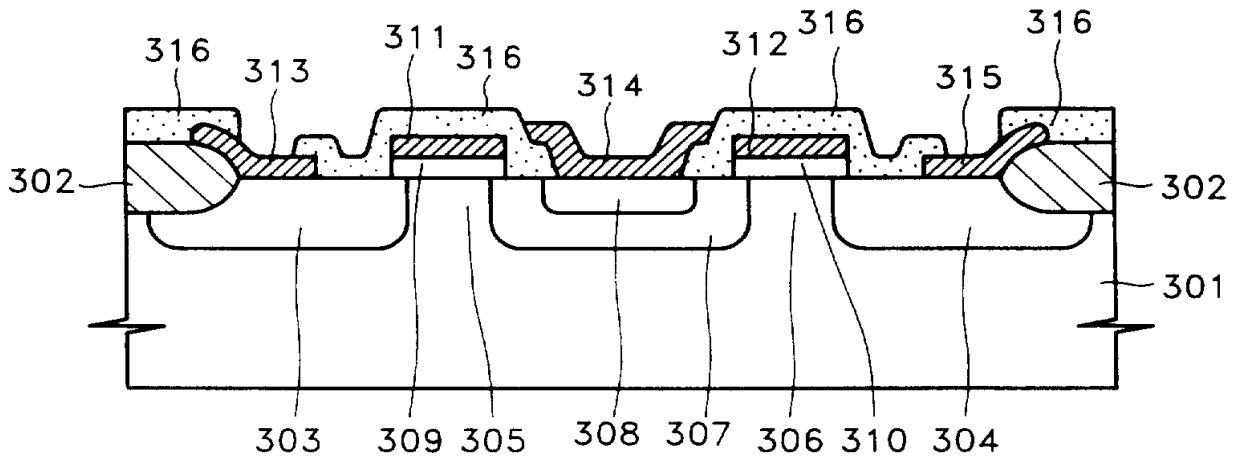


图 15

