

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年11月25日 (25.11.2004)

PCT

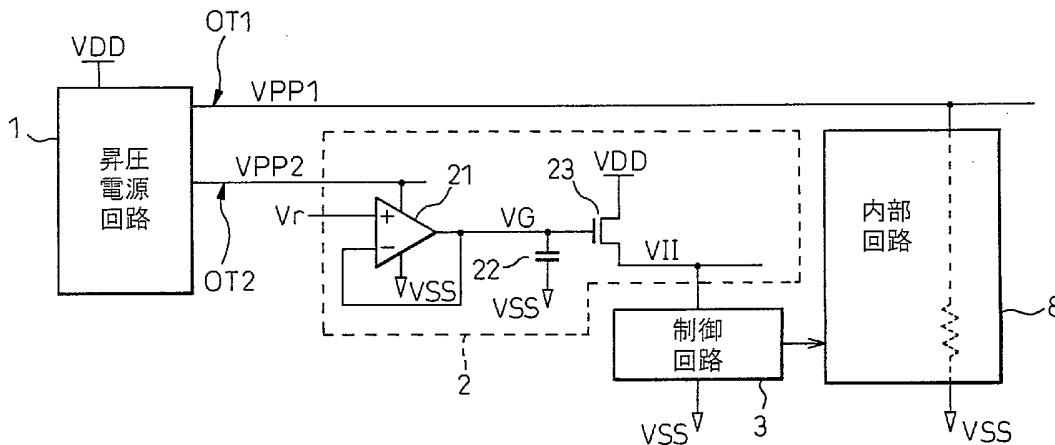
(10) 国際公開番号  
WO 2004/102780 A1

- (51) 国際特許分類: H02M 3/07
  - (21) 国際出願番号: PCT/JP2003/005961
  - (22) 国際出願日: 2003年5月13日 (13.05.2003)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4丁目 1番 1号 Kanagawa (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人 (米国についてのみ): 山崎 雅文 (YAMAZAKI, Masafumi) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4丁目 1番 1号 富士通株式会社内 Kanagawa (JP).
  - (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒105-8423 東京都 港区 虎ノ門 三丁目 5番 1号 虎ノ門 37 森ビル 青和特許法律事務所 Tokyo (JP).
  - (81) 指定国 (国内): CN, JP, US.
  - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:  
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



- 1...BOOSTED VOLTAGE POWER SUPPLY CIRCUIT
- 3...CONTROL CIRCUIT
- 8...INTERNAL CIRCUIT

(57) Abstract: A semiconductor integrated circuit device comprising a power supply circuit generating a boosted voltage, an internal circuit being driven with a boosted voltage, and a circuit for controlling the internal circuit by receiving a boosted voltage. The boosted voltage power supply circuit has a first output terminal for the internal circuit, and a second output terminal for the control circuit. A boosted voltage being outputted from the second terminal has a specified level regardless of variation in the boosted voltage being outputted from the first terminal.

(57) 要約: 半導体集積回路装置は、昇圧電圧を発生する昇圧電源回路、該昇圧電圧により駆動される内部回路、および、昇圧電圧を受け取って内部回路を制御する制御回路を有する。昇圧電源回路は、内部回路用の第1の出力端子と、制御回路用の第2の出力端子とを備える。ここで、第2の端子から出力される昇圧電

[続葉有]

WO 2004/102780 A1



---

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 半導体集積回路装置

## 技術の分野

本発明は、半導体集積回路装置に関し、特に、内部回路および該内部回路を制御する制御回路に昇圧電源回路で昇圧された出力電圧を用いる半導体集積回路装置に関する。

## 背景技術

近年、半導体集積回路装置は、様々な携帯機器搭載されており、その電源電圧も低電圧化されている。そして、このような低電圧で駆動される半導体集積回路装置においては、昇圧電源回路が使用され、その昇圧電源回路で昇圧された出力電圧を使用して動作するようになっている。

ところで、例えば、D R A M (Dynamic Random Access Memory) においては、まず、電源を投入すると昇圧電源回路が動きだし、昇圧電源回路の出力電圧を利用する降圧電源回路がその昇圧された出力電圧（昇圧電圧）の電位が所定のレベルに達してから動作し、昇圧電圧を降圧電源回路で降圧して制御回路に印加し、その制御回路による内部回路のリセット（例えば、欠陥の生じたメモリセルの冗長処理等）を行っていた。さらに、D R A M 以外の様々な半導体集積回路装置においても、内部回路と、その内部回路を制御する制御回路に対して昇圧電源回路で昇圧された出力電圧（昇圧電圧）を用いるものが提供されている。なお、制御回路に対しては、昇圧電圧を降圧電源回路で降圧した電圧を印加するもの以外に、昇圧電圧を直接印加する半導体集積回路装置もある。

このような内部降圧電源の制御に昇圧電源を用いる半導体集積回路装置（チップ）において、チップ内部の昇圧電圧（昇圧電源回路の出力電圧）を用いている回路に、例えば、製造上の原因によるリークがあった場合、その昇圧電源回路の出力の電位が十分上がらないことが考えられる。これは、例えば、DRAMにおいて、リークの原因となる回路に冗長機能が設けられており、内部回路の起動時のリセット（パワーオンリセット）によって切り離すことができる回路であっても、リセットを行うことができずに不良となっていた。

また、昇圧電源回路をそれぞれの回路毎に複数設けることも考えられるが、その場合には、昇圧電源回路のための素子数が増大し、また、専有面積も大きくなって好ましくない。

なお、従来の半導体集積回路装置およびその問題点に関しては、後に図面を参照して詳述する。

#### 発明の開示

本発明は上述した従来技術が有する問題点に鑑みてなされたものであり、

このように、本発明に係る半導体集積回路装置によれば、チップ内部（内部回路）に昇圧電圧からのリークがあった場合でも、正しく初期化動作を行うことができる半導体集積回路装置の提供を目的とする。

本発明によれば、昇圧電圧を発生する昇圧電源回路、該昇圧電圧により駆動される内部回路、および、前記昇圧電圧を受け取って前記内部回路を制御する制御回路を有する半導体集積回路装置であって、前記昇圧電源回路は、前記内部回路用の第1の出力端子と、前記制御回路用の第2の出力端子とを備えることを特徴とする半導体

集積回路装置が提供される。

ここで、本発明の半導体集積回路装置は、例えば、昇圧電圧を降圧する降圧電源回路を備えており、この降圧電源回路が昇圧電源回路の第2の出力端子を介して与えられた昇圧電圧を降圧し、その降圧された電圧（降圧電圧）を制御回路に印加する。

本発明においては、制御回路（降圧電源回路）を制御する昇圧電圧のために、昇圧電源回路から専用の取り出し端子を用意するようになっており、内部回路への昇圧電圧（昇圧電源線）と、制御回路への昇圧電圧を分けることにより、たとえ内部回路に昇圧電圧のリークがあった場合であっても、制御回路はそのまま動作することにより初期化が実行される。

また、この昇圧電源の分離を、半導体集積回路装置の初期化動作時にだけ行うようにすることによって、それぞれの昇圧電圧に用意した安定化容量（平滑容量）を共有化することが可能になり、実装面積の削減を図ることができる。なお、それぞれの昇圧電圧の取り出し端子にダイオードを順方向に設けることで電流の逆流をなくすことができる。

#### 図面の簡単な説明

本発明を添付の図面を参照しながら以下に説明する。

図1は半導体集積回路装置の一例としてのDRAMを概略的に示すブロック図、

図2は図1のDRAMにおけるメモリセルの選択回路の一例を概略的に示すブロック回路図、

図3は図2の選択回路におけるレベル変換回路の一例を示す回路図、

図4は本発明に係る半導体集積回路装置の要部の構成を概念的に

示すブロック図、

図 5 は本発明に係る半導体集積回路装置の一実施例としての D R A M を概略的に示すブロック図、

図 6 は本発明に係る半導体集積回路装置における昇圧電源回路の構成を概念的に示すブロック図、

図 7 は図 6 の昇圧電源回路の一例を示すブロック図、

図 8 は図 7 の昇圧電源回路における遅延回路の一例を示す図、

図 9 は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第 1 実施例を示す回路図、

図 1 0 は図 9 の昇圧電源回路の動作を説明するための概略的な波形図、

図 1 1 は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第 2 実施例を示す回路図、

図 1 2 は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第 3 実施例を示す回路図、そして、

図 1 3 は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第 4 実施例を示す回路図である。

#### 発明の実施の形態

まず、本発明に係る半導体集積回路装置の実施例を説明する前に、従来の半導体集積回路装置およびその問題点を、添付図面（図 1 ～図 3）を参照して詳述する。

図 1 は半導体集積回路装置の一例としての D R A M を概略的に示すブロック図であり、主として本発明に関連する従来の D R A M の一部のみを説明するものである。図 1 において、参照符号 1 0 0 は昇圧電源回路、2 は降圧電源回路、3 0 は選択回路（制御回路）、4 はコマンド／アドレスデコード回路、4 0 はコマンド／アドレス

端子、5はデータ入出力回路、50はデータ端子、6はセンスアンプ、そして、7はメモリセルを示している。また、参照符号VDDは高電位電源電圧（例えば、 $1.8V \pm 0.2V$ ）、VSSは低電位電源電圧（例えば、0V）、VPPは昇圧電圧（昇圧電源回路100の出力電圧：例えば、 $3.2 \sim 3.6V$ ）、VIIは降圧電圧（降圧電源回路2の出力電圧：例えば、 $1.6 \sim 1.8V$ ）、BLはビット線、そして、WLはワード線を示している。

外部からのコマンド／アドレス信号は、コマンド／アドレス端子40を介してコマンド／アドレスデコード回路4に供給され、選択回路30を介してアドレス信号に対応したワード線WLを選択すると共に、センスアンプ6を介してアドレス信号に対応したビット線BLを選択して所定のメモリセル7をアクセスする。このアドレス信号に応じてアクセスされたメモリセル7に対する外部からの書き込みデータは、データ端子50、データ入出力回路5およびライトアンプ（センスアンプ6）を介してメモリセル7に供給され、また、メモリセル7からの読み出しデータは、センスアンプ6、データ入出力回路5およびデータ端子50を介して外部に出力される。なお、選択回路30は、上述した通常のワード線選択処理の他、以下に説明するような欠陥の生じているメモリセルに対する冗長処理も行っている。

図2は図1のDRAMにおけるメモリセルの選択回路の一例を概略的に示すブロック回路図である。

図2に示されるように、選択回路30は、アドレス信号ADDが入力されたアドレス信号用のレベル変換回路311、活性化信号（コマンド信号：イネーブル信号）ENが入力されたコマンド信号用のレベル変換回路312、増幅回路321～323、pチャネル型MOSトランジスタ（pMOSトランジスタ）33、34、および

、 $n$ チャネル型MOSトランジスタ（ $n$ MOSトランジスタ）35、36を備えている。ここで、レベル変換回路311および312には、昇圧電圧VPPおよび降圧電圧VLIの両方の電圧が印加されている。

レベル変換回路311は、増幅回路321を介してトランジスタ34および35を制御してアドレス信号ADDに対応したワード線WLを選択するために使用され、また、レベル変換回路312は、増幅回路322および323を介してそれぞれ対応するトランジスタ33および36を制御して選択回路30を活性化するために使用される。すなわち、増幅回路322からの高レベル『H』の信号により $n$ MOSトランジスタ35がオンすると共に、増幅回路323からの低レベル『L』の信号により $n$ MOSトランジスタ36がオフし、さらに、増幅回路321からの低レベル『L』の信号がトランジスタ34および35で反転されてワード線WLが選択（高レベル『H』）される。

図3は図2の選択回路におけるレベル変換回路の一例を示す回路図である。

図3に示されるように、レベル変換回路311（312）は、複数の $p$ MOSトランジスタ3111～3116および複数の $n$ MOSトランジスタ3117～3122で構成されている。ここで、トランジスタ3111、3117、3115、3121および3116、3122はCMOSインバータを構成している。なお、参照符号n11はインバータ3111、3117の出力ノードを示し、また、n12はインバータ3115、3121の入力ノードを示している。

図3に示すレベル変換回路311において、まず、 $n$ MOSトランジスタ3118は、 $p$ MOSトランジスタ31112がオンのと

き、昇圧電源線（VPP）→ノードn12→ノードn11→降圧電源線（VII）という経路で流れる電流を遮断するための役割をしている。また、nMOSトランジスタ3119およびpMOSトランジスタ3114のゲートに供給されるリセット信号/rstは、起動時には低レベル『L』となり、それ以外では昇圧電圧VPPのレベルとなる信号であり、起動時の出力信号outの低レベル『L』出力を保証している。ただし、このリセット信号/rstもレベル変換回路を通してしているため、降圧電圧VIIが保証されない場合には、このリセット信号/rstも不定となる場合がある。

すなわち、リセット信号/rstを生成するレベル変換回路にトランジスタ3119、3114の無いレベル変換回路を用いた場合、降圧電圧VIIが不定で昇圧電圧VPPを上昇させていく時に、出力信号out（すなわち、リセット信号/rst）が昇圧電圧VPP側に張りついている場合が考えられる。通常、pMOSトランジスタ3112の駆動能力は、トランジスタ3113の駆動能力よりも小さくなるように設計され、起動時にこのような出力状態にはならないようにしているが、製造上のパーティクル等によって、トランジスタ3113の駆動能力が著しく低下した場合やトランジスタ3112、3113の駆動能力が逆転している場合も有り得る。

さらに、チップ内における多数のレベル変換回路において、トランジスタ3112の駆動能力がトランジスタ3113の駆動能力よりも小さくなるようにされていた場合、多数のワード線WLが選択され、その容量が大きいため昇圧電圧VPPの立ち上がりが遅くなる場合がある。また、選択されたワード線に本来使用しない低電位電源線（VSS）へのリークのある不良ワード線が含まれる場合、昇圧電圧VPPを立ち上げることができないことにもなってしまう。

これらの選択信号は、降圧電圧  $V_{II}$  が立ち上がり、レベル変換回路の入力が確定した段階で、基本的に全てのワード線  $WL$  がオフとなる。

このように、内部降圧電源の制御に昇圧電源を用いる半導体集積回路装置においては、例えば、製造上の原因によるリークがあった場合、例えば、DRAMにおいて、リークの原因となる回路に冗長機能が設けられており、内部回路の起動時のリセットによって切り離すことができる回路であっても、リセットを行うことができずに不良となっていた。

以下、本発明に係る半導体集積回路装置の実施例を、添付図面を参照して詳述する。

図4は本発明に係る半導体集積回路装置の要部の構成を概念的に示すブロック図である。図4において、参照符号1は昇圧電源回路、2は降圧電源回路、3は制御回路、そして、4は内部回路を示している。また、参照符号  $V_{DD}$  は高電位電源電圧（例えば、 $1.8V \pm 0.2V$ ）、 $V_{SS}$  は低電位電源電圧（例えば、 $0V$ ）、 $V_{PP1}$  および  $V_{PP2}$  は昇圧電圧（昇圧電源回路1の出力電圧：例えば、 $3.2 \sim 3.6V$ ）、 $V_{II}$  は降圧電圧（降圧電源回路2の出力電圧：例えば、 $1.6 \sim 1.8V$ ）、そして、 $V_G$  は降圧電源回路2における内部電圧を示している。

本発明に係る半導体集積回路装置は、昇圧電圧  $V_{PP1}$ 、 $V_{PP2}$  を発生する昇圧電源回路1、昇圧電圧  $V_{PP1}$  により駆動される内部回路8、および、昇圧電圧  $V_{PP2}$  を受け取って内部回路8を制御する制御回路3を備えている。昇圧電源回路1は、内部回路8に対して昇圧電圧  $V_{PP1}$  を印加するための第1の出力端子  $OT1$ 、および、降圧電源回路2を介して制御回路3に所定の電圧（降圧電圧  $V_{II}$ ）を印加するための第2の出力端子  $OT2$  を備える。

図4に示されるように、降圧電源回路2は、例えば、差動増幅器（オペアンプ）21、容量22、および、nMOSトランジスタ23を備える。差動増幅器21は、正入力端子に供給された基準電圧 $V_r$ に応じた所定の内部電圧（高電位電源電圧 $V_{DD}$ よりも高い電圧） $V_G$ を出力し、この内部電圧 $V_G$ がnMOSトランジスタ23のゲートに印加されて、これにより降圧および安定化された降圧電圧（例えば、1.6～1.8Vの範囲における一定の電圧） $V_{II}$ が出力される。ここで、容量22は、差動増幅器21の出力電圧を平滑化（安定化）するためのものである。

ここで、本発明に係る半導体集積回路装置における昇圧電源回路1は、以下に詳述するように、第1の端子 $OT_1$ から出力される昇圧電圧 $V_{PP1}$ の変動（例えば、内部回路8におけるリークによる電圧降下）に関わらず、第2の端子 $OU_2$ から出力される昇圧電圧 $V_{PP2}$ を所定のレベルで出力する出力電圧制御部を備えている。

図5は本発明に係る半導体集積回路装置の一実施例としてのDRAMを概略的に示すブロック図である。

前述した図1に示す従来のDRAMとの比較から明らかなように、或いは、図4を参照して説明したように、本実施例のDRAMにおいて、昇圧電源回路1は、第1の昇圧電圧 $V_{PP1}$ を出力する第1の出力端子 $OT_1$ 、および、第2の昇圧電圧 $V_{PP2}$ を出力する第2の出力端子 $OT_2$ を有している。ここで、第1の昇圧電圧 $V_{PP1}$ は内部回路8に印加され、また、第2の昇圧電圧 $V_{PP2}$ は選択回路（制御回路）30に印加される。なお、図5（図1も同様）における選択回路30は、第1の昇圧電圧 $V_{PP1}$ が印加される内部回路8の部分、および、第2の昇圧電圧 $V_{PP2}$ が印加される制御回路（3）の部分の両方の回路部分を含んでいる。また、降圧電源回路2の出力電圧（降圧電圧） $V_{II}$ は、内部回路8にも与えら

れており、例えば、コマンド／アドレスデコード回路4、データ入出力回路5およびセンスアンプ6等にも使用されている。さらに、内部回路8としては、コマンド／アドレスデコード回路4、データ入出力回路5、センスアンプ6およびメモリセル7の他、様々な回路が含まれるのはもちろんである。

図6は本発明に係る半導体集積回路装置における昇圧電源回路の構成を概念的に示すブロック図である。

図6に示されるように、昇圧電源回路1は、第1の出力端子OT1に対して直列に接続された第1のスイッチ11、および、第2の出力端子OT2に対して直列に接続された第2のスイッチ12を備える。

図7は図6の昇圧電源回路の一例を示すブロック図である。

図7に示されるように、昇圧電源回路1は、第1のスイッチ11、第2のスイッチ12、遅延回路13、および、レベル変換回路14を備える。第1および第2のスイッチ11、12は、レベル変換回路14の出力信号／CNT（／CNT'）によって制御される。ここで、第1のスイッチ11に供給される制御信号／CNT'は、第2のスイッチ12に供給される制御信号／CNTを遅延回路13で遅延した信号とされている。

昇圧電源回路1は、図1を参照して説明した従来の半導体集積回路装置における昇圧電源回路（100）と同様に、電源電圧（VDD）から昇圧された昇圧電圧 $V_{ip}$ （ $V_{PP}$ ）を生成する。さらに、この昇圧電圧 $V_{ip}$ は、第1のスイッチ11を介して内部回路8用の第1の昇圧電圧 $V_{PP1}$ として第1の出力端子OT1から出力されると共に、第2のスイッチ12を介して制御回路3用の第2の昇圧電圧 $V_{PP2}$ として第2の出力端子OT2から出力される。そして、第1および第2のスイッチ11、12は、レベル変換回路1

4 の出力信号 / CNT ( / CNT' ) によって制御される。

すなわち、第 2 のスイッチ 1 2 は、レベル変換回路 1 4 からの制御信号 / CNT により制御され、また、第 1 のスイッチ 1 1 は、第 2 のスイッチ 1 2 に供給される制御信号 / CNT を遅延回路 1 3 で遅延した制御信号 / CNT' により制御される。

図 8 は図 7 の昇圧電源回路における遅延回路の一例を示す図である。図 8 に示されるように、遅延回路 8 は、縦列接続された複数（偶数個）のインバータ 1 3 1, 1 3 2 で構成され、第 1 のスイッチ 1 1 に対して、第 2 のスイッチ 1 2 に供給される制御信号 / CNT をインバータ 1 3 1, 1 3 2 で遅延した制御信号 / CNT' を供給するようになっている。

これにより、半導体集積回路装置（例えば、DRAM）の電源オン時において、第 1 のスイッチ 1 1 がオンして内部回路 8 へ昇圧電圧  $V_{PP1}$  が印加されるよりも前のタイミングで、第 2 のスイッチ 1 2 をオンして昇圧電圧  $V_{PP2}$  を制御回路 3（降圧電源回路 2）へ供給することになり、たとえリークの原因となる回路（例えば、リークが生じる欠陥ワード線）が内部回路 8 に存在する場合でも、制御回路 3 を正常に動作させて上記リークの原因となる回路の切り離し処理等（例えば、欠陥ワード線を遮断して予備のワード線に切り替える冗長処理）を行うことができる。

ここで、第 1 の昇圧電圧  $V_{PP1}$  および第 2 の昇圧電圧  $V_{PP2}$  は、例えば、同電位の電圧であり、上記半導体集積回路装置の起動時の処理が終了した後は、第 1 の出力端子 OT 1 と第 2 の出力端子 OT 2 を短絡して昇圧電圧の電源容量（平滑容量）を大きくすることができる。

図 9 は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第 1 実施例を示す回路図であり、図 10 は図 9 の昇圧電

源回路の動作を説明するための概略的な波形図である。なお、以下では、昇圧電源回路 1 が 2 倍の高電位電源電圧 ( $V_{DD} \times 2$ ) を発生する場合を説明するが、例えば、3 倍 ( $V_{DD} \times 3$ ) 等の他の電圧を発生する場合においても、本発明は同様に適用することができるのはいうまでもない。

図 9 に示されるように、本第 1 実施例の昇圧電源回路 1 は、スイッチ 10, 11, 12、および、容量 15, 16, 17 を備えている。図 9 および図 10 に示されるように、まず、スイッチ 10 がオンでスイッチ 11 および 12 がオフの状態、プリチャージ電位 ( $V_{pr}$  : 例えば、 $V_{DD}$  に等しい) からノード n1 のプリチャージを行う。このとき、ポンプ電圧  $V_{mp}$  は  $V_{SS}$  (0V) である。

次に、スイッチ 10 をオフとしポンプ電圧  $V_{mp}$  の電位を叩き上げることでノード n1 の電位は  $V_{DD}$  (例えば、 $V_{DD} \times 2$ ) に上昇する。さらに、スイッチ (第 2 のスイッチ) 12 が制御信号 / CNT によりオンし、次いで、スイッチ (第 1 のスイッチ) 11 が遅延された制御信号 / CNT' によりオンする。これにより、第 2 のスイッチ 12 を経由する第 2 の昇圧電圧  $V_{PP2}$  は、第 1 のスイッチ 11 を経由する第 1 の昇圧電圧  $V_{PP1}$  よりも早いタイミングで降圧電源回路 2 に印加され、さらに、降圧電源回路 2 の出力電圧 (降圧電圧)  $V_{II}$  が制御回路 3 (選択回路 30) に印加されて制御回路 3 が動作する。

これにより、例えば、図 3 に示したレベル変換回路においても、まず、降圧電圧  $V_{II}$  が立ち上がってレベル変換回路の入力が確定し、全てのワード線 WL がオフとなるため、例えば、DRAM における欠陥部分 (製造上の原因によりリークが生じる部分) の冗長処理を起動時に正しく行うことができる。すなわち、例えば、内部降圧電源の制御に昇圧電源を用いる半導体集積回路装置において、チ

ップ内部の昇圧電圧を用いている回路に製造上の原因によるリークがあった場合でも、制御回路に対しては正しい電圧を印加して通常の制御動作を行わせることが可能になる。

なお、前述したように、第1の昇圧電圧 $V_{PP1}$ （降圧電源回路2に印加される昇圧電圧）および第2の昇圧電圧 $V_{PP2}$ （内部回路8に印加される昇圧電圧）は、例えば、同電位の電圧であり、半導体集積回路装置の起動時の処理が終了した後は、第1の出力端子 $OT1$ と第2の出力端子 $OT2$ を短絡して昇圧電圧の電源容量を大きくするようになっている。

図11は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第2実施例を示す回路図である。

図11から明らかなように、本第2実施例の半導体集積回路装置における昇圧電源回路では、第1のスイッチ11と直列に第1のダイオード18が順方向に設けられ、且つ、第2のスイッチ12と直列に第2のダイオード19が順方向に設けられている。これにより、例えば、半導体集積回路装置の起動時の処理が終了した後に第1の出力端子 $OT1$ と第2の出力端子 $OT2$ を短絡した場合でも、電流の逆流を防止して昇圧電圧 $V_{PP}$ （ $V_{PP1}$ 、 $V_{PP2}$ ）を効率的に発生するようになっている。

図12は本発明に係る半導体集積回路装置における昇圧電源回路の要部構成の第3実施例を示す回路図である。

図12と図11との比較から明らかなように、本第3実施例の半導体集積回路装置における昇圧電源回路では、第2のスイッチ12に対してのみ第2のダイオード19を設けるようになっている。なお、第1のスイッチ11に対してのみ第1のダイオード18を設けることもできる。

図13は本発明に係る半導体集積回路装置における昇圧電源回路

の要部構成の第4実施例を示す回路図である。

図13に示されるように、本第4実施例の半導体集積回路装置における昇圧電源回路では、交互に動作する2組の昇圧回路部分（スイッチ101, 111, 112および容量151と、スイッチ102, 112, 122および容量152との2組の昇圧回路部分）を設け、効率的に昇圧動作を行わせるようになっている。

ここで、第1の昇圧回路部分のスイッチ101, 111, 112と、第2の昇圧回路部分のスイッチ102, 112, 122とは互いに180度の位相で動作するようになっている。さらに、各第1のスイッチ111および112を制御する制御信号/CNT1'および/CNT2'は、それぞれ各第2のスイッチ121および122を制御する制御信号/CNT1および/CNT2を遅延した信号となっている。また、プリチャージ電圧 $V_{pr1}$ ,  $V_{pr2}$ およびポンプ電圧 $V_{mp1}$ ,  $V_{mp2}$ はそれぞれ同電位の電圧とされている。この昇圧電源回路は、様々な構成を適用することができる。

すなわち、上述した本実施例に係る半導体集積回路装置における昇圧電源回路、降圧電源回路、制御回路および内部回路は、様々な構成を適用することができるのはいうまでもない。

このように、本発明に係る半導体集積回路装置によれば、チップ内部に昇圧電圧からのリークがあった場合でも、正しく初期化動作を行うことができる。また、起動後に2つの昇圧電圧を電氣的にショートさせることで、容量（平滑容量）を兼用することができ、キャパシタの面積を削減することができる。さらに、昇圧電圧の取り出し端子にダイオードを設けることで、電流の逆流を防ぎ効率よく昇圧電圧を取り出すことができる。

## 請 求 の 範 囲

1. 昇圧電圧を発生する昇圧電源回路、該昇圧電圧により駆動される内部回路、および、前記昇圧電圧を受け取って前記内部回路を制御する制御回路を有する半導体集積回路装置であって、

前記昇圧電源回路は、前記内部回路用の第1の出力端子と、前記制御回路用の第2の出力端子とを備えることを特徴とする半導体集積回路装置。

2. 請求項1に記載の半導体集積回路装置において、さらに、前記昇圧電圧を降圧する降圧電源回路を備え、

該降圧電源回路は、前記昇圧電源回路の第2の出力端子を介して与えられた前記昇圧電圧を降圧して前記制御回路に印加することを特徴とする半導体集積回路装置。

3. 請求項2に記載の半導体集積回路装置において、前記第1の端子から出力される前記昇圧電圧を、前記制御回路にも印加することを特徴とする半導体集積回路装置。

4. 請求項1に記載の半導体集積回路装置において、前記昇圧電源回路は、前記第1の端子から出力される前記昇圧電圧の変動に関わらず、前記第2の端子から出力される前記昇圧電圧を所定のレベルで出力する出力電圧制御部を備えることを特徴とする半導体集積回路装置。

5. 請求項4に記載の半導体集積回路装置において、前記出力電圧制御部は、前記第1の出力端子に対して直列に接続された第1のスイッチと、前記第2の出力端子に対して直列に接続された第2のスイッチとを備えることを特徴とする半導体集積回路装置。

6. 請求項5に記載の半導体集積回路装置において、前記出力電圧制御部は、さらに、前記第1のスイッチの後段に設けられた平滑

用の第 1 の容量と、前記第 2 のスイッチの後段に設けられた平滑用の第 2 の容量とを備えることを特徴とする半導体集積回路装置。

7. 請求項 5 に記載の半導体集積回路装置において、前記出力電圧制御部は、さらに、前記第 1 のスイッチと直列に設けられた順方向の第 1 のダイオードと、前記第 2 のスイッチと直列に設けられた順方向の第 2 のダイオードとのうちの少なくとも一方を備えることを特徴とする半導体集積回路装置。

8. 請求項 5 に記載の半導体集積回路装置において、前記出力電圧制御部は、さらに、前記第 1 のスイッチをオンするタイミングを、前記第 2 のスイッチをオンするタイミングよりも遅らせる遅延回路を備えることを特徴とする半導体集積回路装置。

9. 請求項 1 に記載の半導体集積回路装置において、前記第 1 および第 2 の出力端子は、該半導体集積回路装置の起動時にのみ分離され、一旦起動した後は電氣的に短絡されることを特徴とする半導体集積回路装置。

Fig.1

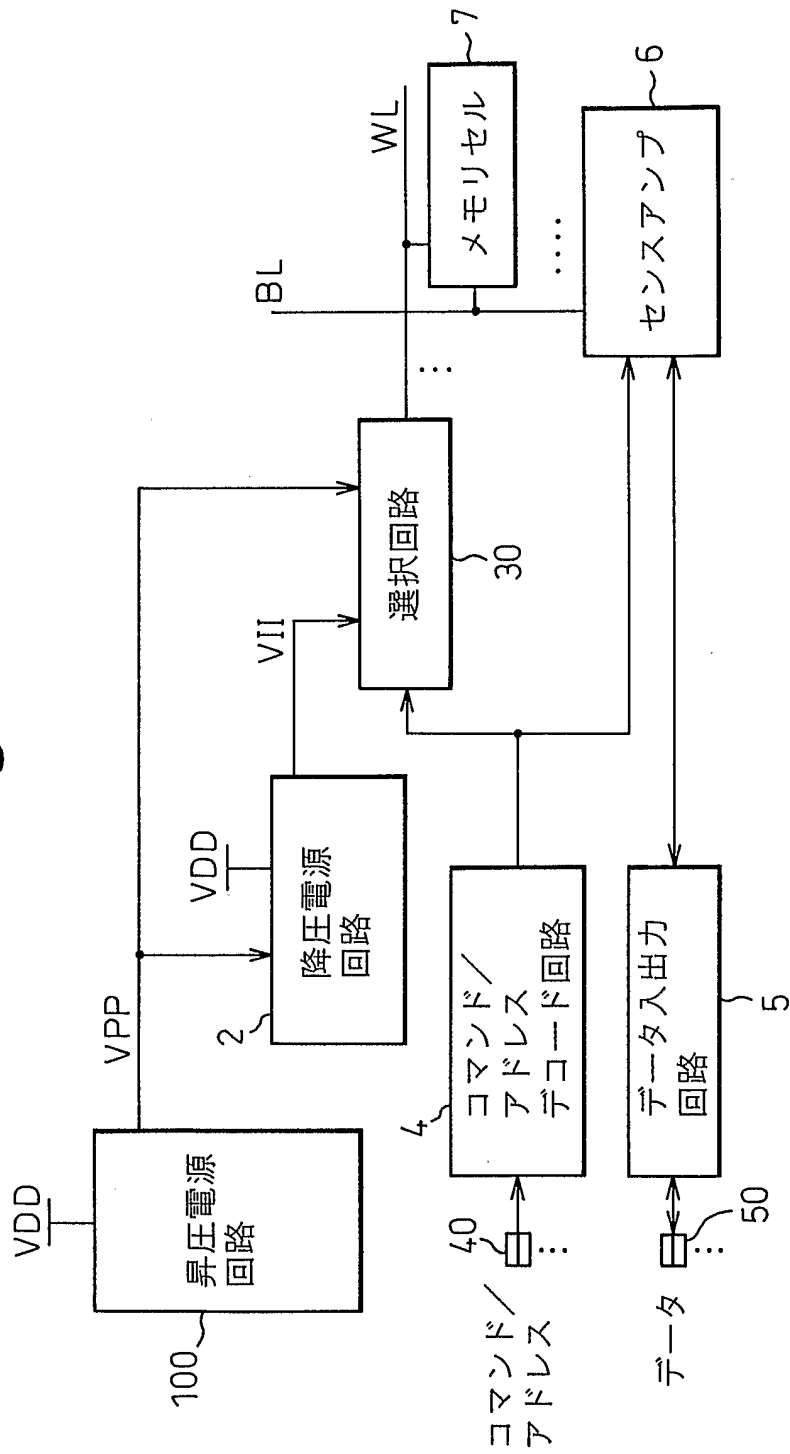


Fig.2

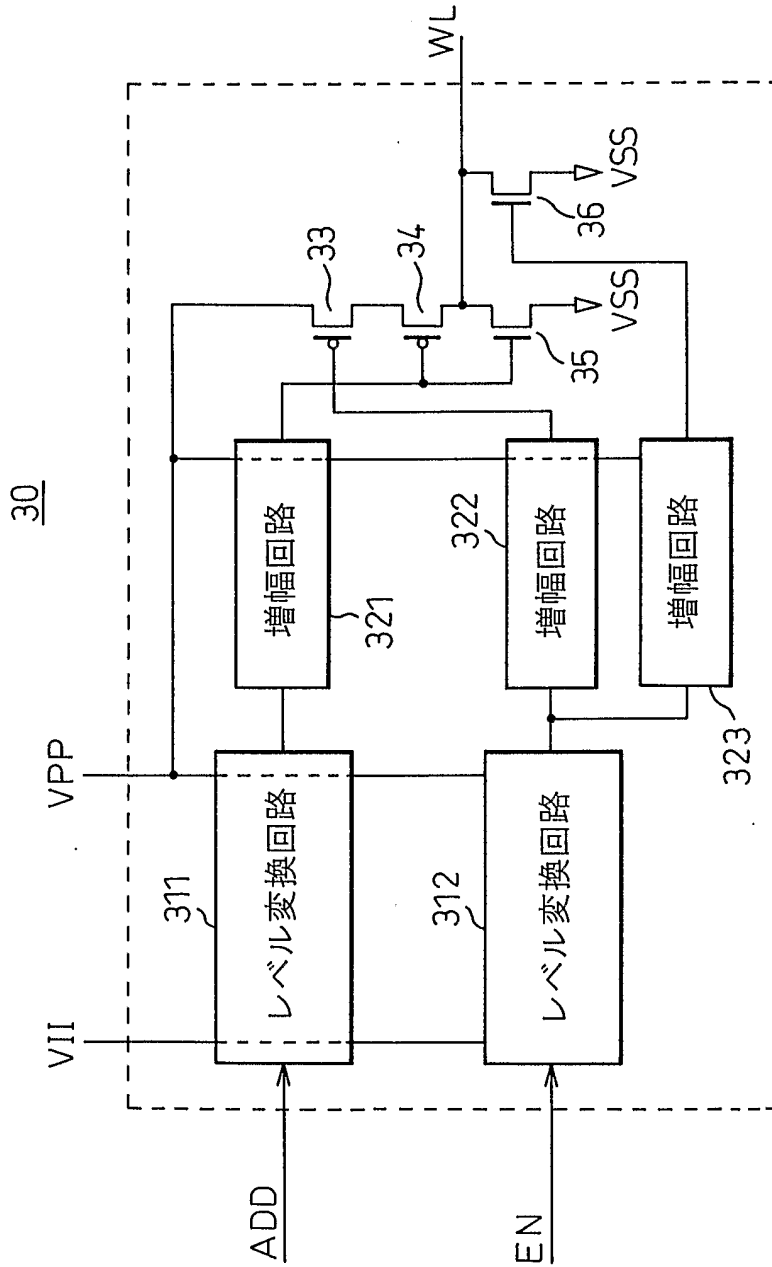


Fig.3

311 (312)

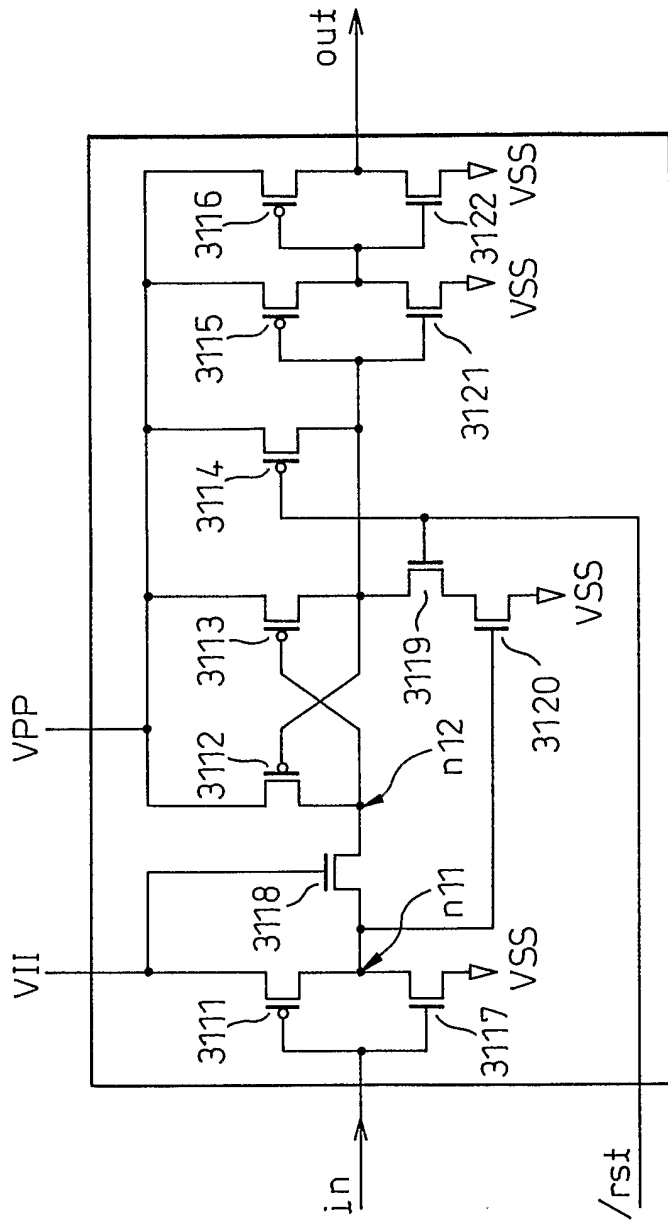


Fig.4

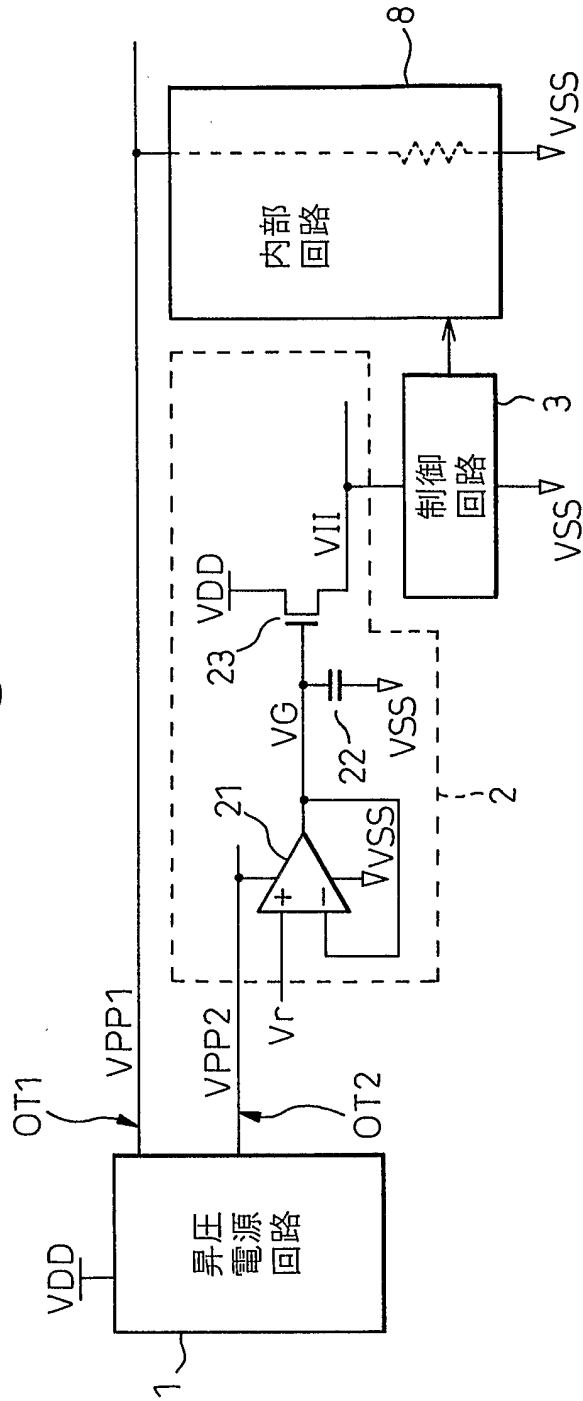


Fig.5

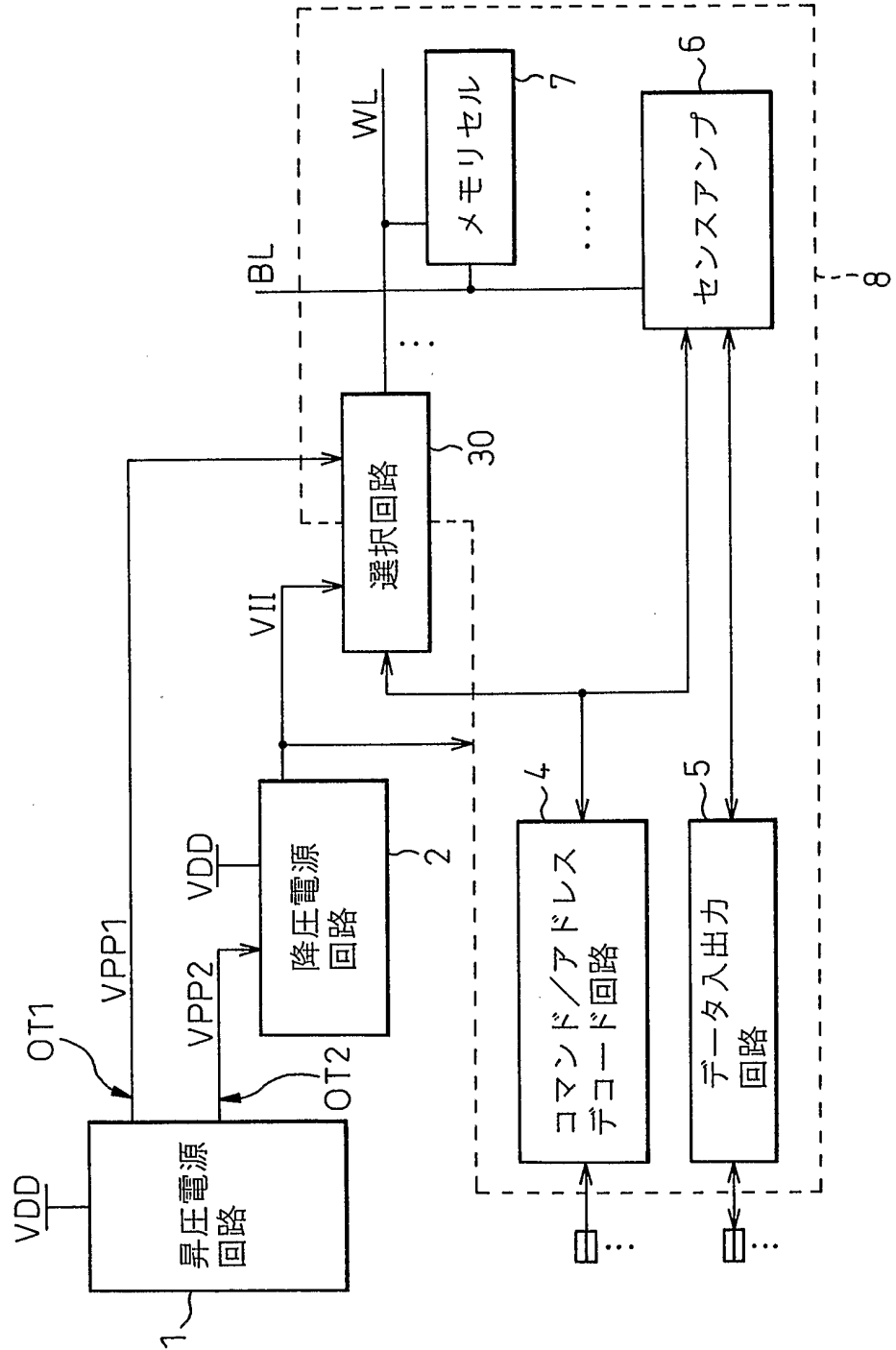


Fig.6

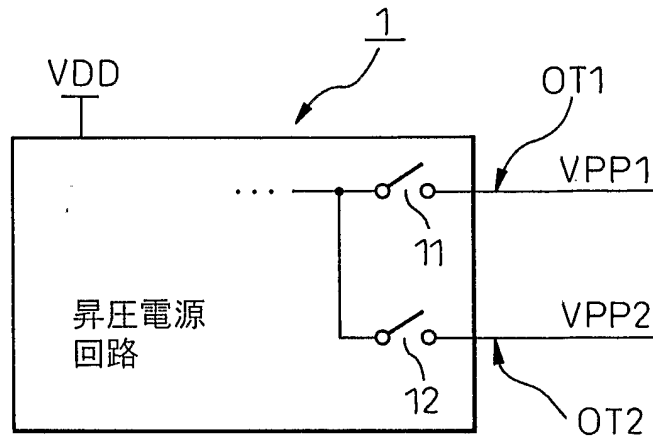


Fig.7

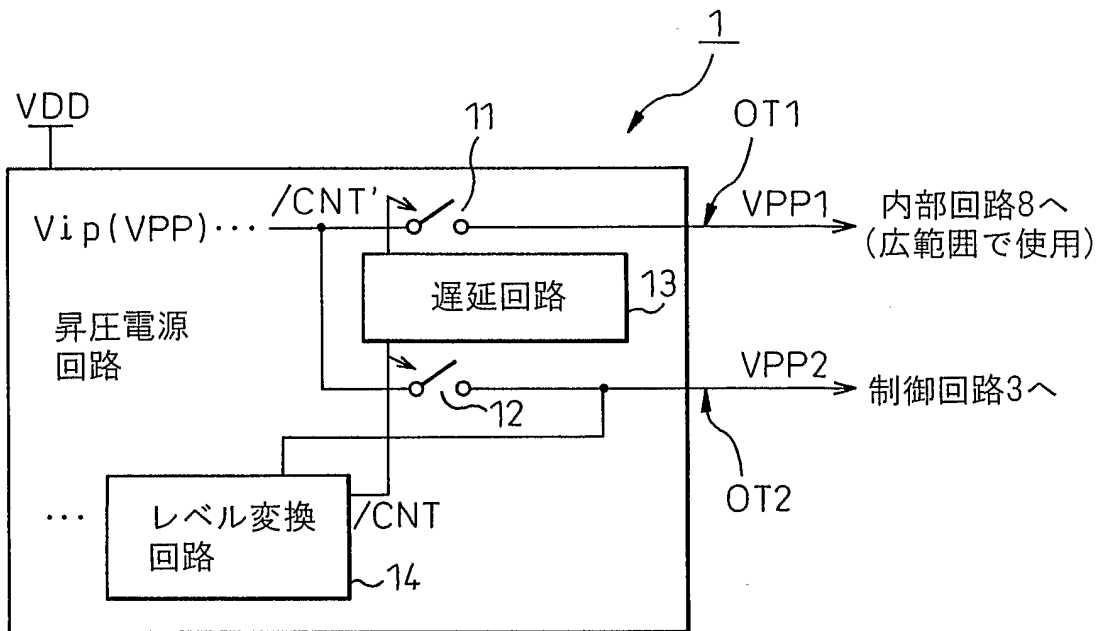


Fig.8

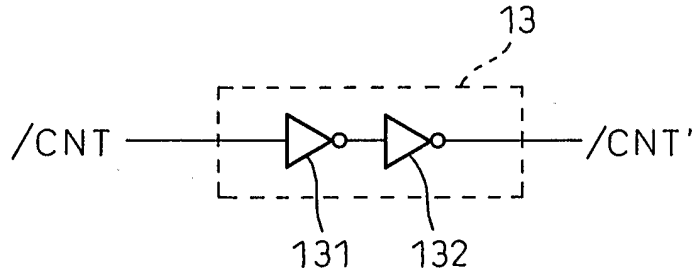


Fig.9

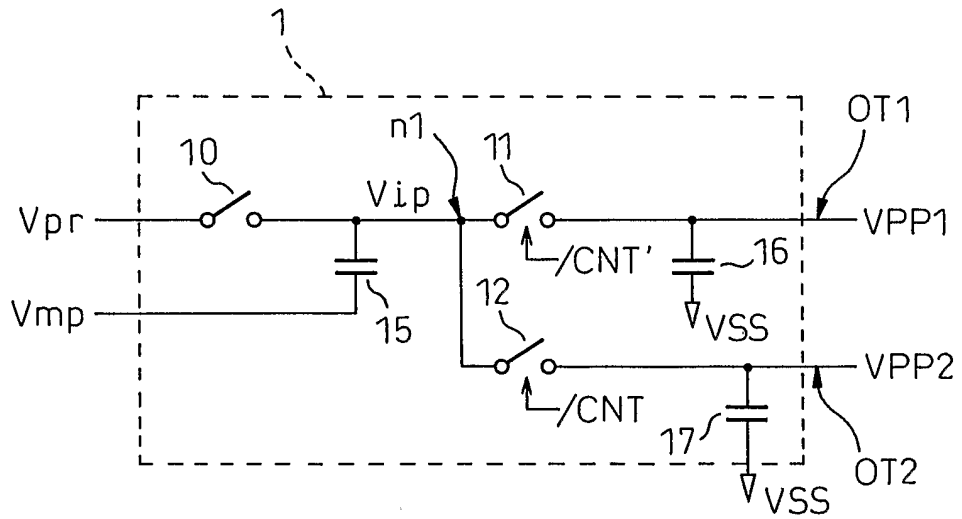


Fig.10

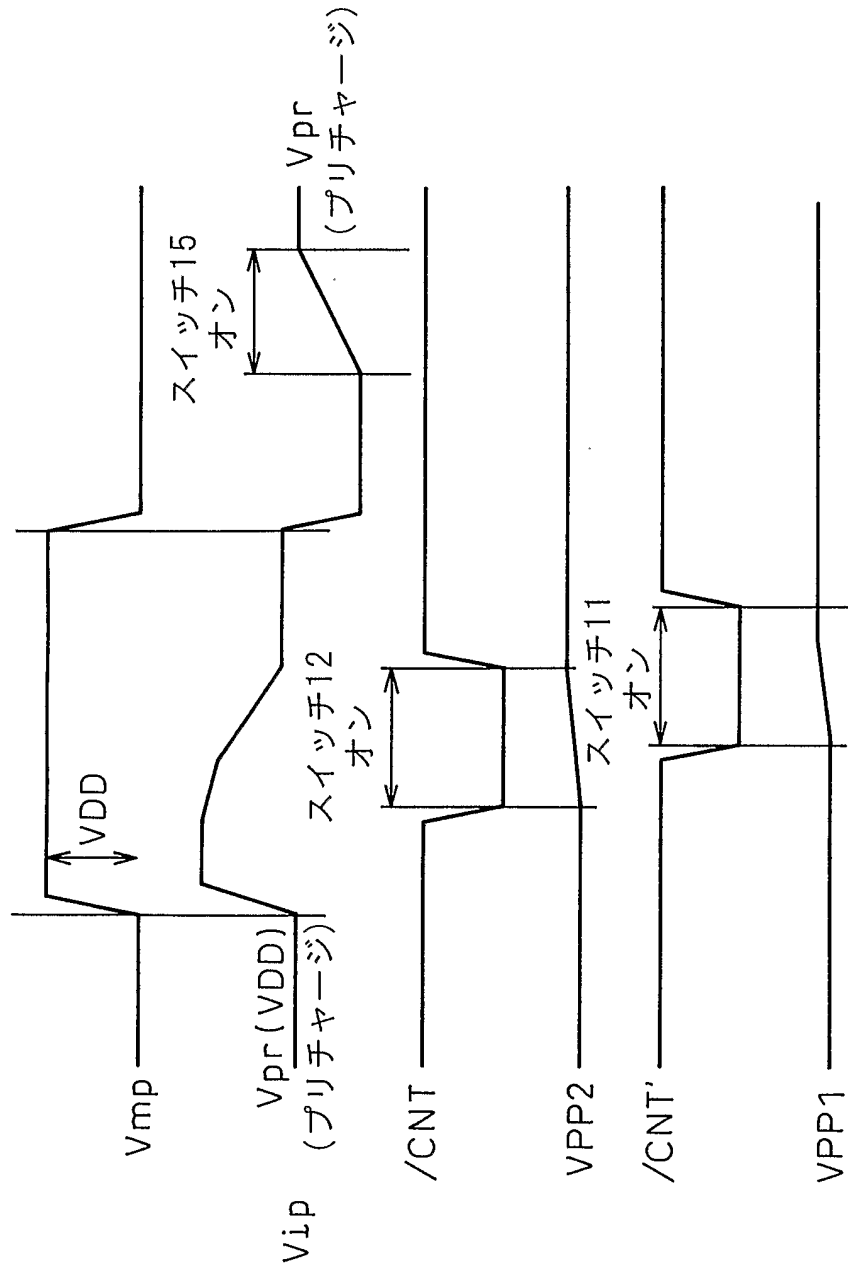


Fig.11

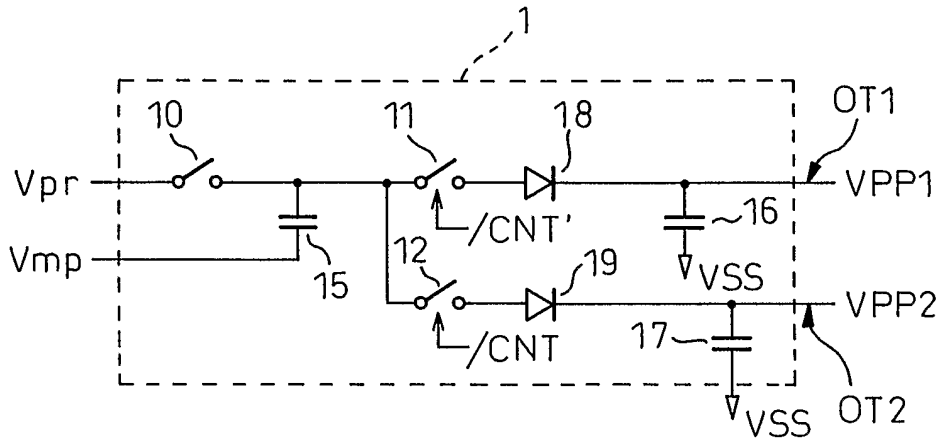


Fig.12

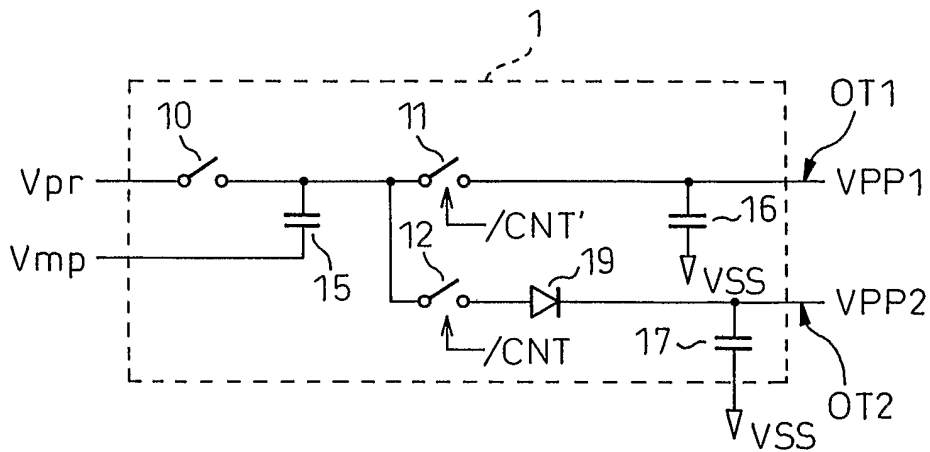
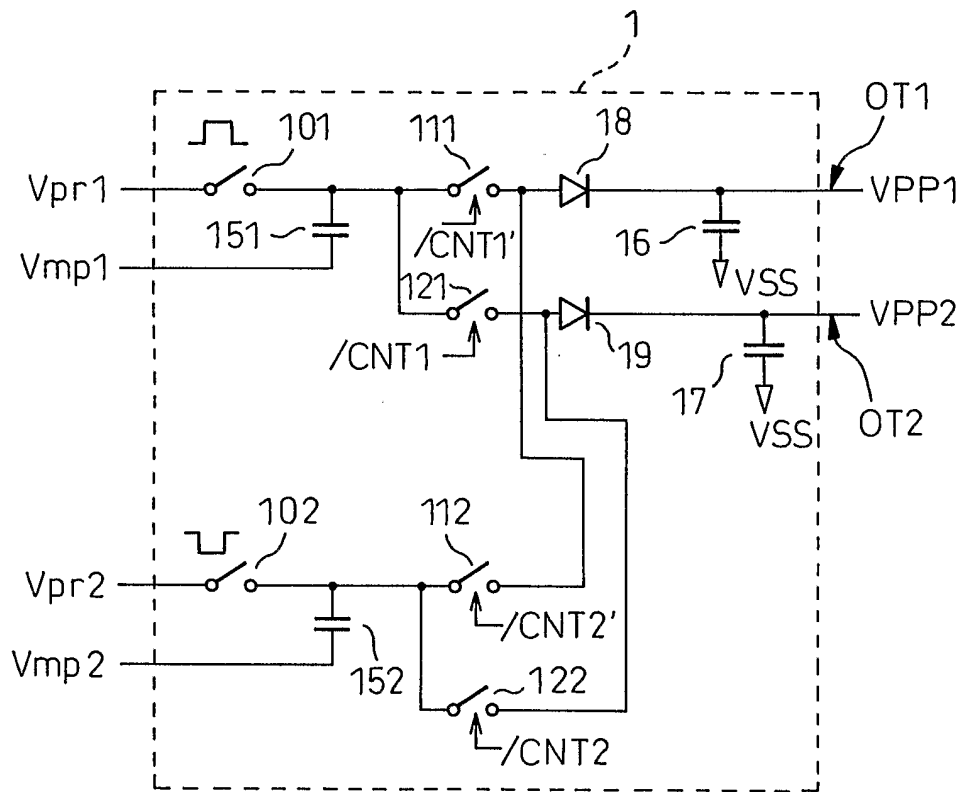


Fig.13



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/05961

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> H02M3/07

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H02M3/00-3/44, G11C11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 0669619 A2 (KABUSHIKI KAISHA TOSHIBA), 30 August, 1995 (30.08.95), Column 4, line 51 to column 12, line 26; Figs. 6 to 14 & JP 7-240094 A Par. Nos. [0022] to [0054]; Figs. 1 to 9 & US 5592421 A & CN 1113347 A & KR 241209 B	1-3 4-9
Y	JP 2000-194329 A (Casio Computer Co., Ltd.), 14 July, 2000 (14.07.00), Par. Nos. [0025] to [0040]; Figs. 2 to 5 (Family: none)	4-9

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 07 August, 2003 (07.08.03)	Date of mailing of the international search report 19 August, 2003 (19.08.03)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05961

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-350439 A (Matsushita Electric Industrial Co., Ltd.), 15 December, 2000 (15.12.00), Par. No. [0051]; Fig. 5 (Family: none)	7, 9
A	JP 7-78472 A (Toshiba Corp.), 20 March, 1995 (20.03.95), Full text; Figs. 1 to 21 (Family: none)	1-9
A	JP 56-12859 A (Casio Computer Co., Ltd.), 07 February, 1981 (07.02.81), Full text; Figs. 1 to 6 (Family: none)	1-9
A	JP 2000-40394 A (Fujitsu Ltd.), 08 February, 2000 (08.02.00), Full text; Figs. 1 to 9 & US 6137348 A & TW 427057 B	1-9
A	JP 2001-178115 A (Fujitsu Ltd.), 29 June, 2001 (29.06.01), Full text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/00-3/44  
G11C 11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国実用新案登録公報 1996-2003年  
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	EP 0669619 A2 (KABUSHIKI KAISHA TOSHIBA) 1995. 08. 30, 第4欄第51行-第12欄第26行, 第6-14図 & JP 7-240094 A, 【0022】-【0054】, 第1-9図 & US 5592421 A & CN 1113347 A & KR 241209 B	1-3 4-9
Y	JP 2000-194329 A (カシオ計算機株式会社) 2000. 07. 14, 【0025】-【0040】, 第2-5図 (ファミリーなし)	4-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 07. 08. 03

国際調査報告の発送日 19.08.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
櫻田 正紀  
3V 2917  
電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-350439 A (松下電器産業株式会社) 2000. 12. 15, 【0051】, 第5図 (ファミリーなし)	7, 9
A	JP 7-78472 A (株式会社東芝) 1995. 03. 20, 全文, 第1-21図 (ファミリーなし)	1-9
A	JP 56-12859 A (カシオ計算機株式会社) 1981. 02. 07, 全文, 第1-6図 (ファミリーなし)	1-9
A	JP 2000-40394 A (富士通株式会社) 2000. 02. 08, 全文, 第1-9図 & US 6137348 A & TW 427057 B	1-9
A	JP 2001-178115 A (富士通株式会社) 2001. 06. 29, 全文, 全図 (ファミリーなし)	1-9