



(12) 发明专利申请

(10) 申请公布号 CN 105182377 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201510520389. 7

(22) 申请日 2015. 08. 21

(71) 申请人 上海海积信息科技股份有限公司
地址 201702 上海市青浦区高泾路 599 号 B 座 3 楼

(72) 发明人 房志东 丁兵 曹潇 刘欢
赵文峰 吉青

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.
G01S 19/33(2010. 01)

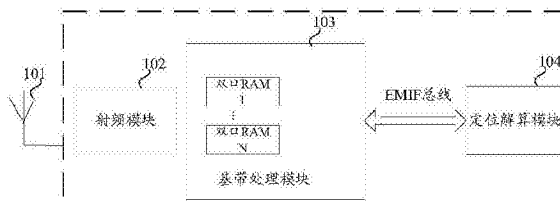
权利要求书2页 说明书9页 附图3页

(54) 发明名称

一种接收机板卡及接收机

(57) 摘要

本发明实施例公开了一种接收机板卡及接收机。本发明实施例中，基带处理模块用于根据卫星数字中频信号得到第一数据，将第一数据写入 N 个双口 RAM 中，并向定位解算模块发送第一指令；以及在接收到第二指令的情况下，从 N 个双口 RAM 中读取第二数据；N 为大于 1 的整数；定位解算模块接收用于在接收到第一指令的情况下，通过 EMIF 总线从 N 个双口 RAM 中读取第一数据；根据第一数据，得到第二数据，通过 EMIF 总线将第二数据写入到 N 个双口 RAM 中，并向基带处理模块发送第二指令。本发明实施例中通过 EMIF 总线和 N 个双口 RAM 有效提高了基带处理模块与定位解算模块之间的数据交互的能力。



1. 一种接收机板卡,其特征在于,包括射频模块、基带处理模块和定位解算模块,所述射频模块与所述基带处理模块连接,所述基带处理模块与所述定位解算模块通过外部存储器接口 EMIF 总线连接;所述基带处理模块包括 N 个双口 RAM;所述射频模块用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给所述基带处理模块;

所述基带处理模块用于根据接收到的所述卫星数字中频信号得到第一数据,将所述第一数据写入 N 个双口 RAM 中,并向所述定位解算模块发送第一指令;以及在接收到第二指令的情况下,从所述 N 个双口 RAM 中读取第二数据;N 为大于 1 的整数;

所述定位解算模块用于在接收到所述第一指令的情况下,通过所述 EMIF 总线从所述 N 个双口 RAM 中读取所述第一数据;根据所述第一数据,得到所述第二数据,以及通过所述 EMIF 总线将所述第二数据写入所述 N 个双口 RAM 中,并向所述基带处理模块发送第二指令。

2. 如权利要求 1 所述的接收机板卡,其特征在于,所述双口 RAM 包括第一读写端口和第二读写端口;

所述基带处理模块用于将所述第一数据通过所述第一读写端口写入所述 N 个双口 RAM 中,以及通过所述第一读写端口从所述 N 个 RAM 中读取所述第二数据;

所述定位解算模块用于将所述第二数据通过所述第二读写端口写入所述 N 个双口 RAM 中,以及通过所述第二读写端口从所述 N 个双口 RAM 中读取所述第一数据。

3. 如权利要求 2 所述的接收机板卡,其特征在于,所述基带处理模块通过所述第一读写端口读写数据的速度由第一时钟信号控制;

所述定位解算模块通过所述第二读写端口读写数据的速度由第二时钟信号控制。

4. 如权利要求 1 所述的接收机板卡,其特征在于,所述双口 RAM 包括第一存储区域和第二存储区域;

所述基带处理模块还包括第一读写选择单元;所述第一读写选择单元用于将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据;

所述定位解算模块还包括第二读写选择单元;所述第二读写选择单元用于将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据;

所述第一读写选择单元写入第一数据的存储区域与所述第二读写选择单元写入所述第二数据的存储区域不同。

5. 如权利要求 4 所述的接收机板卡,其特征在于,所述第一读写选择单元包括与所述 N 个 RAM 一一对应的 N 个内部逻辑控制;

所述第一读写选择单元用于将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据,包括:

所述 N 个内部逻辑控制通过写逻辑将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及通过读逻辑选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据。

6. 如权利要求 4 所述的接收机板卡,其特征在于,所述第二读写选择单元包括 EMIF 总

线控制器；所述基带处理模块还包括 RAM 选择逻辑；

所述第二读写选择单元用于将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域，以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据，包括：

所述 EMIF 总线控制器通过所述 RAM 选择逻辑将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域，以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据。

7. 如权利要求 1 所述的接收机板卡，其特征在于，所述第一数据包括各卫星 IQ 通道累加量、码片计数值、码周计数值、载波周计数值；所述第二数据包括移位寄存器抽头字、移位寄存器初始状态字、移位寄存器截止状态、载波频率控制字、载波相位控制字、码频率控制字、码相位控制字。

8. 如权利要求 1 所述的接收机板卡，其特征在于，所述基带处理模块为现场可编程门阵列模块 FPGA；所述定位解算模块为数字信号处理器 DSP。

9. 如权利要求 1 所述的接收机板卡，其特征在于，所述定位解算模块包括增强型直接内存存取 EDMA 控制器；

所述 EDMA 控制器用于控制所述 EMIF 总线从所述 N 个双口 RAM 中读取所述第一数据，以及控制所述 EMIF 总线将所述第二数据写入所述 N 个双口 RAM 中。

10. 一种接收机，其特征在于，包括天线以及如权利要求 1 至 9 中任一所述的接收机板卡；

所述天线，用于接收卫星导航信号，并将所述卫星导航信号发送给所述接收机板卡。

一种接收机板卡及接收机

技术领域

[0001] 本发明涉及卫星导航技术领域,尤其涉及一种接收机板卡及接收机。

背景技术

[0002] 目前全球卫星导航接收系统中,主要包括了主要包含了中国 BDS(BeiDou Navigation Satellite System,北斗卫星导航系统)、美国 GPS(Global Navigation Satellite System,全球定位系统)、俄国格洛纳斯 (GLONASS) 和欧洲伽利略 (Galileo),每个卫星系统又有多个频点信号,加在一起有十几个频点。为设计能容纳更多频点的多模多频接收机,基带中的卫星跟踪通道可能会达到几百个,基带处理模块与定位解算模块每一次的数据交互量会达到 10K 左右。卫星导航接收机基带处理模块与定位解算模块通信方法主要有两种方式:第一种方式:定位解算模块中的 CPU(Central Processing Unit,处理器)通过总线访问基带处理模块中的寄存器;第二种方式定位解算模块中的 CPU 通过总线方式访问基带处理模块中的单个 RAM(Random Access Memory,随机存储器)的数据。

[0003] 上述第一种方式,基带处理模块每隔一定时间将卫星数据锁存到寄存器组中,然后定位解算模块中的 CPU 通过总线读写寄存器中的数据,因此,这种方式中的总线数据更新速率由基带处理模块的时钟控制,通信效率很低,一般最大也只能达到几十兆的通信速率;此外,将所有卫星通道寄存器通过一个数据选择器与地址逻辑连接,影响基带处理模块 FPGA 综合布线的成功率。

[0004] 上述第二种方式,使用单个 RAM 作为总线与基带之间的数据缓冲,一方面会导致基带处理模块内部布线时 RAM 的扇入太大,另一方面,传统单口 RAM 只有一个数据地址端口,读写不能同时进行,通信效率较低。此外,基带处理模块将所有卫星通道的数据都写入到一个 RAM 中需要较长时间,降低了通信时总线利用效率,且当通道足够多时,有可能不能满足卫星跟踪所需的实时处理时间。

[0005] 综上,目前亟需一种稳定可靠的方法用于实现基带处理模块与定位解算模块之间的数据交互。

发明内容

[0006] 本发明实施例提供一种接收机板卡,用以提高基带处理模块与定位解算模块之间的数据交互能力。

[0007] 本发明实施例提供的一种接收机板卡,包括射频模块、基带处理模块和定位解算模块,所述射频模块与所述基带处理模块连接,所述基带处理模块与所述定位解算模块通过外部存储器接口 EMIF 总线连接;所述基带处理模块包括 N 个双口 RAM;所述射频模块用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给所述基带处理模块;

[0008] 所述基带处理模块用于根据接收到的所述卫星数字中频信号得到第一数据,将所述第一数据写入 N 个双口 RAM 中,并向所述定位解算模块发送第一指令;以及在接收到第二

指令的情况下,从所述 N 个双口 RAM 中读取第二数据 ;N 为大于 1 的整数 ;

[0009] 所述定位解算模块用于在接收到所述第一指令的情况下,通过所述 EMIF 总线从所述 N 个双口 RAM 中读取所述第一数据 ;根据所述第一数据,得到所述第二数据,以及通过所述 EMIF 总线将所述第二数据写入所述 N 个双口 RAM 中,并向所述基带处理模块发送第二指令。

[0010] 较佳地,所述双口 RAM 包括第一读写端口和第二读写端口 ;

[0011] 所述基带处理模块用于将所述第一数据通过所述第一读写端口写入所述 N 个双口 RAM 中,以及通过所述第一读写端口从所述 N 个 RAM 中读取所述第二数据 ;

[0012] 所述定位解算模块用于将所述第二数据通过所述第二读写端口写入所述 N 个双口 RAM 中,以及通过所述第二读写端口从所述 N 个双口 RAM 中读取所述第一数据。

[0013] 较佳地,所述基带处理模块通过所述第一读写端口读写数据的速度由第一时钟信号控制 ;

[0014] 所述定位解算模块通过所述第二读写端口读写数据的速度由第二时钟信号控制。

[0015] 较佳地,所述双口 RAM 包括第一存储区域和第二存储区域 ;

[0016] 所述基带处理模块还包括第一读写选择单元 ;所述第一读写选择单元用于将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据 ;

[0017] 所述定位解算模块还包括第二读写选择单元 ;所述第二读写选择单元用于将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据 ;

[0018] 所述第一读写选择单元写入第一数据的存储区域与所述第二读写选择单元写入所述第二数据的存储区域不同。

[0019] 较佳地,所述第一读写选择单元包括与所述 N 个 RAM 一一对应的 N 个内部逻辑控制 ;

[0020] 所述第一读写选择单元用于将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据,包括 :

[0021] 所述 N 个内部逻辑控制通过写逻辑将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及通过读逻辑选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据。

[0022] 较佳地,所述第二读写选择单元包括 EMIF 总线控制器 ;所述基带处理模块还包括 RAM 选择逻辑 ;

[0023] 所述第二读写选择单元用于将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据,包括 :

[0024] 所述 EMIF 总线控制器通过所述 RAM 选择逻辑将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据。

[0025] 较佳地,所述第一数据包括各卫星 IQ 通道累加量、码片计数值,码周计数值、载波

周计数值；所述第二数据包括移位寄存器抽头字、移位寄存器初始状态字、移位寄存器截止状态、载波频率控制字、载波相位控制字、码频率控制字、码相位控制字。

[0026] 较佳地，所述基带处理模块为现场可编程门阵列模块 FPGA；所述定位解算模块为数字信号处理器 DSP。

[0027] 较佳地，所述定位解算模块包括增强型直接内存存取 EDMA 控制器；

[0028] 所述 EDMA 控制器用于控制所述 EMIF 总线从所述 N 个双口 RAM 中读取所述第一数据，以及控制所述 EMIF 总线将所述第二数据写入所述 N 个双口 RAM 中。

[0029] 本发明实施例提供的一种接收机，包括天线以及上述实施例所述的接收机板卡；

[0030] 所述天线，用于接收卫星导航信号，并将所述卫星导航信号发送给所述接收机板卡。

[0031] 本发明实施例中的接收机板卡包括射频模块、基带处理模块和定位解算模块，射频模块与基带处理模块连接，基带处理模块与定位解算模块通过 EMIF 总线连接；基带处理模块包括 N 个双口 RAM；射频模块用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号，并将所述卫星数字中频信号发送给基带处理模块；基带处理模块用于根据卫星数字中频信号得到第一数据，将第一数据写入 N 个双口 RAM 中，并向定位解算模块发送第一指令；以及在接收到第二指令的情况下，从 N 个双口 RAM 中读取第二数据；N 为大于 1 的整数；定位解算模块接收用于在接收到第一指令的情况下，通过 EMIF 总线从 N 个双口 RAM 中读取第一数据；根据第一数据，得到第二数据，通过 EMIF 总线将第二数据写入到 N 个双口 RAM 中，并向基带处理模块发送第二指令。本发明实施例中基带处理模块和定位解算模块采用基于 EMIF 总线和 N 个双口 RAM 的数据通信方式，使得基带处理模块能够以并行的方式同时对 N 个双口 RAM 进行读写，有效缩短了基带处理模块读写 RAM 的时间，提高了基带处理模块 FPGA 综合布线的成功率；而且，通过 EMIF 总线和 N 个双口 RAM 有效提高了基带处理模块与定位解算模块之间的数据交互的能力。

附图说明

[0032] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简要介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域的普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

[0033] 图 1 为本发明实施例提供的一种接收机板卡的结构示意图；

[0034] 图 2 为本发明实施例提供的一种接收机板卡的具体结构示意图；

[0035] 图 3 为本发明实施例提供的一种数据交互示意图；

[0036] 图 4 为本发明实施例提供的 EMIF 总线与 FPGA 中的双口 RAM 的连接方式示意图；

[0037] 图 5 为本发明实施例提供的一种接收机的结构示意图。

具体实施方式

[0038] 为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的

所有其它实施例,都属于本发明保护的范围。

[0039] 图 1 为本发明实施例提供的一种接收机板卡的结构示意图,适用于导航接收机,该接收机板卡包括与天线 101 连接的射频模块 102、基带处理模块 103 和定位解算模块 104,所述射频模块 102 与所述基带处理模块 103 连接,所述基带处理模块 103 与所述定位解算模块 104 通过 EMIF (External Memory Interface, 外部存储器接口) 总线连接;所述基带处理模块 103 包括 N 个双口 RAM;

[0040] 所述射频模块 102 用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给所述基带处理模块 103;

[0041] 所述基带处理模块 103 用于根据接收到的所述卫星数字中频信号得到第一数据,将所述第一数据写入 N 个双口 RAM 中,并向所述定位解算模块 104 发送第一指令;在接收到第二指令的情况下,从所述 N 个双口 RAM 中读取第二数据;N 为大于 1 的整数;

[0042] 所述定位解算模块 104 用于在接收到所述第一指令的情况下,通过所述 EMIF 总线从所述 N 个双口 RAM 中读取所述第一数据;根据所述第一数据,得到所述第二数据,通过所述 EMIF 总线将所述第二数据写入到所述 N 个双口 RAM 中,并向所述基带处理模块 103 发送第二指令。

[0043] 本发明实施例中基带处理模块和定位解算模块采用基于 EMIF 总线和 N 个双口 RAM 的数据通信方式,使得基带处理模块能够以并行的方式同时对 N 个双口 RAM 进行读写,有效缩短了基带处理模块读写 RAM 的时间,提高了基带处理模块 FPGA 综合布线的成功率;而且,通过 EMIF 总线和 N 个双口 RAM 有效提高了基带处理模块与定位解算模块之间的数据交互的能力。

[0044] 本发明实施例中天线接收到的卫星导航信号可为多种卫星导航系统的信号,较佳的,卫星导航信号为以下内容中的一项或几项:全球定位系统 (Global Positioning System, GPS)、北斗卫星导航系统 (BeiDou Navigation Satellite System, BDS)、全球卫星导航系统 (GLONASS)、伽利略卫星导航 (GALILEO)。

[0045] 本发明实施例中,天线接收到卫星导航信号后,将其发送给接收机板卡中的射频模块,射频模块通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给所述基带处理模块,所述基带处理模块根据接收到的所述卫星数字中频信号得到第一数据。

[0046] 本发明实施例中,所述第一数据包括各卫星 IQ 通道累加量、码片计数值、码周计数值、载波周期计数值;所述第二数据包括移位寄存器抽头字、移位寄存器初始状态字、移位寄存器截止状态、载波频率控制字、载波相位控制字、码频率控制字、码相位控制字。

[0047] 本发明实施例中,双口 RAM 包括第一读写端口和第二读写端口,从而使得基带处理模块和定位解算模块能够通过不同的读写端口访问 N 个双口 RAM,具体地,基带处理模块将所述第一数据通过所述第一读写端口写入所述 N 个双口 RAM 中,以及通过所述第一读写端口从所述 N 个 RAM 中读取所述第二数据;定位解算模块用于将所述第二数据通过所述第二端口写入所述 N 个双口 RAM 中,以及通过所述第二端口从所述 N 个双口 RAM 中读取所述第一数据。

[0048] 由于基带处理模块和定位解算模块能够通过不同的读写端口访问 N 个双口 RAM,因此,基带处理模块和定位解算模块读写数据的速度也可通过不同的时钟信号来控制。

[0049] 具体地,基带处理模块通过所述第一读写端口读写数据的速度由第一时钟信号控制,定位解算模块通过所述第二读写端口读写数据的速度由第二时钟信号控制,从而实现了基带处理模块和定位解算模块对双口 RAM 的操作时钟相互独立,读写互不干扰。例如,基带处理模块以 50M 的时钟将数据并行写入双口 RAM 中,写完后定位解算模块可用 200M 的时钟从双口 RAM 中读取数据,二者无需保持同步,从而使得定位解算模块能够以更快的速度访问双口 RAM,有效提高了定位解算模块的访问双口 RAM 的效率。

[0050] 本发明实施例中,第一指令可以为基带处理模块向定位解算模块发送的一个握手信号,第二指令可以为定位解算模块向基带处理模块发送的一个握手信号。

[0051] 本发明实施例中,基带信号处理模块为可以 FPGA(Field Programmable Gate Array,现场可编程门阵列模块);定位解算模块可以为 DSP(Digital Signal Processors,数字信号处理器)。基于 DSP 和 FPGA 的接收机板卡充分发挥了 FPGA 中基带处理过程可编程和 DSP 强大的数据处理能力。

[0052] FPGA 和 DSP 通过 EMIF 总线连接,实现双向通信。具体地,FPGA 将捕获后的卫星数据(第一数据)写入到 N 个双口 RAM 后,发送一个握手信号给 DSP,DSP 接收到握手信号后,通过 EMIF 总线从 N 个双口 RAM 中读取卫星数据,并根据卫星数据得到环路参数值(第二数据)。DSP 通过 EMIF 总线将第二数据写入到 N 个双口 RAM 中,并向 FPGA 发送一个握手信号。FPGA 接收到握手信号后,从 N 个双口 RAM 中取出第二数据,以根据第二数据调整各卫星通道的参数值,保证对卫星信号的紧密跟踪。

[0053] 本发明实施例中,N 的大小可根据基带卫星通道一次更新的数据量来设置,同时还应考虑 FPGA 布线的扇入扇出大小。例如,基带卫星跟踪通道数为 M,每次通道更新的总数据量为 Q,每次调整通道参数数据量为 S,那么每个 RAM 中的数据量可以按照 $(Q+S)/N$ 进行设计,N、Q 和 S 决定了 RAM 的位宽和深度。本发明实施例中,当 N 为 1 时,FPGA 中 RAM 的布线的扇入最大,不利于时序约束,因此,优选地,N 为大于 1 的整数。

[0054] 由于 FPGA 将 Q 个数据一次性地写入到双口 RAM 中后,才向 DSP 发送握手信号,因此,通道数 M 的值越大,数据总量 Q 的值便越高,FPGA 写入数据所需的时间越长,难以满足需求。为进一步提高 FPGA 与 DSP 之间的数据传输效率,本发明实施例优选将 FPGA 中的每个双口 RAM 的存储区域划分为两部分,即第一存储区域和第二存储区域。基带处理模块还包括第一读写选择单元,用于将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据;定位解算模块还包括第二读写选择单元,用于将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据。

[0055] 本发明实施例中,第一读写选择单元写入第一数据的存储区域与第二读写选择单元写入所述第二数据的存储区域不同。若第一读写选择单元将所述第一数据写入 N 个第一存储区域,则相应地,第二读写选择单元将第二数据写入 N 个第二存储区域;若第一读写选择单元将所述第一数据写入 N 个第二存储区域,则相应地,第二读写选择单元将第二数据写入 N 个第一存储区域。

[0056] 图 2 为本发明实施例提供的一种接收机板卡的具体结构示意图。如上述所述,本发明实施例中的 N 的值可进行设置。此处为方便解释本发明实施例中的接收机板卡的具体

结构,仅示出 FPGA 中的两个双口 RAM,即双口 RAM1 和双口 RAM2。其中,双口 RAM1 包括存储区域 1a 和存储区域 1b,双口 RAM2 包括存储区域 2a 和存储区域 2b。N 个双口 RAM 的结构与两个双口 RAM 的结构类似,可参照两个双口 RAM 的结构,此处不再赘述。

[0057] 具体地,本发明实施例中,第一读写选择单元可以包括与 N 个双口 RAM 一一对应的 N 个内部逻辑控制,每个内部逻辑控制包括一个读逻辑和一个写逻辑,其中,读逻辑用于从双口 RAM 的一个存储区域内读取数据,写逻辑用于将数据写入双口 RAM 的另一个存储区域内。所述 N 个内部逻辑控制通过写逻辑将所述第一数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及通过读逻辑选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第二数据。

[0058] 第二读写选择单元可以为 EMIF 总线控制器,其中,EMIF 总线中的一部分地址线与双口 RAM 中的地址线连接,另一部分与 FPGA 中的 RAM 选择逻辑相连接,此部分地址线能够通过组合逻辑的方式依次片选所有的双口 RAM,从而实现通过所述 RAM 选择逻辑将所述第二数据选择性地写入 N 个所述第一存储区域或 N 个所述第二存储区域,以及选择性地从 N 个所述第一存储区域或 N 个所述第二存储区域读取所述第一数据。

[0059] 本发明实施例中的 DSP 中包括处理器,可以由处理器控制 EMIF 总线进行数据的读取和写入。优选地,本发明实施例中还可以包括 EDMA (Enhanced Direct Memory Access,增强型直接内存存取) 控制器,由于 EDMA 控制器具有独立于处理器的后台批量数据传输的能力,因此,通过 EDMA 控制器控制 EMIF 总线进行数据的读取和写入,能够有效减少 DSP 中的处理器的使用率,充分发挥 DSP 的高速性能,使得处理器能够有更多的资源去完成更多通道的卫星定位解算,降低了 DSP 选型的成本。

[0060] 图 3 为本发明实施例提供的一种数据交互示意图。同样地,为方便解释本发明实施例中的数据交互过程,仅示出 FPGA 中的两个双口 RAM。N 个双口 RAM 的数据交互过程与两个双口 RAM 的数据交互过程类似,可参照两个双口 RAM 得到,此处不再赘述。

[0061] 如图 3 所示,FPGA 中包括双口 RAM1 和双口 RAM2,第一内部逻辑控制用于控制双口 RAM1 中数据的读取和写入,第二内部逻辑控制用于控制双口 RAM2 中数据的读取和写入;其中,第一内部逻辑控制可以通过写逻辑将数据写入存储区域 1b 中,通过读逻辑从存储区域 1a 中读取数据,第二内部逻辑控制可以通过写逻辑将数据写入存储区域 2b 中,通过读逻辑从存储区域 2a 中读取数据;或者,第一内部逻辑控制也可以通过写逻辑将数据写入存储区域 1a 中,通过读逻辑从存储区域 1b 中读取数据,第二内部逻辑控制也可以通过写逻辑将数据写入存储区域 2a 中,通过读逻辑从存储区域 2b 中读取数据。图 3 中仅示出其中的一种情形,本发明实施例对此不做具体限定。FPGA 中还可以包括第一信号处理单元,用于接收 DSP 发送的握手信号以及向 DSP 发送握手信号。

[0062] DSP 中包括处理器、EDMA 控制器、EMIF 总线控制器,还可以包括第二信号处理单元,用于接收 FPGA 发送的握手信号以及向 FPGA 发送握手信号。一方面,处理器用于在第二信号处理单元接收到 FPGA 发送的握手信号后,启动 EDMA 控制器,通过 EMIF 总线控制器控制 EMIF 总线从 FPGA 的双口 RAM 中读取数据;另一方面,处理器用于在通过 EDMA 控制器、EMIF 总线控制器以及 EMIF 总线将数据写入到 FPGA 的双口 RAM 中后,指示第二信号处理单元向 FPGA 发送握手信号,以通知 FPGA 已准备好数据。

[0063] 下面结合图 3 对 FPGA 与 DSP 之间的数据交互流程做进一步介绍。

[0064] FPGA 通过对卫星的捕获、跟踪,计算出包括各通道同相支路、正交支路相干积分值和码周计数等卫星数据,通过第一内部逻辑控制和第二内部逻辑控制中的写逻辑将卫星数据写入到两个双口 RAM 中的存储区域 1b 和存储区域 2b;当数据写完后, FPGA 通过第一信号处理单元向 DSP 发送一个握手信号,用来通知 DSP 从两个双口 RAM 中的存储区域 1b 和存储区域 2b 中读取数据。DSP 中的处理器在确定第二信号处理单元接收到 FPGA 中的第一信号处理单元发送的握手信号后,启动 EDMA 控制器,通过 EMIF 总线控制器控制 EMIF 总线,采用组合逻辑的方式从 FPGA 的存储区域 1b 和存储区域 2b 中读取数据。DSP 中的处理器对读取到的数据进行处理,并将运算出来的载波偏移量和码片偏移量等数据,通过 EDMA 控制器、EMIF 总线控制器发送到 EMIF 总线,进而通过 EMIF 总线,采用组合逻辑的方式写入到两个双口 RAM 的存储区域 1a 和存储区域 2a;当数据写完后, DSP 中的第二信号处理单元向 FPGA 中的第一信号处理单元发送一个握手信号,用来通知 FPGA 已经完成数据的写入。FPGA 中的第一信号处理单元接收到握手信号后,通过第一内部逻辑控制和第二内部逻辑控制中的读逻辑从两个双口 RAM 的存储区域 1a 和存储区域 2a 中读取数据。FPGA 使用读取到的存储区域 1a 和存储区域 2a 中的数据更新 M 个卫星通道的载波频率控制字和码频率控制字,以便更好的捕获或跟踪卫星信号。

[0065] 下面对本发明实施例中 EMIF 总线与 FPGA 中的双口 RAM 的连接方式进行具体介绍。

[0066] 本发明实施例中选用的是 Xilinx 的 FPGA, FPGA 内部集成的的块存储器资源可以配置成 N 个双口 RAM,访问速度可以达到几百兆。FPGA 内部的双口 RAM 有两个完全独立的读写端口,分别是第一读写端口和第二读写端口,两个读写端口共享一个 RAM 的存储空间,并且有独立的地址线、数据线、读写控制线,因此,针对任意一个 RAM,既可以通过第一读写端口读写数据,也可以通过第二读写端口读写数据。本发明实施例中, DSP 可以通过 EMIF 总线,从第一读写端口访问双口 RAM, FPGA 可以通过第二读写端口访问双口 RAM,实现了 DSP 和 FPGA 共享双口 RAM 的存储空间。

[0067] 图 4 为本发明实施例提供的 EMIF 总线与 FPGA 中的双口 RAM 的连接方式示意图。同样地,为方便解释本发明实施例中的 EMIF 总线与双口 RAM 的连接方式,仅示出 FPGA 中的两个双口 RAM,即 RAM1 和 RAM2。EMIF 总线与 N 个双口 RAM 的连接方式,可参照 EMIF 总线与两个双口 RAM 得到,此处不再赘述。

[0068] 本发明实施例中, EMIF 数据总线 E_DATA 的位宽可根据实际情况进行配置,例如,可配置为 8 位、16 位、32 位、64 位。本发明实施例中的双口 RAM 均包括第一读写端口和第二读写端口,第一读写端口对应的引脚包括数据输入端口 DIA、数据输出端口 DOA、地址线 ADDRRA、读/写选择信号 WEA、使能信号 ENA、时钟信号 CLKA,第二读写端口对应的引脚包括数据输入端口 DIB、数据输出端口 DOB、地址线 ADDRRA、读/写选择信号 WEB、使能信号 ENB、时钟信号 CLKB。

[0069] 下面结合图 4 具体介绍 EMIF 总线控制器中的各引脚与双口 RAM 的连接关系。本发明实施例中, EMIF 总线控制器的引脚包括 EMIF 数据总线 E_DATA、SOE 信号、EMIF 地址总线 E_ADDR、时钟输出信号 E_CLKOUT1、地址选通控制信号 ADS、读写控制信号 WE、片选信号 CE、字节控制 BE。

[0070] 如图 4 所示, EMIF 数据总线 E_DATA 通过数据选择器分别与两个双口 RAM 的数据

输入端口 DIA 和数据输出端口 DOA 连接,并由 SOE 信号控制是从双口 RAM 读取数据还是将数据写入双口 RAM 中。EMIF 地址总线 E_ADDR 分为高位 [22:13] 地址线和低位 [12:0] 地址线两个部分,其中,高位 [22:13] 地址线与双口 RAM 的片选组合逻辑连接,片选组合逻辑分别与两个双口 RAM 的 ENA 连接,通过组合逻辑的方式选择 EMIF 总线与哪一个双口 RAM 进行数据交互;低位 [12:0] 地址线和双口 RAM 的第一读写端口的地址线 ADDRRA 连接,用于访问 RAM 中的全部存储空间。EMIF 总线控制器中的时钟输出信号 E_CLKOUT1 分别与两个双口 RAM 的第一读写端口的时钟信号 CLKA 连接,用于控制 DSP 读写双口 RAM 的速度。ADS、WE、CE、BE 信号经 FPGA 内部的组合逻辑电路,一方面,用于控制 RAM 选择逻辑是否有效,另一方面,用于与两个双口 RAM 的 WEA 相连,控制 DSP 对 FPGA 内部双口 RAM 的读写功能。

[0071] 下面结合图 4 具体介绍 FPGA 中的内部逻辑控制与双口 RAM 的连接关系。

[0072] 本发明实施例中,FPGA 中包括与双口 RAM1 对应的第一内部读写逻辑和与双口 RAM2 对应的第二内部读写逻辑。第一内部读写逻辑和第二内部读写逻辑分别与双口 RAM1 和双口 RAM2 的第二读写端口的地址线 ADDRRA 连接,用于访问 RAM 中的全部存储空间。第一内部读写逻辑通过第一选择器与双口 RAM1 中的数据输入端口 DIB 和数据输出端口 DOB 相连接,第二内部读写逻辑通过第二选择器与双口 RAM2 中的数据输入端口 DIB 和数据输出端口 DOB 相连接,从而能够实现通过第一选择器和第二选择器控制 FPGA 是从双口 RAM 读取数据还是将数据写入双口 RAM 中。第一内部读写逻辑分别与双口 RAM1 中的 WEB、ENB 连接,第二内部读写逻辑分别与双口 RAM2 中的 WEB、ENB 连接。第一内部读写逻辑和第二内部读写逻辑还分别与双口 RAM1 和双口 RAM2 的时钟信号引脚 CLKB 连接,用于控制 FPGA 读写双口 RAM 的速度。

[0073] 本发明实施例中,由于 DSP 访问两个双口 RAM 的速度是由 EMIF 总线控制器中的时钟输出信号控制的,而 FPGA 访问两个双口 RAM 的速度由其内部的时钟信号控制的,因此 DSP 和 FPGA 对双口 RAM 的操作时钟相互独立,读写互不干扰。例如,FPGA 以 50M 时钟将数据并行写入双口 RAM 中,写完后 DSP 可用 200M 的时钟从双口 RAM 中读取数据,二者无需保持同步,从而使得 DSP 能够以更快的速度访问双口 RAM,有效提高了 DSP 的访问双口 RAM 的效率。

[0074] 本发明实施例中的接收机板卡包括射频模块、基带处理模块和定位解算模块,射频模块与基带处理模块连接,基带处理模块与定位解算模块通过 EMIF 总线连接;基带处理模块包括 N 个双口 RAM;射频模块用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给基带处理模块;基带处理模块用于根据卫星数字中频信号得到第一数据,将第一数据写入 N 个双口 RAM 中,并向定位解算模块发送第一指令;以及在接收到第二指令的情况下,从 N 个双口 RAM 中读取第二数据;N 为大于 1 的整数;定位解算模块接收用于在接收到第一指令的情况下,通过 EMIF 总线从 N 个双口 RAM 中读取第一数据;根据第一数据,得到第二数据,通过 EMIF 总线将第二数据写入到 N 个双口 RAM 中,并向基带处理模块发送第二指令。本发明实施例中基带处理模块和定位解算模块采用基于 EMIF 总线和 N 个双口 RAM 的数据通信方式,使得基带处理模块能够以并行的方式同时对 N 个双口 RAM 进行读写,有效缩短了基带处理模块读写 RAM 的时间,提高了基带处理模块 FPGA 综合布线的成功率;而且,通过 EMIF 总线和 N 个双口 RAM 有效提高了基带处理模块与定位解算模块之间的数据交互的能力。

[0075] 图 5 为本发明实施例提供的一种接收机的结构示意图,该接收机包括天线 501 以

及如上述实施例中所述的接收机板卡 502；

[0076] 所述天线 501 用于接收卫星导航信号,并将所述卫星导航信号发送给所述接收机板卡 502。

[0077] 从上述内容可以看出:本发明实施例中的接收机板卡包括射频模块、基带处理模块和定位解算模块,射频模块与基带处理模块连接,基带处理模块与定位解算模块通过 EMIF 总线连接;基带处理模块包括 N 个双口 RAM;射频模块用于通过对接收到的卫星导航信号进行处理得到卫星数字中频信号,并将所述卫星数字中频信号发送给基带处理模块;基带处理模块用于根据卫星数字中频信号得到第一数据,将第一数据写入 N 个双口 RAM 中,并向定位解算模块发送第一指令;以及在接收到第二指令的情况下,从 N 个双口 RAM 中读取第二数据;N 为大于 1 的整数;定位解算模块接收用于在接收到第一指令的情况下,通过 EMIF 总线从 N 个双口 RAM 中读取第一数据;根据第一数据,得到第二数据,通过 EMIF 总线将第二数据写入到 N 个双口 RAM 中,并向基带处理模块发送第二指令。本发明实施例中基带处理模块和定位解算模块采用基于 EMIF 总线和 N 个双口 RAM 的数据通信方式,使得基带处理模块能够以并行的方式同时对 N 个双口 RAM 进行读写,有效缩短了基带处理模块读写 RAM 的时间,提高了基带处理模块 FPGA 综合布线的成功率;而且,通过 EMIF 总线和 N 个双口 RAM 有效提高了基带处理模块与定位解算模块之间的数据交互的能力。

[0078] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0079] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

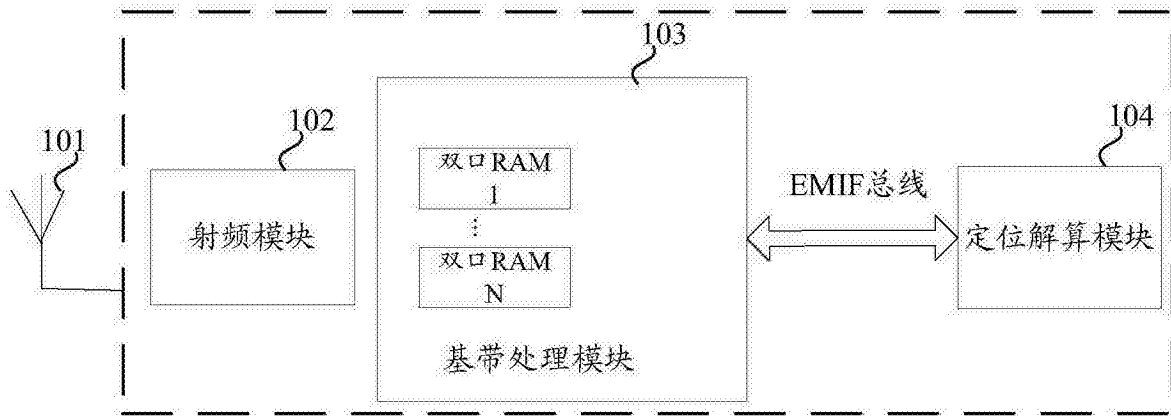


图 1

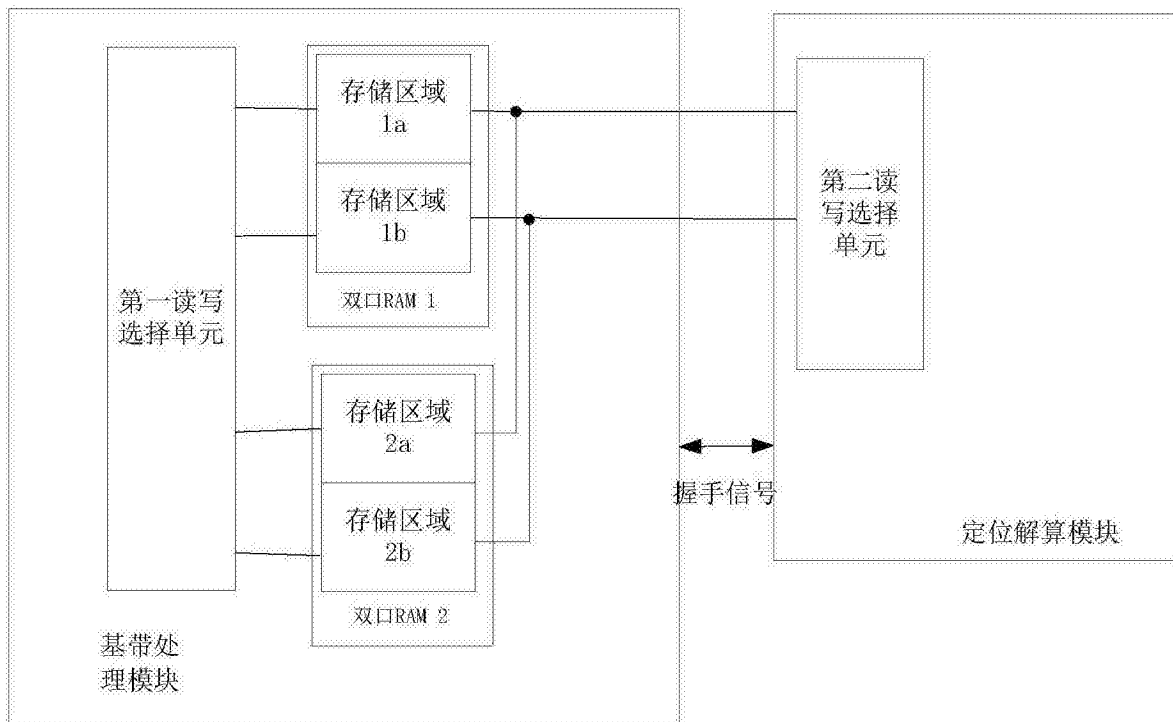


图 2

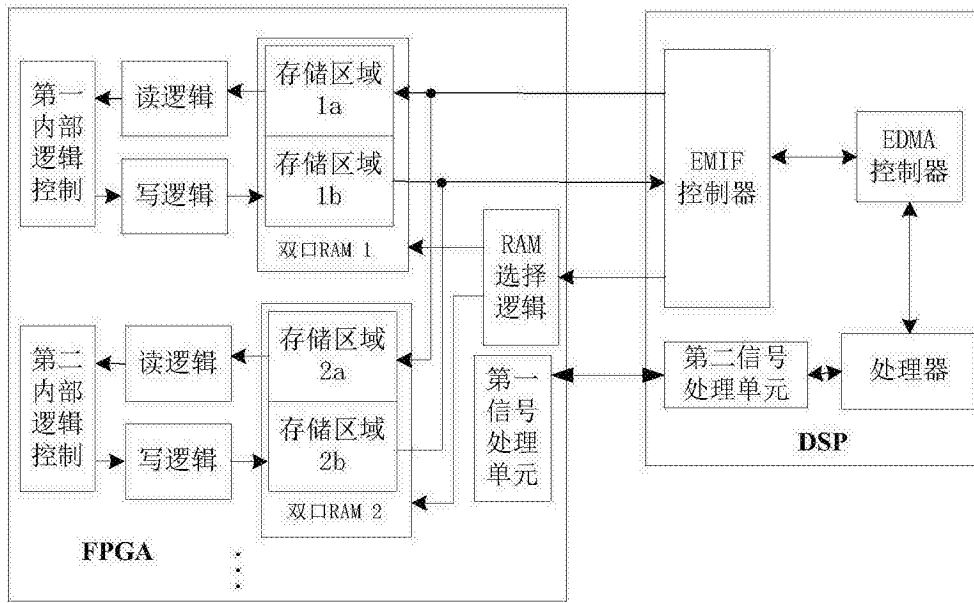


图 3

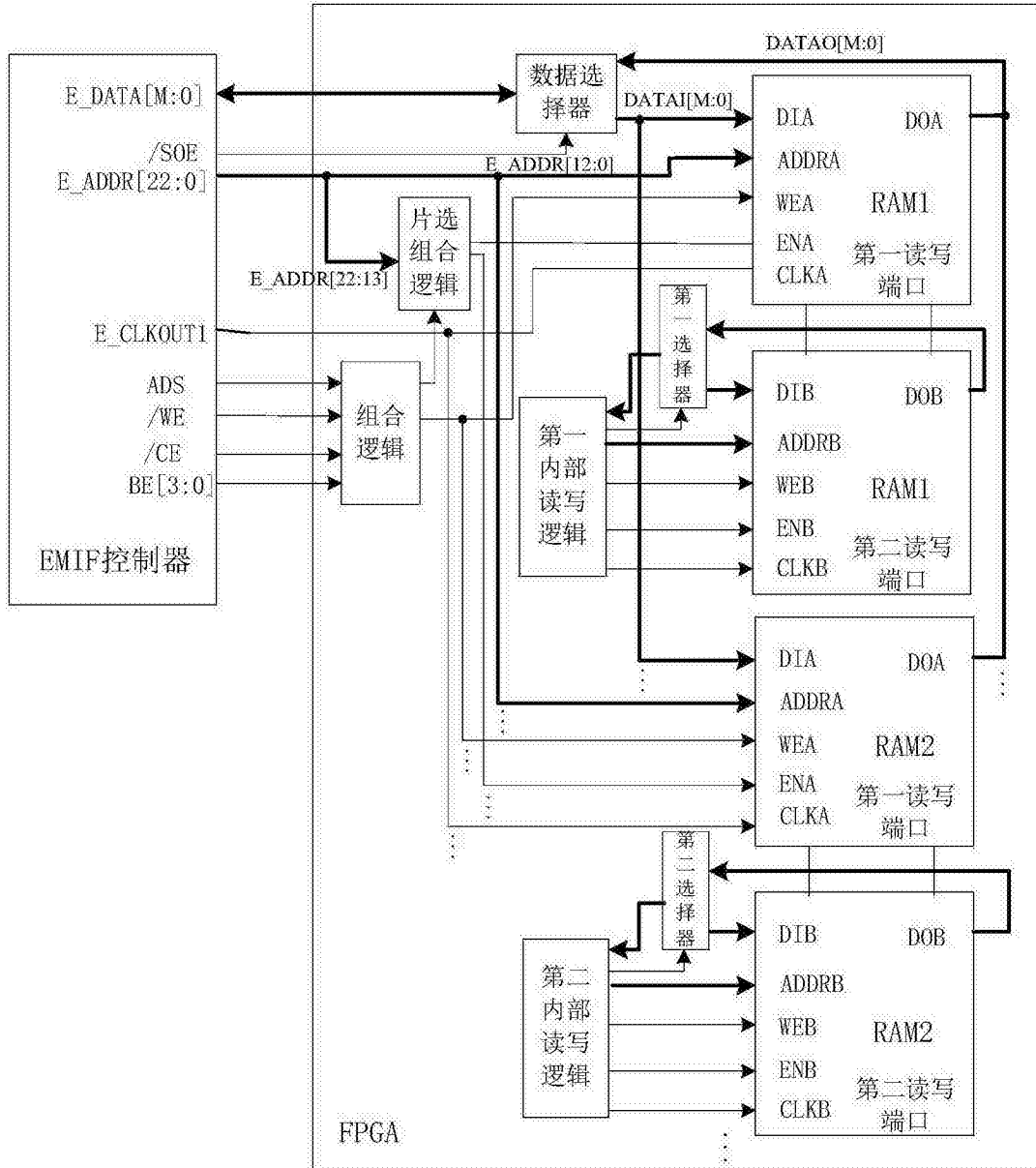


图 4

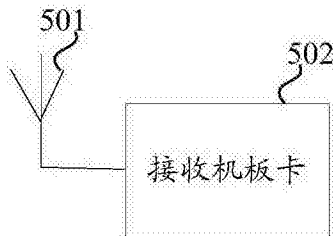


图 5