I453748

（此處由本局於收文時黏貼條碼）

公告本

853771

發明專利說明書

99年7月27日修正補充

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：96145695

※申請日期：96年11月30日　　※IPC分類：G11C 16/10 (2006.01)
G11C 16/22 (2006.01)

一、發明名稱：

(中) 快閃記憶體程式禁止方案

(英) Flash memory program inhibit scheme

二、申請人：(共 1 人)

1.姓　名：（中）摩賽德科技股份有限公司
（英）MOSAID TECHNOLOGIES INCORPORATED
代表人：（中）1.麥克　維拉迪斯可
（英）1.VLADESCU, MICHAEL B.
地　址：（中）加拿大安大略省渥太華漢斯路１１號２０３室
（英）11 Hines Road, Suite 203, Ottawa, Ontario K2K 2X1, Canada
國籍：（中英）加拿大　　CANADA

三、發明人：(共 1 人)

1.姓　名：（中）金鎭祺
（英）KIM, JIN-KI
國　籍：（中）加拿大
（英）CANADA

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利☐主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】
1.美國　　；2006/11/30；11/565,170 ☑有主張優先權

五、中文發明摘要

發明之名稱：快閃記憶體程式禁止方案

一種使快閃記憶體中程式干擾減至最小的方法。爲降低 NAND 快閃記憶格串中不需從抹除狀態程式化之記憶格的程式干擾，使用一局部升壓通道禁止方案。在該局部升壓通道禁止方案中，NAND 串中被選擇不需要程式化的記憶格，被從該 NAND 串中的其它格去耦。此允許當對應的字線被升壓至一程式化電壓時，該被去耦之格的通道被局部升壓到一足以禁止 F-N 穿隧的電壓位準。由於該高的升壓效率，與習知技術的方案相較，施加於該 NAND 串中其餘記憶格之閘極的通過電壓可降低，因此可使程式干擾減至最小，同時允許隨機的頁程式化。

六、英文發明摘要

發明之名稱：FLASH MEMORY PROGRAM INHIBIT SCHEME

A method for minimizing program disturb in Flash memories. To reduce program disturb in a NAND Flash memory cell string where no programming from the erased state is desired, a local boosted channel inhibit scheme is used. In the local boosted channel inhibit scheme, the selected memory cell in a NAND string where no programming is desired, is decoupled from the other cells in the NAND string. This allows the channel of the decoupled cell to be locally boosted to a voltage level sufficient for inhibiting F-N tunneling when the corresponding wordline is raised to a programming voltage. Due to the high boosting efficiency, the pass voltage applied to the gates of the remaining memory cells in the NAND string can be reduced relative to prior art schemes, thereby minimizing program disturb while allowing for random page programming.

七、指定代表圖：

（一）、本案指定代表圖為：第（7A）圖

（二）、本代表圖之元件代表符號簡單說明：

300：NAND 串
302：記憶格
304：串選擇電晶體
306：位元線
308：接地選擇電晶體
310：源線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

一般言之，本發明與非揮發性記憶體（non-volatile memory）有關。更明確地說，本發明與非揮發性快閃記憶體程式化方案有關。

【先前技術】

很多類型的消費性電子產品依靠某些形式的大量儲存裝置來保存資料或軟體以供微處理器來執行碼。這類消費型電子產品的品項繁多，這些裝置包括諸如有個人數位式助理（PDA）、可攜式音樂播放機、可攜式多媒體播放機（PMP）、及數位相機。在PDA中，需要大量儲存裝置來儲存應用軟體及資料，而可攜式音樂播放機及數位相機需要大量儲存裝置來保存音樂檔案資料及/或影像資料。這類可攜式電子產品之大量儲存裝置的解決方案以體積小、耗電少、且儲存密度高爲較佳。此限制了對於記憶體之非揮發性形式的選擇，由於諸如靜態隨機存取記憶體（SRAM）及動態隨機存取記憶體（DRAM）等的揮發性記憶體，爲保持資料需要恆定地施加電力。如習知技術，可攜式電子產品依賴電力有限的電池。因此，在關閉電源後仍能保存資料的非揮發性記憶體受到歡迎。

雖然有很多消費性產品使用商品型的快閃記憶體，但在諸如手機及具有微處理功能的很多產品中，快閃記憶體被這些消費性產品間接地使用。更明確地說，經常出現於

消費性電子產品中的專用積體電路（ASIC）具有整合的快閃記憶體以便能夠更新韌體。不用說，由於快閃記憶體在大小、儲存密度、及速率各方面之最佳平衡所致使的多功能性，使其成爲消費性電子產品之較佳非揮發性大量儲存裝置的解決方案。

圖 1 爲習知技術之典型快閃記憶體的一般方塊圖。快閃記憶體 10 包括用於控制快閃電路之各項功能的邏輯電路，用於產生所需之程式及抹除電壓的高壓電路，以及用於存取快閃記憶體陣列的核心記憶體電路。圖中所示快閃記憶體 10 之電路方塊的功能應爲吾人所熟知的技術。熟悉此方面技術之人士可瞭解，圖 1 中所示的快閃記憶體 10 代表在諸多可能結構中一可能的快閃記憶體結構。

讀取操作係對儲存在記憶體陣列之特定記憶體位置（稱爲位址）之資料較直接的存取。在對記憶體陣列之指定區塊的寫操作之前，必須先施加高電壓以抹除該指定的區塊。寫操作（更精確地應稱爲程式編寫操作）需要對所選擇的記憶體位置很仔細地施加高電壓，接著是程式驗證操作，以確保資料已被正確地程式編寫。此外，由於使用高電壓，因此，快閃晶片必須被設計成未被選擇的記憶格較能容忍非有意的程式編寫。

圖 2a、2b、及 2c 說明記憶格陣列 28 中所使用的 NAND 記憶格串。圖 2a 係概示 2 個 NAND 記憶格串的電路。圖 2b 係圖 2a 中所示 2 個 NAND 記憶格串的晶片佈局。圖 2c 係圖 2b 中所示一個 NAND 記憶格串沿著線 A-A'

的橫剖面視圖。每一個 NAND 記憶格串包括 32 個串連的浮閘記憶格 50，每一個分別連接到字線 WL0 至 WL31，串選擇電晶體 52 連接於位元線 54 與第一浮閘記憶格 50 之間，且接地選擇電晶體 56 連接於共用源極線（CSL）58 與最後一個浮閘記憶格 50 之間。串選擇電晶體 52 的閘極接收串選擇信號 SSL，而接地選擇電晶體 56 的閘極接收接地選擇信號 GSL。公共字線、串選擇 SSL 信號線及接地選擇 GSL 信號線爲 NAND 記憶格串所共用。所顯示之 NAND 記憶格串的結構與配置係習知技術。

如前所述，按照習知技術，首先抹除記憶體陣列的 NAND 記憶格串。NAND 記憶格串的每一個區塊可被選擇性地抹除，因此，可同時地抹除一或多個區塊。當成功地抹除時，所有被抹除的浮閘記憶格 50 都具有負的臨限電壓。事實上，所有被抹除的記憶格 50 例如都被設定到原設的邏輯狀態，諸如邏輯"1"。被程式化的記憶格 50 它們將具有改變到正臨限電壓的臨限電壓，因此代表相反的"0"邏輯狀態。

圖 3 顯示被抹除之記憶格與被程式化之記憶格的臨限電壓（Vt）分布圖。由於製程及電壓供應的變動，抹除與程式化的臨限電壓將分布在一電壓範圍內。如圖 3 所示，被抹除的記憶格可具有-3V 至-1V 間的負臨限電壓，而被程式化的記憶格可具有 1V 至 3V 間的正臨限電壓。一般來說，記憶格被施加於其閘極的高電壓程式化，同時保持其源極與汲極端點接地。高電場致使記憶格通道中的電子

越過閘極氧化物並埋在浮閘中（習知的 Fowler-Nordheim（F-N）穿隧），藉以提高記憶格的有效臨限電壓。

以下將參考圖 2a 至 2c 簡略討論如何讀取 NAND 記憶格串中的資料。爲讀取一個記憶格 50 的資料，SSL 與 GSL 都被設定到例如 5V 的讀取電壓（Vread，典型上高於 Vcc），以導通串選擇電晶體 52 及接地選擇電晶體 56。除了被存取之字線以外的所有字線都被設定到例如 5V 的讀取電壓（Vread），而要被存取的字線被設定到 0V。因此，臨限電壓低於 5V 的所有記憶格 50 都被導通，以將具有 0V 字線之被選擇之記憶格的源極與汲極端點耦接到位元線 54 與源極線 58。如果被選擇的記憶格是在抹除狀態（具有負臨限電壓），其必然因此將位元線 54 耦接至源極線 58。另一方面，如果被選擇的記憶格是在程式化狀態（具有正臨限電壓），其必然因此使位元線 54 與源極線 58 隔離。接著由感測放大器偵測電流是否存在。

如果抹除與程式化臨限電壓仍在其各自的範圍內，則前述的讀取方案將能夠可靠地存取記憶格資料。不過，所描述的情況是理想，且當記憶格被程式化時，抹除與程式化記憶格的臨限電壓有可能會移位。

典型上，程式化是以頁的方式進行，意指區塊中連接到相同字線的所有記憶格 50，在同一時間被選擇來被寫資料（邏輯"0"）程式化。由於記憶格在程式化前是在抹除狀態（邏輯"1"）開始，僅只即將要以邏輯"0"程式化的記憶格才須接受引起 F-N 穿隧所需的高電場。不過，由於記

憶體陣列的實體連接，沿著同一字線的所有記憶格都接收了相同的高電壓程式化位準。結果，那些臨限電壓被非有意移動的記憶格有可能被抹除。此稱爲程式干擾，這在快閃記憶體的領域乃爲吾人所熟知。

因此，需要一用來防止那些不從抹除狀態改變之記憶格被程式化爲邏輯"0"狀態的程式禁止方案。現有兩種習知的程式禁止方案可用。第一爲基本禁止方案及第二爲自升壓禁止方案。表 1 概述此兩方案施加於圖 2a 之相關信號線的電壓。吾人假設連接至 WL27 的所有記憶格 50 都被抹除至邏輯"1"狀態，且 BL0="0"及 BL1="1"的資料被寫入由字線 WL27 所存取的記憶格 50。

表 1

	基本禁止	自升壓禁止
BL0	0V （VSS）	0V （VSS）
BL1	VPI （例如 8V）	VCC （例如 2.5V）
WL27	VPGM （例如 18V）	VPGM （例如 18V）
WL0-WL26, WL28-31	VPASS （例如 10V）	VPASS （例如 10V）
SSL	VPASS （例如 10V）	VCC （例如 2.5V），接著 0V
GSL	0V （VSS）	0V （VSS）

關於基本禁止方案，在被選擇之記憶格上設定夠高的程式化電壓，以在 0V 汲極電壓之下致使 F-N 穿隧。VPASS 被設定成夠高，以致無論被選擇之串中未被選擇之記憶格電晶體的程式化狀態爲何都被導通，並將 VPI 通過給不想要程式化的記憶格。在此同時，VPASS 應不高到足

以啓始未被選擇之記憶格的 F-N 穿隧。BL1 上的禁止電壓 VPI 設定到夠高，以禁止連接至 WL27 之被選擇記憶格的 F-N 穿隧，因爲連接至 WL27 之記憶格之通道中之 VPGM 與 VPI 間的電壓差太小。

基本禁止方案有一些問題。在程式化操作期間，VPI 係由內部的高電壓產生器提供，且需要大電容的充電泵以供應 VPI 給高電容的位元線。此導致電力的消耗及晶片尺寸都大幅增加，此兩者皆爲吾人所極不欲見。爲了提供 VPI 給位元線，連接到頁緩衝區的位元線必須是在高電壓中操作的結構。高電壓電晶體大於一般電壓電晶體，其增加了頁緩衝區的大小，且必然增加晶片的尺寸。由於需要以晶片上之電流供應受限的電壓產生器將電容較高的位元線充電到 VPI，因此降低了程式化的速率。

自升壓禁止方案針對基本禁止方案的問題。隨著 SSL 電晶體 52 被導通及 GSL 電晶體 56 被關斷，0V 或接地電壓被施加到位元線 BL0，同時諸如 VCC 的高電壓被施加到位元線 BL1。0V 位元線（如 BL0 中）將相關 NAND 串的通道束縛到接地。當程式化電壓 VPGM 施加到被選擇之記憶格的閘極時，在閘極與通道間之大的電位差致使浮閘上之電子的 F-N 穿隧，藉以程式化該記憶格。在被程式禁止的記憶格中，BL1 一開始將相關的通道朝向 VCC 電壓預充電。當 WL27 的電壓上升到 VPGM，且其餘的字線到達 VPASS 時，通過控制閘、浮閘、通道、及大塊材料的串連電容被耦接，且通道電位被自動地升壓。

當耦接的通道電壓上升至 Vcc-Vth（其中 Vth 係 SSL 電晶體的臨限電壓）時發生此升壓。在此點，SSL 電晶體 52 被關斷，且通道變爲浮動節點。浮動通道電壓經過計算，上升至大約閘極電壓的 80%足以防止 F-N 穿隧發生。

不過，程式干擾仍會發生。特別是，如果 VPASS 設定的太高，由於 VPASS 與 0V 通道間較高的電壓差，耦接至 BL0 之被抹除的記憶格會意外地軟程式化到邏輯"0"狀態。另一方面，如果 VPASS 設定的太低，則連接到 WL27 並耦接至 BL1 之被抹除的記憶格可能無法得到足夠的通道升壓以禁止 F-N 穿隧。

不幸地，由於半導體製造技術的進步，隨著尺寸不斷地縮小，供應的電源 VCC 也降到較低的位準。此不利於自升壓禁止方案。這是因爲在被 VPGM 與 VPASS 自升壓之前，NAND 記憶格串通道一開始被預充電到 SSL 電晶體 52 的 Vcc – Vth，且被升壓的電壓受預充電電壓 Vcc – Vth 很大的影響。此外，爲實現較高的封裝密度，設計者增加每一 NAND 串中之記憶格的數量。因此，與具有 16 個記憶格 50 的 NAND 串相較，圖 2a 至 2c 中所示之 32 個記憶格的 NAND 串將忍受比 16 個記憶格之 NAND 串多 1 倍的程式干擾循環。

因此，在程式化操作期間，程式化及抹除記憶格的臨限電壓會被無意地移動。圖 4 顯示程式干擾抹除記憶格與程式化記憶格之臨限電壓（Vt）的分布圖。實曲線對應於原顯示於圖 3 中的臨限分布，而虛線顯示由於程式干擾所

致使之移動的臨限分布。此移動可由於累積多次的記憶格干擾或單次程式干擾事件所引起。臨限移動是一大問題，會影響到讀取操作。如前文對讀取操作的討論，被選擇之記憶格 50 的閘極被驅動到 0V，而未被選擇的記憶格在其閘極接收一讀取電壓 Vread，同時未被存取之記憶格的閘極被驅動到讀取電壓 Vread。如圖 4 所示，0V 的位準可能無法使臨限電壓移動到 0V 以上的那些記憶格導通。此外，那些臨限被驅動到超過 Vread 電壓之未被選擇的記憶格仍保持關閉，因此，被存取的記憶格與其對應的位元線隔離。

使程式干擾減至最小的一項技術係降低 VPASS 的電壓位準。此對快閃記憶體的操作加諸了限制，使得 NAND 串的記憶格必須從距離位元線最遠的記憶格開始，按順序樣式來程式化。在此方案中，NAND 串中在被程式化之記憶格（被選擇的頁）與位元線接觸之間的所有記憶格必須是在被抹除的狀態。因此，非選擇的記憶格可使用較低的 VPASS 電壓，以確保位元線電壓可被耦接至 NAND 串中被選擇的記憶格。不幸的是，由於被選擇的記憶格與所接觸之位元線間之被程式化的記憶格（例如 Vth 高於 VPASS 的記憶格）將阻礙位元線電壓到達被選擇的記憶格，因此，無法執行隨機的頁程式化操作。在某些應用中，禁止隨機的頁程式化造成很多限制及效能的下降。

因此，吾人需要提供一種能使 NAND 快閃記憶格中程式干擾減至最小的程式禁止方案。更明確地說，吾人需要

一種程式禁止方案，其可降低 VPASS 電壓位準，以使不需要程式化之未被選擇之記憶格中的程式干擾減至最小，同時使不需要程式化之被選擇之記憶格的升壓通道電壓最大化。

【發明內容】

本發明的目的爲消除或減輕先前快閃記憶體程式干擾禁止方案的至少一個缺點。特別是，本發明的目的係提供一 NAND 快閃記憶體程式干擾禁止方案，其能使隨機程式化操作期間，未被選擇之記憶格的通過干擾減至最小。

在第一態樣中，本發明提供一種使 NAND 串中之程式干擾減至最小的方法。該 NAND 串具有一被選擇的記憶格，位於該被選擇之記憶格與位元線之間的上記憶格，位於被選擇之記憶格與源線之間的下記憶格，以及用以將該記憶格耦接至該位元線的串選擇電晶體。該方法的步驟包括將一電壓位準耦接至該 NAND 串；將被選擇之記憶格下方通道及該等上記憶格預充電；以及局部地升壓該被選擇的記憶格通道。該電壓位準對應於來自位元線的程式禁止資料。在該電壓位準被耦接至該 NAND 串的該通道之後，該被選擇之記憶格下方通道及該等上記憶格被預充電到初次升壓電壓位準。在該通道被預充電之後，該被選擇之記憶格通道被局部地升壓到二次升壓電壓位準，該二次升壓電壓位準高於初次升壓電壓位準。

按照該態樣的實施例，對應於程式禁止資料的該電壓

位準在第一時間周期中被耦接至該位元線，該通道在接著該第一時間周期的第二時間周期中被預充電，該被選擇的記憶格通道在接著該第二時間周期的第三時間周期中被局部地升壓，以及局部升壓的該步驟包括將連接到該被選擇之記憶格之被選擇的字線驅動到一程式化電壓位準。在本發明的一態樣中，該耦接的步驟包括在該第一時間周期將串選擇電晶體驅動到第一電壓位準，接著在該第二時間周期中將該串選擇電晶體驅動到去耦電壓位準。該去耦電壓位準低於該第一電壓位準。在本發明的另一態樣中，該預充電的步驟包括將該被選擇的字線及連接到該等上記憶格的上字線驅動到第一通過電壓。該第一通過電壓位準具有能有效使該等上記憶格中程式干擾減至最小並使該初次升壓電壓位準升至最大的值。該第一通過電壓位準可小於 10 伏。可使用 7 伏的通過電壓。

在本發明的又一態樣中，該局部升壓的步驟包括電氣地關閉毗鄰於該被選擇之記憶格的上記憶格。該電氣關閉的步驟包括將連接至該上記憶格的上字線從該第一通過電壓位準降至去耦電壓位準，同時將該被選擇的字線驅動到該程式化電壓位準。或者，在毗鄰於該被選擇之記憶格的上記憶格被關閉後，該被選擇的字線可被驅動到該程式化電壓位準。更明確地說，在該上字線開始朝向該去耦電壓位準下降後的一延遲時間，將該被選擇的字線可被驅動到該程式化電壓。或者，該電氣關閉的步驟可包括將除了毗鄰於該被選擇之字線之該上字線以外的上字線從該第一通

過電壓位準增加至該第二通過電壓位準，同時該被選擇的字線驅動到該程式化電壓位準，且毗鄰於該被選擇之字線的該上字線被保持在該第一通過電壓位準。

在本發明的另一態樣中，該預充電的步驟包括將連接至該下記憶格的下字線驅動到第二通過電壓，該第二通過電壓小於該該第一通過電壓。該局部升壓的步驟可包括將毗鄰於該被選擇之字線的下字線從該第二通過電壓降至關閉電壓位準，同時將該被選擇的字線驅動到該程式化電壓位準。該預充電的步驟可包括在該第一時間周期、該第二時間周期、及該第三時間周期期間，將除了毗鄰於該被選擇之字線之下字線以外之連接至該等下記憶格的下字線驅動到第二通過電壓，毗鄰於該被選擇之字線的該下字線被保持在關閉的電壓位準。在以上所有的實施例中，經由預定的電壓步驟反覆地增加該程式化電壓位準，同時保持該第一通過電壓位準與該第二通過電壓位準。

在第二態樣中，本發明提供提供能使快閃記憶體NAND串中之程式干擾減至最小的方法。該NAND串具有一被選擇的記憶格，位於該被選擇之記憶格與位元線之間的上記憶格，位於被選擇之記憶格與源線之間的下記憶格，以及用以將該記憶格耦接至該位元線的串選擇電晶體，該方法包括 a）在第一時間周期中，驅動該串選擇電晶體以將該位元線的資料電壓耦接至該 NAND 串；b）在第二時間周期中，以一通過電壓位準驅動該上記憶格與該被選擇的記憶格；c）在第三時間周期中，將該被選擇的記憶

格驅動到一程式化電壓位準；以及 d）在第三時間周期中，電氣地關閉毗鄰於該被選擇之記憶格的該上記憶格。

按照本態樣的實施例，驅動該上記憶格的該步驟包括在該第二時間周期中以第二通過電壓位準驅動除了毗鄰於該被選擇之記憶格之下記憶格以外的該等下記憶格，其中該第二通過電壓位準低於該通過電壓。該電氣地關閉的步驟可包括 在該第三時間周期中將毗鄰於該被選擇之記憶格的上記憶格從該通過電壓位準驅動到去耦電壓，同時將該被選擇的記憶格驅動到該程式化電壓位準。該被選擇的記憶格在毗鄰於該被選擇之記憶格之該上記憶格開始被驅動到該去耦電壓後一延遲時間被驅動到該程式化電壓位準。或者，該電氣地關閉的步驟可包括在該第三時間周期中，將除了毗鄰於該被選擇之記憶格之上記憶格以外的該等上記憶格從該通過電壓驅動到第二通過電壓，其中該第二通過電壓大於該通過電壓。該程式化電壓位準可藉由預定的電壓步驟反覆地增加，同時保持該通過電壓位準與該關閉電壓位準。

按照又一實施例，該下記憶格可在該第二時間周期期間被驅動到 0 伏，且驅動該上記憶格的該步驟可包括在該第二時間周期中以第二通過電壓位準驅動該等下記憶格，該第二通過電壓位準低於該通過電壓。在該第三時間周期中可用一關閉電壓位準驅動毗鄰於該被選擇之記憶格的下記憶格。

熟悉一般技術之人士在配合附圖復習以下對本發明之

特定實施例的描述後，將可明瞭本發明的其它態樣及特徵。

【實施方式】

一般來說，本發明提供一使快閃記憶體中之程式干擾減至最小的方法及系統。使用局部升壓通道禁止方案以減少 NAND 快閃記憶格串中不需要從抹除狀態程式化之記憶格的程式干擾。在局部升壓通道禁止方案中，NAND 串中被選擇不需程式化的記憶格被從該 NAND 串中的其它記憶格局部地去耦。此允許被去耦之記憶格的通道在對應的字線被上升到程式化電壓時被局部地升壓至足以禁止 F-N 穿隧的電壓位準。由於高的升壓效率，施加於 NAND 串中其餘記憶格之閘極的通過電壓可較習知方案爲低，藉以使程式干擾減至最少，同時允許隨機的頁程式化。

圖 5 係說明按照本發明之實施例之一般程式禁止方法的流程圖。須瞭解，在一 NAND 串之被選擇之記憶格正被程式化之同時，可禁止另一 NAND 串之被選擇的記憶格被程式化。在步驟 100，位元線被程式禁止電壓偏壓，其對應於邏輯"1"。接著在步驟 102，NAND 串的通道被預充電至初次升壓電壓位準。此可藉由將所有字線驅動到通過電壓以完成。步驟 104，當對應的字線被驅動到程式化電壓時，被選擇之記憶格的通道被局部地升壓至二次升壓電壓位準。此可藉由控制緊鄰被選擇之記憶格之記憶格的字線電壓，以將被選擇之記憶格與該 NAND 串中的其餘記憶格

去耦或隔離來進行。對於要被禁止程式化的 NAND 串，在此對應於局部升壓的階段中，被選擇之記憶格的通道被升壓至足以禁止 F-N 穿隧的位準。此序列在步驟 106 結束，在此，所有的字線與所選擇的線，諸如 SSL，都被驅動到 0V。

圖 6 係說明圖 5 所示程式禁止方法之實施例的流程圖。在本討論中，上字線指的是位於被選擇之記憶格與位元線之間的那些字線與記憶格，而下字線指的是位於被選擇之記憶格與源線之間的那些字線與記憶格。圖 6 的程式禁止方法從步驟 200 開始，其中位元線被禁止電壓或程式電壓偏電壓。在所討論的本例中，假設位元線被驅動到 VCC 的禁止電壓。在步驟 202 中，將被選擇的字線與上字線驅動到第一通過電壓。此第一通過電壓高到足以導通對應於上字線的每一個記憶格，無論其是在程式化或未程式化狀態。在與步驟 202 同時發生的步驟 204 中，將下字線驅動到第二通過電壓。按照本發明的實施例，第一通過電壓第二通過電壓可互相相同，或第二通過電壓可低於第一通過電壓。接著在步驟 206，將被選擇的字線驅動到程式化電壓，接著在步驟 208，藉由隔離操作以使 NAND 串中被選擇的記憶格與未被選擇的記憶格去耦。如稍後的描述，有多種不同的技術可用來隔離被選擇的記憶格。按照本發明的另一實施例，連接到下字線的記憶格可被關閉，以減少被選擇之記憶格的電荷洩漏。

圖 7a 係與圖 2b 中所顯示之類似的 NAND 串 300 簡單

剖視圖。NAND 串 300 包括具有連接至字線 WL0 至 WL31 之閘極的記憶格 302，將 NAND 串 300 耦接至位元線 306 的串選擇電晶體 304，以及將 NAND 串 300 耦接至源線 310 的接地選擇電晶體 308。NAND 串 300 係形成在 PP-井內，該 PP-井本身係形成在 P-基板的 N-井中。NAND 串記憶格電晶體的源極/汲極區爲 n+擴散區。

圖 7a 包括按照本發明之實施例施加於特定字線上之相對電壓位準的註解。須注意，實體的 NAND 串與習知技術並無不同。在圖 7a 所示的例中，其假設連接至 WL29 的記憶格被選擇來程式化，且要被程式化的資料爲邏輯"1"狀態。由於抹除狀態爲邏輯"1"，因此程式化被禁止。圖 7b 係進一步說明圖 7a 中所施加之電壓之序列的序列圖。

時間周期 T1 是在初始狀態，其中所有記憶格 302 的閘極、信號 SSL、及信號 GSL 都被偏壓到 0V，同時施加用來程式化記憶格及用來禁止記憶格程式化的位元線電壓。CSL 可被偏壓到 0V 或 VCC，但在本例中以偏壓到 VCC 爲較佳，以使洩漏減至最小。在本例中，位元線 306 被偏壓到 VCC。在時間周期 T2，信號 SSL 被偏壓到 VCC，以將位元線電壓耦接至 NAND 串 300。在圖 7a 所示的 NAND 串 300 中，由於串選擇電晶體 304 連接到位元線 306 的汲極端點及其閘極都被偏壓到 VCC，因此，串選擇電晶體 304 被電性地關閉。更明確地說，一旦串選擇電晶體 304 的源極上升到大約 VCC 減去該電晶體的臨限電壓，串選

擇電晶體 304 即被關閉。時間周期 T1 與 T2 對應於圖 5 中的步驟 100。在時間周期 T3 期間（其對應於圖 5 中的步驟 102），所有的字線（上、下、及被選擇的字線）都被驅動到通過電壓 V2，其中所選擇的 V2 高於 VCC。此具有將 NAND 串 300 的整個通道升壓到初次升壓電壓的效果。在時間周期 T4 開始時，被選擇的字線 WL29 上升到程式化電壓 V1，同時毗鄰的字線 WL28 與 WL30 被降到去耦電壓 V3。這些分別對應於圖 5 中的步驟 104 及 106。V1 的電壓位準被設定成高於 V2，且 V3 的電壓位準被設定成低於 V1 及 V2。

將字線 WL28 與 WL30 的字線電壓降到 V3 的另一優點是可補償連接至 WL29 的控制閘與耦接至 WL28 與 WL30 之浮閘間的電容耦合。隨著 WL29 被驅動到 V1，電容耦合效應會提高浮閘電壓，從而增加緊鄰於被選擇之記憶格之記憶格中之通過干擾的機率。因此，將字線電壓降至 V3 將可降低浮閘電壓。

在圖 7a 所示的實施例中，V1、V2、及 V3 的電壓位準應按照以下的標準來選擇。V1 的電壓位準應高到足以促使耦接至被偏壓至 0V 之位元線之記憶格中的 F-N 穿隧。所選擇的 V2 電壓位準應滿足以下的 3 個標準。首先，V2 應高到足以確保未被選擇之記憶格的通道能被傳導。第二，在時間周期 T4 期間，當電壓 V2 降至 WL28 與 WL30 的電壓 V3 時，連接至 WL28 與 WL30 的記憶格被關閉，且在時間周期 T4 期間保持關閉。此達成局部去耦的

效果。第三，當被選擇的字線 WL29 從電壓 V2 上升到程式電壓 V1，被選擇之記憶格的通道可被升壓到所要的電壓，即二次升壓電壓位準。V3 的電壓位準應足以經由未被選擇之記憶格將 0V 的位元線電壓通過給被選擇之記憶格的汲極，同時低至足以實質地關閉緊鄰於被選記憶格（連接至 WL29）之記憶格（連接至 WL28 與 WL30）的通道。

本程式禁止方案的重大優點是相較於習知技術的類比 VPASS 電壓，V2 的電壓位準可降低，以使未被選擇之記憶格的程式干擾減至最小，同時高到足以將位元線上的 0V 通過先前已被程式化到邏輯"0"狀態之未被選擇的記憶格。

現已描述了按照本發明之一般實施例之 V1、V2、及 V3 電壓的相對位準及這些電壓的施加序列，以下描述可使用的實例值。表 2 表列出根據特定的處理技術用於圖 7a 所示實施例的實例電壓值。

表 2

參數	電壓
VCC	2.5V
Vth_ssl（串選擇電晶體 304）	0.8V
γ（記憶格耦合率）	0.8
V1	18V
V2	7v
V3	5v
Vthc（最差情況邏輯"0"程式化記憶格電壓臨限電壓）	3V

有了這些值，可以計算 NAND 串 300 的初次升壓電壓位準以及不需程式化之被選擇記憶格的二次升壓電壓位準。當串選擇電晶體 304 的源極端點到達 VCC-Vth 時，由於 VCC 的閘極電壓與 VCC 的汲極電壓（連接至位元線 306），因此其被電性地關閉。因此，VCC-Vth_ssl 是用於通道升壓的初始通道電壓 Vich（即開始電壓）。

通道的初次升壓電壓位準（Vprimary）按照以下的方程式（1）計算：

（1）$Vprimary = Vich + \gamma \times (Vunsel - Vthc - Vich)$，

其中 Vunsel 係施加於未被選擇之記憶格的閘極電壓，且 Vich =VCC-Vth_ssl

被選擇之記憶格的二次升壓電壓位準 Vsecondary 按照以下的方程式（2）計算：

（2）$Vsecondary = Vich + \gamma \times (Vsel - Vthc - Vich)$，

其中 Vsel 係施加於被選擇之記憶格的閘極電壓，且 Vich =VCC-Vth_ssl

方程式（2）中的 Vsecondary 可另表示成以下的方程式（3）：

（3） $Vsecondary = Vprimary + \gamma \times (Vsel - Vunsel)$，

若 Vunsel> Vthc + Vich 且 Vsel> Vunsel

圖 7b 描述的序列圖依循表 2 之實例值的應用。隨著位元線 306 設定爲 2.5V（VCC），在時間周期 T2 期間信號 SSL 上升至 2.5V（VCC），將致使 NAND 串 300 的通道電壓上升至大約 1.7V 的 Vich。當所有的字線在時間周期 T3 期間都上升至 7V（V2）時，NAND 串 300 的通道上升至初次升壓電壓位準：

$$Vprimary = 1.7V + 0.8\times(7V - 3V - 1.7V) = 3.54V$$

在時間周期 T4 期間，未被選擇的字線上升至 18V（V1），同時兩毗鄰之未被選擇的字線 WL28 與 WL30 降至 5V（V3）。除了連接至 WL28 與 WL30 的記憶格之外，由於未被選擇之記憶格在 T3 中保持在經升壓的通道電壓 3.54V，因此，當被選擇之記憶格的閘極上升至 18V（V1）時，連接至 WL28 與 WL30 的記憶格將被電性地關閉。因此，被選擇之記憶格的通道與 NAND 串 300 其餘的記憶格去耦，且被選擇之記憶格上的通道升壓被局部化。局部化的通道升壓比習知的通道升壓方案更有效率，從而提供較高的升壓通道電壓。所得到的二次升壓電壓位準大約爲：

$$Vsecondary = 3.54V + 0.8\ (V1-V2) = 12.34V。$$

因此，此二次升壓電壓位準高到足以防止被選擇的記憶格被程式化。亦即，二次升壓電壓高到在 18V 的 V1 程式電壓之下，足以使被選擇的記憶格保持在它的抹除狀態。在所描述的實施例中，二次升壓電壓位準與程式電壓 V1 的比例至少大約 70%。

對於具有毗鄰記憶格之任何被選擇的記憶格，都可應用前述的程式禁止序列，這是因爲該等毗鄰記憶格可被關閉，以使被選擇的記憶格與 NAND 串中其餘的記憶格去耦。不過，NAND 串 300 還包括連接於字線 WL0 與 WL31 的末端記憶格，其不具有第二毗鄰的記憶格。以下討論當兩末端記憶格被禁止程式化時的程式禁止序列。

圖 8 的序列圖說明當連接至字線 WL31 之記憶格即將被驅動到程式化電壓 V1 時的程式禁止序列。緊鄰於連接至 WL31 的記憶格爲連接至 WL30 的記憶格，且串選擇電晶體 304 連接至信號 SSL。如圖 7b 中的序列，在時間周期 T2 期間，位元線 306 被偏壓到 VCC，且 SSL 上升到 VCC。隨著被耦接的通道電壓上升到 VCC-Vth_ssl，串選擇電晶體 304 最終被關閉。在時間周期 T3 期間，所有的字線上升至 V2，以使 NAND 串 300 的通道上升到初次升壓電壓位準。在時間周期 T4 期間，字線 WL31 上升到 V1，且毗鄰的字線 WL30 降到 V3，以關閉其各自的記憶格。由於串選擇電晶體 304 已被關閉，因此，連接至字線 WL31 的記憶格從 NAND 串 300 去耦，且其通道被局部地升壓到第二升壓通道電壓位準。

圖 9 的序列圖說明當連接至字線 WL0 之記憶格即將被驅動到程式化電壓 V1 時的程式禁止序列。緊鄰於連接至 WL0 的記憶格爲連接至 WL1 的記憶格，且接地電晶體 308 連接至信號 GSL。在時間周期 T1 期間，在初始狀態中 GSL 被偏壓到 0V，同時位元線 306 被偏壓到 VCC。在時間周期 T2 期間，SSL 上升到 VCC，且在時間周期 T3 期間，所有的字線上升至 V2，以使 NAND 串 300 的通道上升到初次升壓電壓位準。在時間周期 T4 期間，字線 WL0 上升到 V1，且毗鄰的字線 WL1 降到 V3，以關閉其各自的記憶格。由於接地電晶體 308 已被關閉，因此，連接至字線 WL1 的記憶格從 NAND 串 300 去耦，且其通道被局部地升壓到第二升壓通道電壓位準。

如圖 7b 至 9 所示，可經由控制施加於未被選擇之記憶格與選擇電晶體的序列及電壓，以使 NAND 串中被選擇不需要程式化的記憶格與其餘的 NAND 記憶格去耦。

在圖 7b 至 9 中的時間周期 T3 期間，經由 WL31 與串選擇電晶體 304 間的電容耦合，NAND 串 300 的通道會使電荷漏到位元線。此會造成初次升壓電壓位準降低的結果。因此，按照本發明的實施例，信號 SSL 可從 VCC 降低到使漏電減至最小的電壓 V4。例如，對於圖 7a 所示的 NAND 串 300 而言，V4 可以爲 1V。經由將 SSL 降到 V4，串選擇電晶體 304 的通道變得更能防止電荷洩漏到位元線 306。V4 的位準可選擇到足以在位元線上將 0V 通過到即將要程式化的被選記憶格。

圖 10 說明將圖 7b 的程式禁止序列修改成使通道漏電減至最小的序列圖。在時間周期 T1 期間的初始狀態，所有記憶格 302 的閘極、信號 SSL、及信號 GSL 都被偏壓到 0V，同時施加位元線電壓（VCC），且 CSL 被偏壓到 VCC。在時間周期 T2，信號 SSL 被偏壓到 VCC，以將位元線電壓耦接至 NAND 串 300。在圖 7a 所示的 NAND 串 300 中，由於串選擇電晶體 304 連接至位元線 306 的汲極端點與閘極都被偏壓到 VCC，因此，串選擇電晶體 304 被關閉。更明確地說，串選擇電晶體 304 的通道一旦上升至大約 VCC 減去電晶體的臨限電壓，串選擇電晶體 304 即被關閉。在時間周期 T3 期間，所有的字線被驅動到通過電壓 V2，以將 NAND 串 300 的整個通道升壓到初次升壓電壓。不過，爲使初次升壓電壓對位元線 306 的漏電減至最小，隨著字線被驅動到 V2，SSL 被降到電壓 V4。在時間周期 T4 開始處，被選擇的字線 WL29 上升到程式電壓 V1，同時毗鄰的字線 WL28 與 WL30 被降到去耦電壓 V3。SSL 降至使漏電減至最小的電壓 V4 也可用於圖 8 及 9 所示的程式禁止序列，也具有相同的效果。

按照本發明的另一實施例，被選擇不需要程式化之記憶格的局部二次升壓電壓位準可進一步提升。在先前圖 7a 至 10 中所示的程式禁止序列實施例中，在時間周期 T3 期間，所有的字線被驅動到 V2 通過電壓，在此之後，僅被選擇的字線被從 V2 驅動到程式電壓 V1。當 V2 與 V1 間的差最大化時，局部二次升壓電壓位準可被最大化。因此

，按照本發明的實施例，用於被選擇之字線的電壓位準V2相較於先前所示的程式禁止序列可降低。

圖11說明將圖7b之程式禁止序列修改成使即將被禁止程式化之被選電晶體之通道內之局部二次升壓電壓位準最大化的序列圖。如圖所示，在時間周期T3期間，除了被選擇的字線WL29被驅動到較低的電壓V5之外，所有的字線都被驅動到V2通過電壓。在接下來的時間周期T4中，WL29被驅動到程式電壓V1。關於圖7a所示的NAND串300，V5的電壓位準例如可設定爲5V。須注意，V5要選擇得夠高，以確保在時間周期T3期間被選記憶格之通道的傳導性。由於V5與V1之間的差大於V2與V1之間的差，因此，在被選擇之記憶格中可獲得到較高的局部二次升壓電壓位準。此稱爲高差異局部升壓方案。

以下的關係式概述先前所描述之本發明實施例中所用電壓位準的相對限制。

（1） V3 <V2< V1

（2） 0V < V4 < V3

（3） 0V < V5 < V2

實際的值視記憶格與電晶體的幾何及所使用的製程而定。V1係程式電壓，須高到足以包括F-N穿隧。V2係通過電壓，i）高到足夠使記憶格傳導；ii）高到足以降至使其所連接之記憶格關閉的V3；iii）高到足以能增加到使被選擇的記憶體通道局部地升壓到所要二次壓電壓位準的V1。V2可以高於VCC。V3高到足夠通過0V的位元線電

壓，且至少與被程式化之記憶格之最壞情況的臨限電壓同高。例如，在表 1 中，如果 Vthc 爲 3 伏，則 V3 應至少 3 伏。

按照本發明之各實施例的各樣程式禁止序列已顯示於圖 7b 至 11。已顯示了在程式化操作期間降低漏電或提高二次升壓電壓位準的實施例。這些實施例可結合在一起，以獲得到每一個別方案所提供的所有優點。如圖 12 的序列圖所示，在時間周期 T3 期間，SSL 信號可降至使漏電減至最小的電壓 V4，同時，在時間周期 T3 期間，被選擇的字線 WL29 被設定爲降低的通過電壓 V5。

在先前描述的實施例中，SSL 信號可降到使漏電減至最小的電壓 V4，以使洩漏到位元線 306 的電荷減至最少，從而在使被選之記憶格通道局部升壓至二次升壓電壓位準之前，使被升壓的通道電壓最大化。在局部升壓期間，某些電荷會從被選記憶格之通道經由其緊鄰的兩個記憶格洩漏。此乃是由於毗鄰格之字線從 V2 降至 V3 所造成，其減少其各自記憶格的通道電壓。因此，在仍關閉之時，某些電荷將會洩漏到連接於該下字線的其它記憶格。

按照本發明之減少電荷洩漏的實施例，爲減少電荷從被選擇記憶格之經局部升壓的通道洩漏，以與上字線不同的電壓來驅動下字線。此方法的實施例顯示於圖 13。

圖 13 顯示與圖 7a 所示相同的 NAND 串 300，且包括一些註解用來顯示施加於特定字線上的相對電壓位準。施加於被選擇之字線 WL29、上字線 WL30 及 WL31 的電壓

，可與先前圖 7a 所顯示及描述的實施例相同。在本實施例中，下字線 WL0-WL28 被驅動到通過電壓 V6，且接著緊鄰的字線 WL28 被驅動降到低電壓位準。例如，低電壓可以是 0V、0.1V、0.2V。

圖 14 的序列圖說明按照目前所描述之實施例的程式禁止序列。該序列在時間周期 T1 與 T2 期間，與先前所描述的圖 7b 相同。在時間周期 T3 之時，上字線 WL30-WL31 及被選擇的字線被驅動到第一通過電壓 V2。下字線 WL0-WL28 被驅動到第二通過電壓 V6。在另一實施例中，第二通過電壓 V6 小於第一通過電壓 V2，但高於被程式化之記憶格的臨限。由於電荷被分配或共享於 NAND 記憶格串的整個通道，因此仍產生初次升壓電壓。在時間周期 T4 開始之時，被選擇的字線 WL29 上升到程式化電壓 V1，同時上毗鄰字線 WL30 被降到去耦電壓 V3。另一方面，下毗鄰字線 WL28 被降到 0V 的關閉電壓。現將討論前述序列及電壓位準的效果。

如果已以一正臨限將連接至 WL28 的記憶格電晶體程式化，則當 WL28 下降到低於該正臨限時（例如降至 0V），其被電氣地關閉。另一方面，如果該記憶格仍在被抹除（負臨限），則即使 0V 的關閉電壓都可導通該記憶格。不過，由於第二通過電壓 V6 已施加於下字線，因此，下記憶格的通道被升壓到下初次升壓電壓。因此，連接到 WL28 之記憶格的源極端點（汲極端點被連接到被選擇的記憶格）爲正，藉此關閉該記憶格。經由切斷從被選記憶

格之經升壓的通道到下記憶格的漏電路徑，局部升壓效率獲進一步增進。熟悉此方面技術之人士將瞭解，關閉電壓並不限於 0V，能有效使經由連接至 WL28 之記憶格而漏電減至最小的任何低電壓都可使用。

按照另一實施例，如 SSL 之跡線中的虛線所示，串選擇信號 SSL 可在時間周期 T4 開始之時降至 V4，且在時間周期 T3 期間，WL28 可被設定成保持在關閉電壓，如 WL28 之跡線中的虛線所示。將毗鄰的下字線（諸如所描述之實施例中的 WL28）保持在關閉電壓的優點包括減少電壓消耗及耦合電容。電壓消耗減少的原因是字線驅動器不需要提高及降低該字線。字線間距離隨著記憶體陣列之封裝密度的提升而縮小，毗鄰字線間的電容耦合隨著字線的上升及下降變得更爲明顯。由於毗鄰的下字線在時間周期 T3 與 T4 之間並未改變，因此，電容耦合被降低。第二通過電壓 V6 可以是低電壓，如快閃讀取操作所用的讀取電壓位準，且低於 V3。

圖 15 係本發明的另一實施例，其結合先前實施例中所描述的某些特徵。圖 15 顯示與圖 13 中所示相同的 NAND 串 300，且包括一些註解用來顯示施加於特定字線上的相對電壓位準。特別是，本例使用圖 13 之減少漏電的方案，圖 11 之高差分局部升壓方案的衍生型式，以及新的去耦方案。在新的去耦方案中，NAND 串 300 的第一及第二上毗鄰記憶格係使用先前爲將被選擇之記憶格從 NAND 串 300 去耦所建立的電壓來控制。

圖 16 的序列圖說明按照目前所描述之實施例的程式禁止序列。圖 16 顯示 WL29 之衍生的相對時序，以及 WL29 的另一通過電壓（將在稍後描述）。在時間周期 T1 與 T2 期間，該序列與先前圖 13 所描述的相同。在時間周期 T3 之時，所有的上字線（在本實施例中爲 WL30 及 WL31）及被選擇的字線 WL29 都被驅動到去耦電壓 V3。事實上，在時間周期 T3 中 V3 被用做爲第一通過電壓。同時，下字線被驅動到第二通過電壓 V6，包括保持在原設關閉電壓位準（例如 0V）的毗鄰下字線 WL28。因此，NAND 串 300 的通道現在被有效地限制在連接至字線 WL29-WL31 的記憶格，其被上升至初次升壓電壓。

在時間周期 T4 開始之時，被選擇的字線 WL29 上升到程式化電壓 V1，而上毗鄰字線 WL30 保持在 V3。大約在同一時間，除了上毗鄰字線 WL31 以外的所有上字線都被驅動到第一通過電壓 V2。在此實施例中，在時間周期 T4 中，當 WL29 上升到 V1 及當 WL31 上升到 V2 時，且 WL28 被降到關閉電壓，連接到 WL30 的記憶格被電性地關閉。在另一實施例中，串選擇信號 SSL 可在時間周期 T4 開始之時降到 V4，如 SSL 之跡線中的虛線所示。以下的關係式概述圖 13 至 16 之實施例中所使用之各電壓位準的相對限制。

（1） $V3<V2<V1$

（2） $0V<V4<V3$

（3） $0V<V6\leq V3$

因此，由於對下記憶格的閘極施加了低電壓位準，因此，該等下記憶格實際上不會經驗到通過干擾。

在圖 16 中，在時間周期 T3 期間可將 WL29 初始地設定到 V3，以增加 V3 與 V1 之間的電壓差，以提供類似於圖 11 之實施例所能達到的高差分局部升壓。或者，可藉由在時間周期 T3 期間將 WL29 保持在 0V，並接著在時間周期 T4 期間將 WL29 直接驅動到 V1 以使局部升壓被最大化。此如虛線 400 所示。須注意，連接到 WL29 的記憶格係具有負臨限電壓之被抹除的記憶格。

先前所顯示的各序列圖係爲了顯示施加特定電壓給被選擇及未被選擇之字線的一般時序關係。不過，將被選擇之字線從第一通過電壓（或 0V）驅動到程式化電壓（V1）間的相對時序及對緊鄰字線的控制，可按如下進一步地精進。例如參考圖 10，被選擇的字線 WL29 可在毗鄰字線 WL28 及 WL30 被降至 V3 之同時被驅動到 V1。換言之，當施加程式化電壓 V1 時，被選擇的記憶格被從其餘的 NAND 記憶格去耦。在 WL29 轉變到 V1 的最初期間，在毗鄰記憶格被電壓 V3 完全關閉之前，某些由於 WL29 升壓而產生的電荷將經由這些記憶格漏失。

在時間周期 T4 期間，爲使被選擇之記憶格的局部升壓效率最大化，可在被選擇的記憶格從其它記憶格去耦之後，立刻將被選擇的字線驅動到 V1。

例如在圖 16 的實施例中，WL29 可保持在 V3，直至 WL28 到達 0V 之後，如跡線 402 所示。更明確地說，如圖

16 所示，WL29 可在 WL28 開始下降到 0V 後的一段延遲時間 td 之後才被驅動到 V1。延遲時間 td 可以是任何預先設定的值。關於在時間周期 T3 期間 WL29 保持在 0V 的實施例中，在一段延遲時間 td 之後，WL29 可停留在 0V，直至 WL28 到達 0V 之後，如跡線 404 所示。熟悉此方面技術之人士將可瞭解，被選擇之字線與其它字線間的相對時序可視需要來架構，以使電荷洩漏減至最小，或局部通道升壓最大化。

在先前描述的實施例中，V2 值乃是爲使未被選擇之記憶格中的程式干擾減至最小及爲使初次升壓電壓位準最大化而最佳化。熟悉此方面技術之人士將可瞭解，實際的 V2 值將取決於記憶格之不同的設計與製造參數，且因此可經由模擬或模型化來決定。

本發明目前所描述的實施例可用於標準步進的程式化方案。按照本發明的實施例，被選擇之記憶格的程式電壓 V1 將是施加於被選擇之記憶格之閘極的初始程式化電壓。之後，V1 的電壓位準可經由預定的電壓步級反覆地增加，而施加於其它字線的通過電壓與去耦電壓則保持在相同的電壓位準。經由在增加程式化步級的期間固定這些電壓位準，晶片尺寸及功率消耗都可較習知技術的程式化方案減少。

在所描述的實施例中，施加於毗鄰下字線（即 WL28）的關閉電壓可以是 0V，或是根據爲該等記憶格所選擇的設計及製造參數所選擇的任何低電壓，且經升壓的通道

電壓係由於施加了通過電壓 V6 所產生。

字線與控制線（SSL 與 GSL）電壓及施加序列可由字線驅動電路及相關的字線邏輯電路來控制，諸如解碼器。熟悉此方面技術之人士將可瞭解，習知的多電壓位準字線驅動電路可以很容易地修改來提供所說明之程式禁止序列實施例中所用的該等電壓位準。解碼邏輯可確保以所揭示的方法來控制任何被選擇的字線、緊鄰的字線（或控制線），以便將被選擇的記憶格從該 NAND 串去耦。

因此，前述的字線/控制線控制方案能有效地從抹除狀態程式化被選擇的記憶格，同時禁止被選擇要保持在抹除狀態之記憶格的程式化。與習知技術的程式禁止方案相較，由於所使用的通過電壓較低，因此，未被選擇之記憶格的程式干擾可減至最小。由於被選擇的記憶格可被去耦並與 NAND 串中的其它記憶格隔離，因此，其通道可被有效地升壓到禁止 F-N 穿隧的位準，且可實施隨機的頁程式化。

任何以 NAND 串爲基礎的快閃記憶體都可實施先前描述之程式禁止方案的實施例。熟悉此方面技術之人士將可瞭解，該方案中所用的特定電壓位準對於特定的製程及 NAND 記憶格設計都是唯一的。圖 7b 至 16 中所示的電壓位準轉變只是爲了提供一般的事件序列，並非有意提供這些信號間的特定時序關係。熟悉此方面技術之人士將可瞭解，各信號間會發生微小的時序差異，但不會偏離本發明的範圍。

本發明的上述實施例僅意欲做爲例子。熟悉此方面技術之人士可對特定的實施例做變更、修改及變化，不會偏離本發明的範圍，本發明的範圍僅由所附的申請專利範圍來界定。

【圖式簡單說明】

圖 1 係典型快閃記憶體的方塊圖；

圖 2a 係兩個 NAND 記憶格串的電路概圖；

圖 2b 係圖 2a 所示兩個 NAND 記憶格串之佈局的平面視圖；

圖 2c 係圖 2b 中所示一個 NAND 記憶格串沿著 A-A' 線的剖視圖；

圖 3 係用於抹除記憶格及程式化記憶格之臨限電壓（Vt）的分布圖；

圖 4 係在被程式干擾後用於抹除記憶格及程式化記憶格之臨限電壓（Vt）的分布圖；

圖 5 係說明按照本發明之實施例之一般程式禁止方法的流程圖；

圖 6 係說明按照本發明之實施例之一般程式禁止方法之實施例的流程圖；

圖 7a 係按照本發明之實施例，NAND 串的簡單橫剖視圖顯示在程式禁止方法期間施加閘極電壓；

圖 7b 係進一步說明施加於圖 7a 之 NAND 串之電壓序列的序列圖；

圖 8 係說明按照本發明之實施例之程式禁止序列的序列圖；

圖 9 係說明按照本發明另一實施例之程式禁止序列的序列圖；

圖 10 係說明將圖 7b 之程式禁止序列修改成使通道漏電減至最小的序列圖；

圖 11 係說明將圖 7b 之程式禁止序列修改成使局部二次升壓電壓位準最大化的序列圖；

圖 12 係說明按照本發明之另一實施例之程式禁止序列的序列圖；

圖 13 係按照本發明之實施例，NAND 串的簡單橫剖視圖顯示施加閘極電壓；

圖 14 係進一步說明施加於圖 13 之 NAND 串之電壓之序列的序列圖；

圖 15 係按照本發明之實施例，NAND 串的簡單橫剖視圖顯示施加閘極電壓；

圖 16 的序列圖進一步說明施加於圖 15 之 NAND 串之電壓的序列。

【主要元件符號說明】

10：快閃記憶體

28：記憶格陣列

50：浮閘極記憶格

52：串選擇電晶體

54：位元線

56：接地選擇電晶體

58：共用源極線

SSL：串選擇信號

GSL：接地選擇信號

300：NAND 串

302：記憶格

304：串選擇電晶體

306：位元線

308：接地選擇電晶體

310：源線

十、申請專利範圍

1.一種使快閃記憶體 NAND 串中之程式干擾減至最小的方法，該 NAND 串具有一被選擇的記憶格，位於該被選擇之記憶格與位元線之間的上記憶格，位於被選擇之記憶格與源線之間的下記憶格，以及用以將該記憶格耦接至該位元線的串選擇電晶體，該方法包含：

a）在第一時間周期中，將一對應於程式禁止電壓的電壓位準從該位元線耦接至該 NAND 串；

b）在接著該第一時間周期的第二時間周期中，藉由將連接到該被選擇之記憶格之被選擇的字線以及連接到該等上記憶格的上字線驅動到第一通過電壓位準，並將連接到該等下記憶格的下字線驅動到第二通過電壓而在該電壓位準被耦接至該 NAND 串的該通道之後，將該被選擇之記憶格之通道及該上記憶格預充電到初次升壓電壓位準，該第二通過電壓小於該第一通過電壓；以及

c）在接著該第二時間周期的第三時間周期中，藉由將連接到該被選擇之記憶格之該被選擇的字線驅動到一程式化電壓位準，並電氣地關閉毗鄰於該被選擇之記憶體格的上記憶格而在該通道被預充電之後，將該被選擇之記憶格通道局部地升壓到二次升壓電壓位準，該二次升壓電壓位準高於該初次升壓電壓位準。

2.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該耦接的步驟包括在該第一時間周期將串選擇電晶體驅動到第一電壓位準，接著在該第二時間周期中將該

串選擇電晶體驅動到去耦電壓位準，該去耦電壓位準低於該第一電壓位準。

3.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該第一通過電壓位準小於 10 伏。

4.如申請專利範圍第 3 項使程式干擾減至最小的方法，其中該第一通過電壓位準大約 7 伏。

5.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該第一通過電壓位準具有能有效使該等上記憶格中程式干擾減至最小並使該初次升壓電壓位準升至最大的值。

6.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該驅動該被選擇之字線的步驟包括在毗鄰於該被選擇之記憶格的上記憶格被關閉後，將該被選擇的字線驅動到該程式化電壓位準。

7.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該電氣關閉的步驟包括將連接至該上記憶格的上字線從該第一通過電壓位準降至去耦電壓位準，同時將該被選擇的字線驅動到該程式化電壓位準。

8.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該電氣關閉的步驟包括將連接至該上記憶格的上字線從該第一通過電壓位準降至去耦電壓位準，同時在該上字線開始朝向該去耦電壓位準下降後的一預定延遲時間，將該被選擇的字線驅動到該程式化電壓位準。

9.如申請專利範圍第 1 項使程式干擾減至最小的方

法，其中該電氣關閉的步驟包括將除了毗鄰於該被選擇之字線之該上字線以外的上字線從該第一通過電壓位準增加至該第二通過電壓位準，同時該被選擇的字線驅動到該程式化電壓位準，毗鄰於該被選擇之字線的該上字線被保持在該第一通過電壓位準。

10.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該局部升壓的步驟包括將毗鄰於該被選擇之字線的下字線從該第二通過電壓降至關閉電壓位準，同時將該被選擇的字線驅動到該程式化電壓位準。

11.如申請專利範圍第 1 項使程式干擾減至最小的方法，其中該預充電的步驟包括在該第一時間周期、該第二時間周期、及該第三時間周期期間，將除了毗鄰於該被選擇之字線之下字線以外之連接至該等下記憶格的下字線驅動到第二通過電壓，毗鄰於該被選擇之字線的該下字線被保持在關閉的電壓位準。

12.如申請專利範圍第 1 項使程式干擾減至最小的方法，另包括經由預定的電壓步驟反覆地增加該程式化電壓位準，同時保持該第一通過電壓位準與該第二通過電壓位準。

13.一種使快閃記憶體 NAND 串中之程式干擾減至最小的方法，該 NAND 串具有一被選擇的記憶格，位於該被選擇之記憶格與位元線之間的上記憶格，位於被選擇之記憶格與源線之間的下記憶格，以及用以將該記憶格耦接至該位元線的串選擇電晶體，該方法包含：

a）在第一時間周期中，驅動該串選擇電晶體以將該位元線的資料電壓耦接至該 NAND 串；

b）在第二時間周期中，以一通過電壓位準驅動該上記憶格與該被選擇的記憶格；

c）在該第二時間周期中以第二通過電壓位準驅動除了毗鄰於該被選擇之記憶格之下記憶格以外的該等下記憶格，該第二通過電壓位準低於該通過電壓；

d）在第三時間周期中，將該被選擇的記憶格驅動到一程式化電壓位準；以及

e）在第三時間周期中，電氣地關閉毗鄰於該被選擇之記憶格的該上記憶格。

14.如申請專利範圍第 13 項使程式干擾減至最小的方法，其中該下記憶格在該第二時間周期期間被驅動到 0 伏。

15.如申請專利範圍第 13 項使程式干擾減至最小的方法，其中該下記憶格在該第二時間周期中以該第二通過電壓位準被驅動。

16.如申請專利範圍第 15 項使程式干擾減至最小的方法，另包括在該第三時間周期中以一關閉電壓位準驅動毗鄰於該被選擇之記憶格的下記憶格。

17.如申請專利範圍第 13 項使程式干擾減至最小的方法，其中該電氣地關閉的步驟包括在該第三時間周期中將毗鄰於該被選擇之記憶格的上記憶格從該通過電壓位準驅動到去耦電壓，同時將該被選擇的記憶格驅動到該程式化

電壓位準。

18.如申請專利範圍第 17 項使程式干擾減至最小的方法，其中該被選擇的記憶格在毗鄰於該被選擇之記憶格之該上記憶格開始被驅動到該去耦電壓後一延遲時間被驅動到該程式化電壓位準。

19.如申請專利範圍第 13 項使程式干擾減至最小的方法，其中該電氣地關閉的步驟包括在該第三時間周期中，將除了毗鄰於該被選擇之記憶格之上記憶格以外的該等上記憶格從該通過電壓驅動到第二通過電壓，該第二通過電壓大於該通過電壓。

20.如申請專利範圍第 13 項使程式干擾減至最小的方法，另包括經由預定的電壓步驟反覆地增加該程式化電壓位準，同時保持該通過電壓位準與該關閉電壓位準。

99年11月29日修正本
補充

附件 1B：第 096145695 號申請專利圖式修正本
民國 99 年 11 月 29 日修正

853771

圖 1

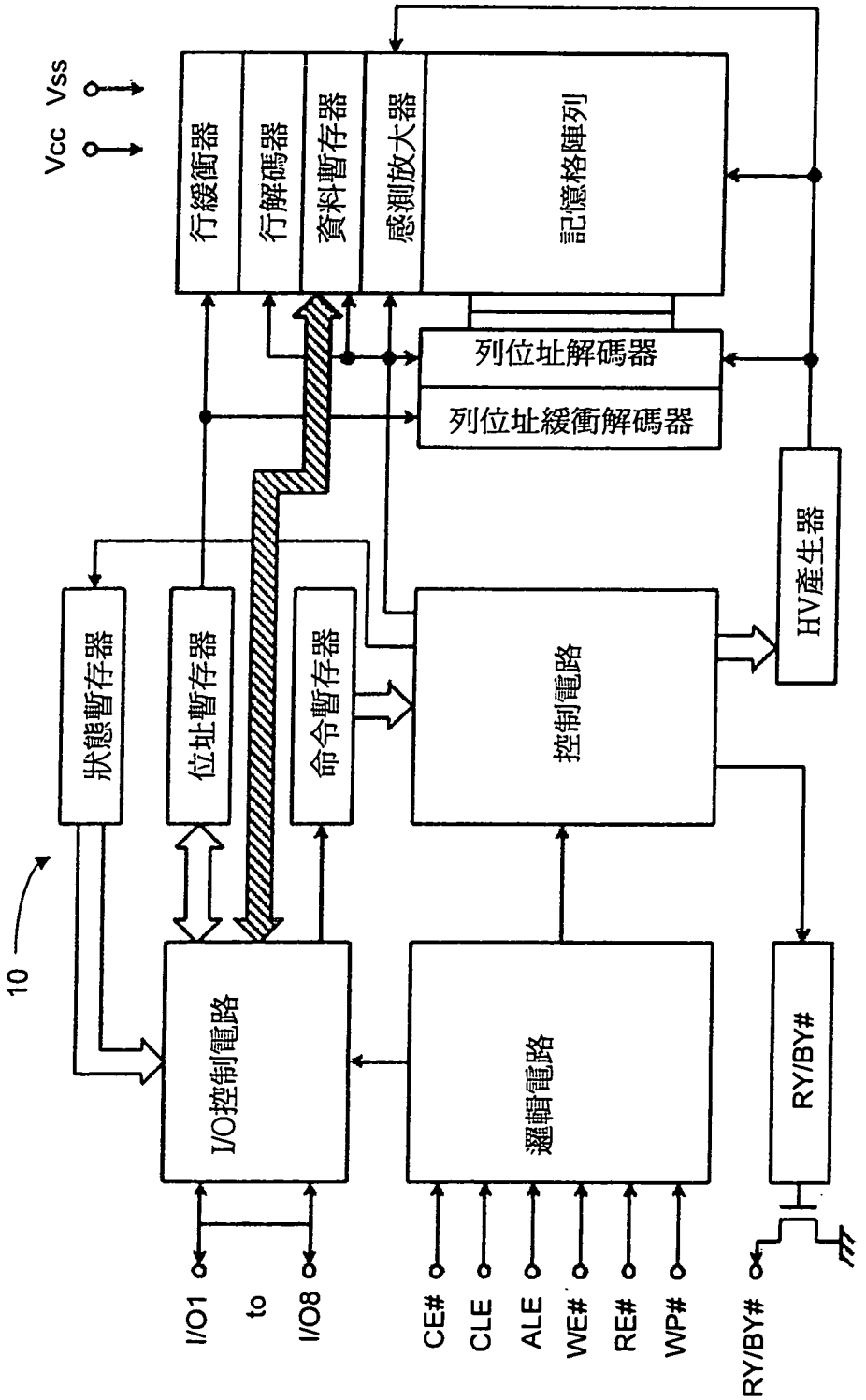


圖2a

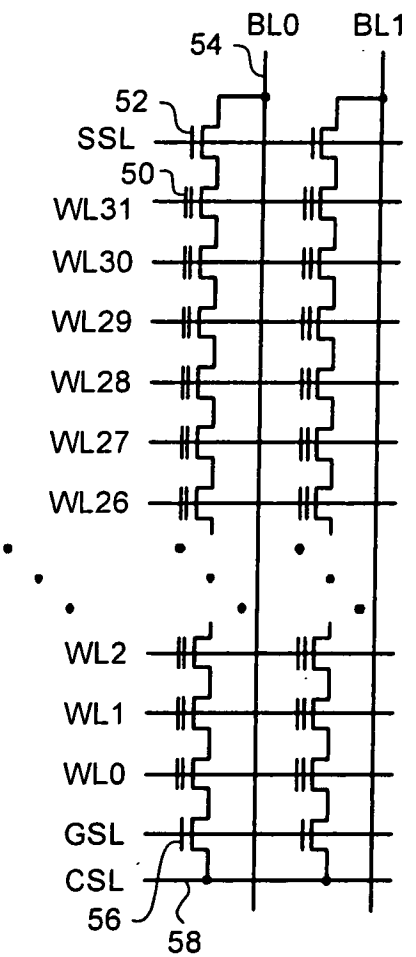

BL0
BL1
54
52
SSL
50
WL31
WL30
WL29
WL28
WL27
WL26
WL2
WL1
WL0
GSL
CSL
56
58

圖2b

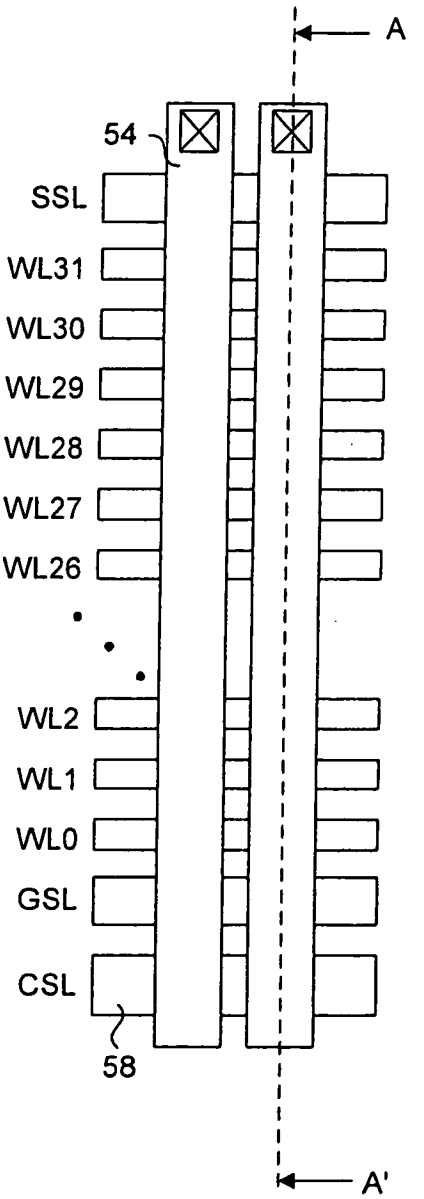

A
54
SSL
WL31
WL30
WL29
WL28
WL27
WL26
WL2
WL1
WL0
GSL
CSL
58
A'

圖2c

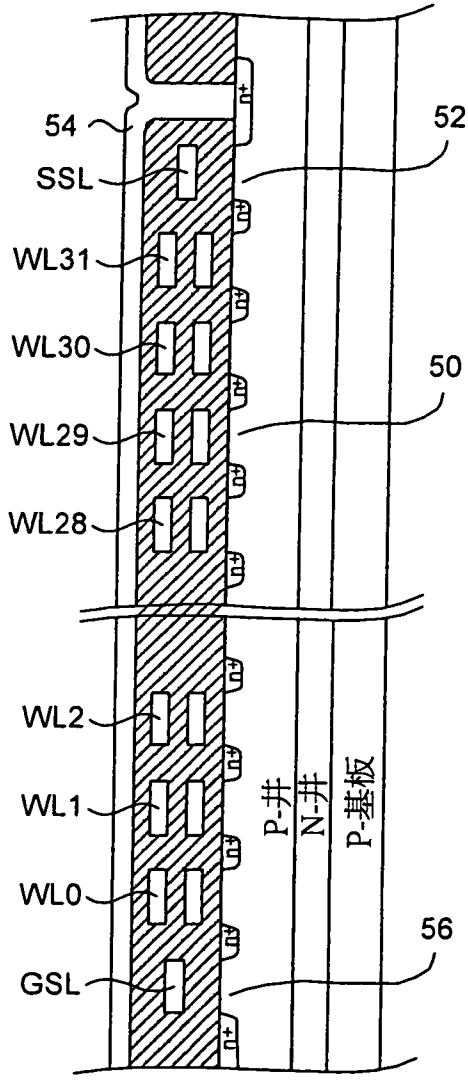


圖3

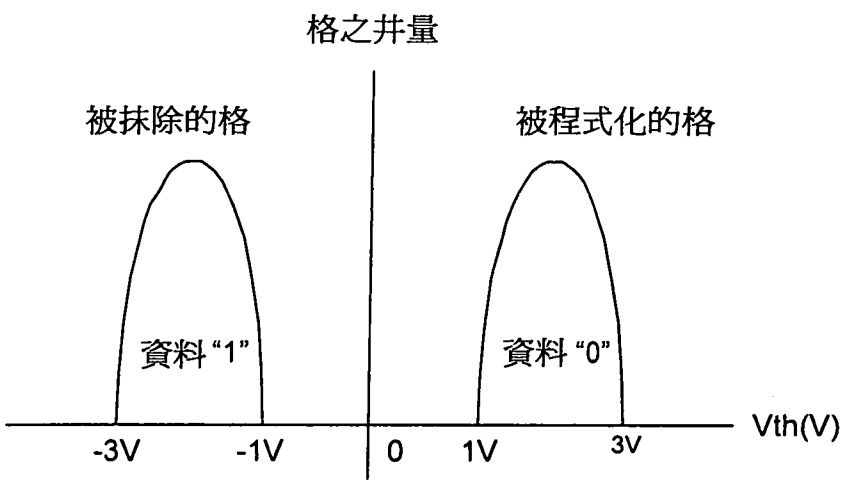

格之井量
被抹除的格
被程式化的格
資料“1”
資料“0”
-3V
-1V
0
1V
3V
Vth(V)

圖4

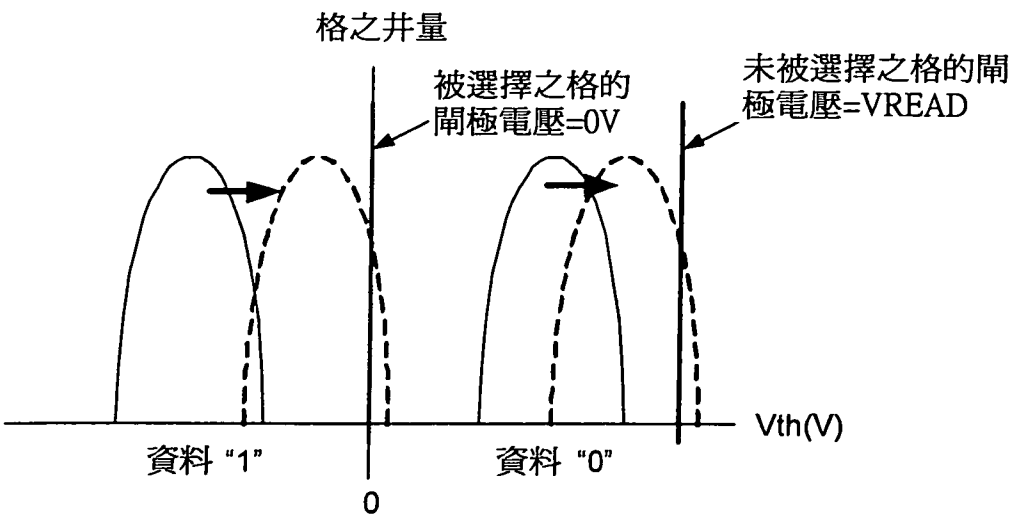

格之井量
被選擇之格的
閘極電壓=0V
未被選擇之格的閘
極電壓=VREAD
Vth(V)
資料“1”
資料“0”
0

圖5

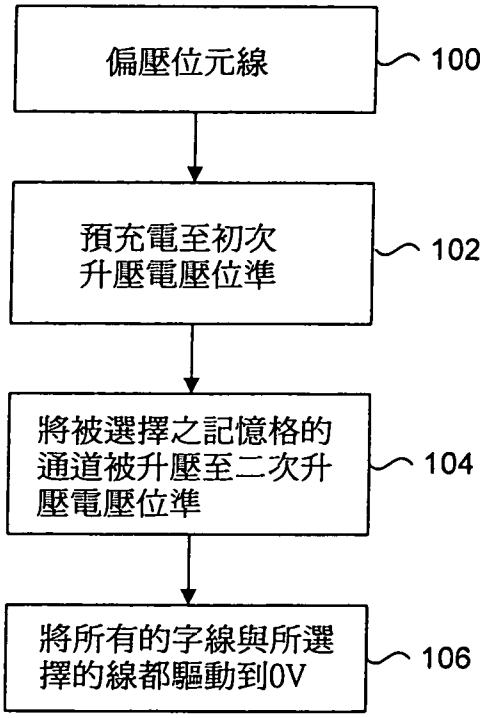

偏壓位元線
100
預充電至初次升壓電壓位準
102
將被選擇之記憶格的通道被升壓至二次升壓電壓位準
104
將所有的字線與所選擇的線都驅動到0V
106

圖6

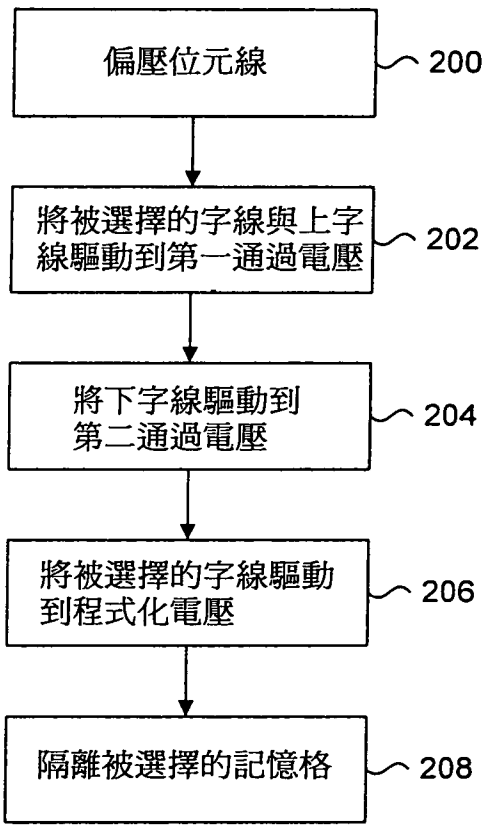

偏壓位元線
200
將被選擇的字線與上字線驅動到第一通過電壓
202
將下字線驅動到第二通過電壓
204
將被選擇的字線驅動到程式化電壓
206
隔離被選擇的記憶格
208

圖7a

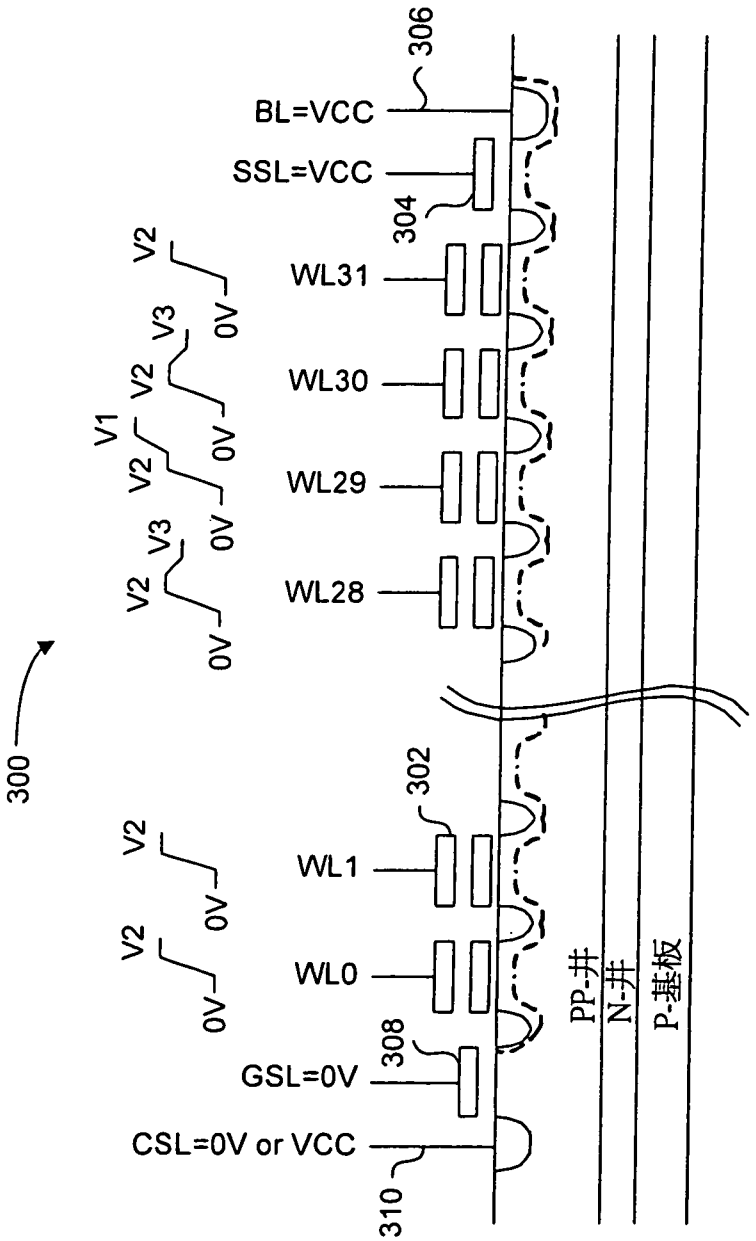

300
306
BL=VCC
SSL=VCC
304
WL31
WL30
WL29
WL28
WL1
WL0
GSL=0V
308
CSL=0V or VCC
310
302
V1
V2
V3
0V
PP-井
N-井
P-基板

圖7b

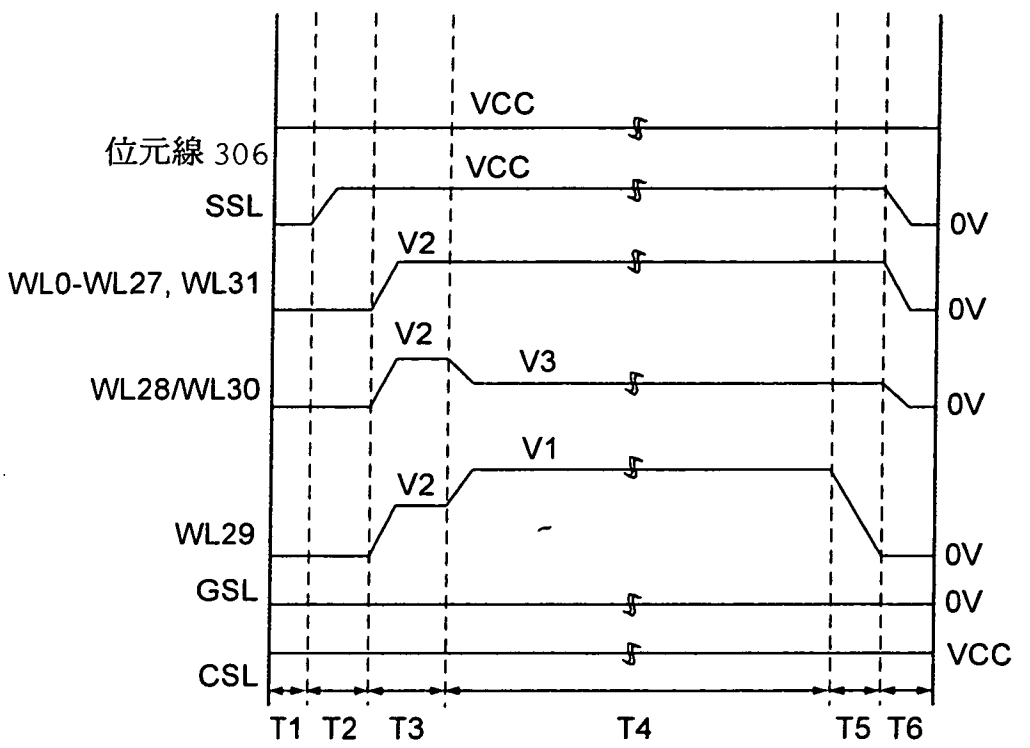

位元線 306
SSL
WL0-WL27, WL31
WL28/WL30
WL29
GSL
CSL
VCC
VCC
V2
V2
V3
V2
V1
0V
0V
0V
0V
0V
VCC
T1
T2
T3
T4
T5
T6

圖8

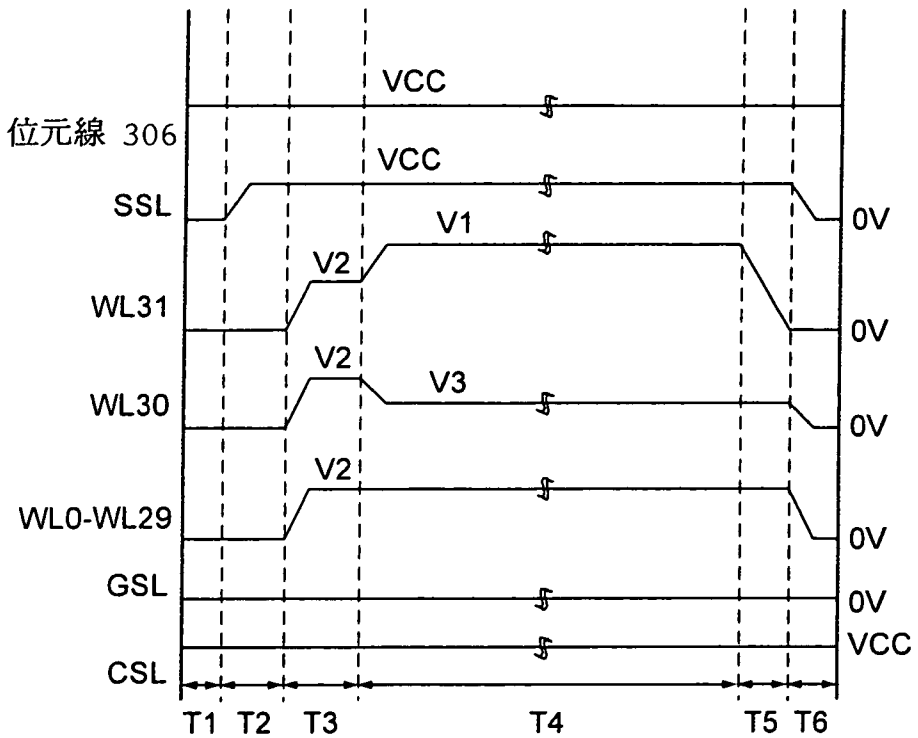

位元線 306
SSL
WL31
WL30
WL0-WL29
GSL
CSL
VCC
VCC
V1
V2
V2
V3
V2
0V
0V
0V
0V
0V
VCC
T1
T2
T3
T4
T5
T6

圖9

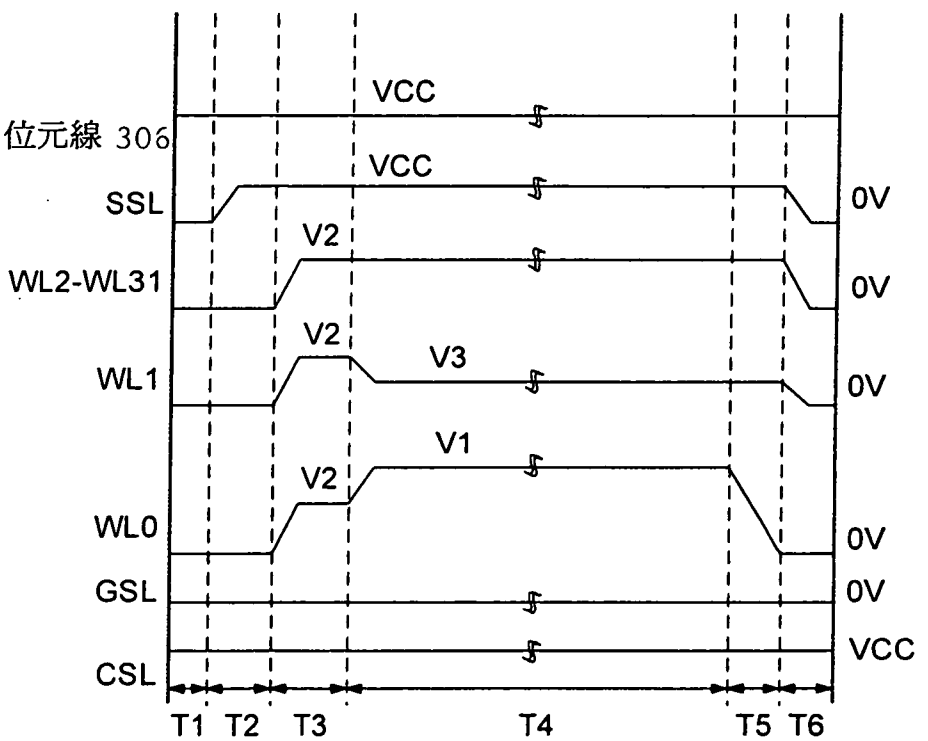

位元線 306
SSL
WL2-WL31
WL1
WL0
GSL
CSL
VCC
VCC
V2
V2
V3
V2
V1
0V
0V
0V
0V
0V
VCC
T1
T2
T3
T4
T5
T6

圖10

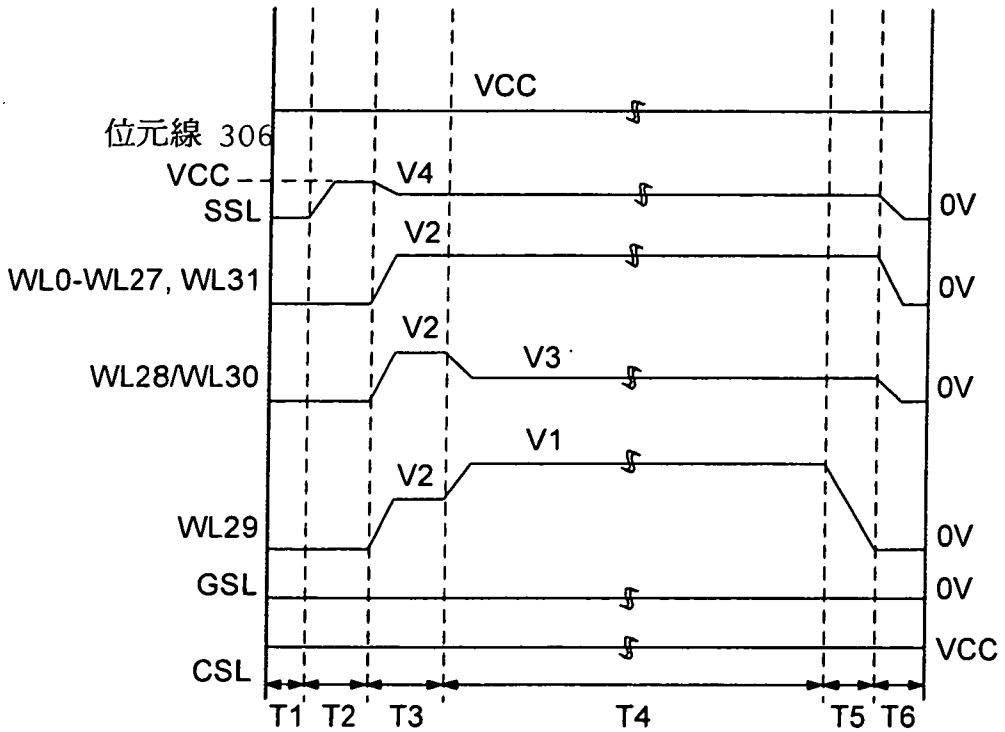

VCC
位元線 306
VCC
V4
SSL
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V2
WL29
0V
GSL
0V
CSL
VCC
T1
T2
T3
T4
T5
T6

圖11

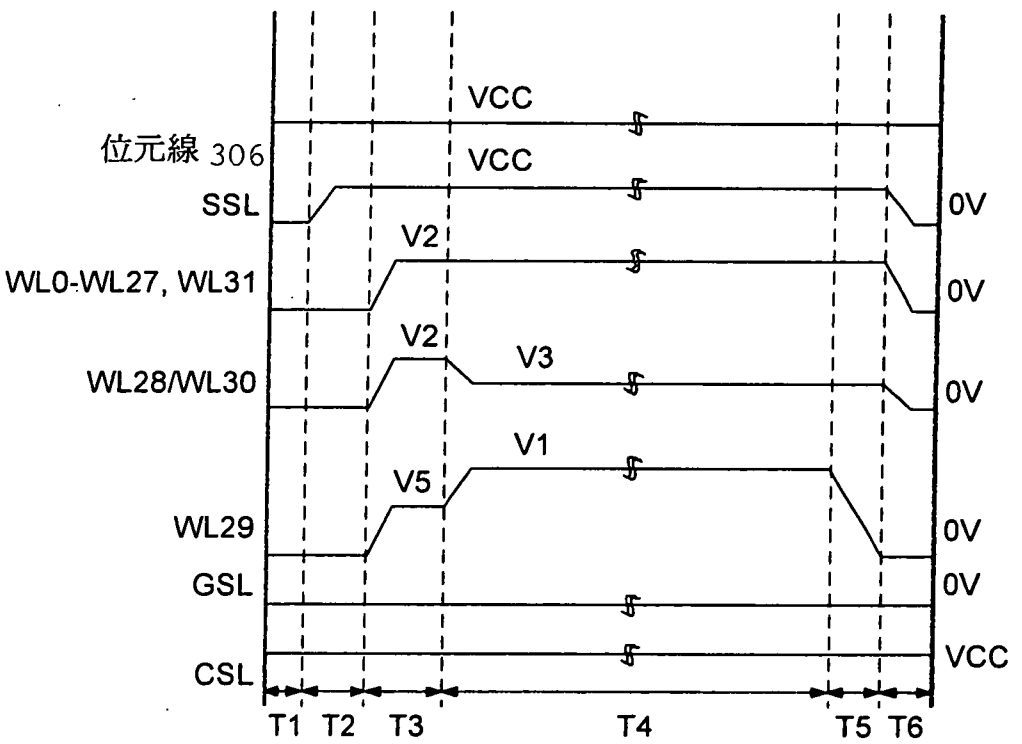

位元線 306
SSL
WL0-WL27, WL31
WL28/WL30
WL29
GSL
CSL
VCC
VCC
V2
V2
V3
V1
V5
0V
0V
0V
0V
0V
VCC
T1
T2
T3
T4
T5
T6

圖12

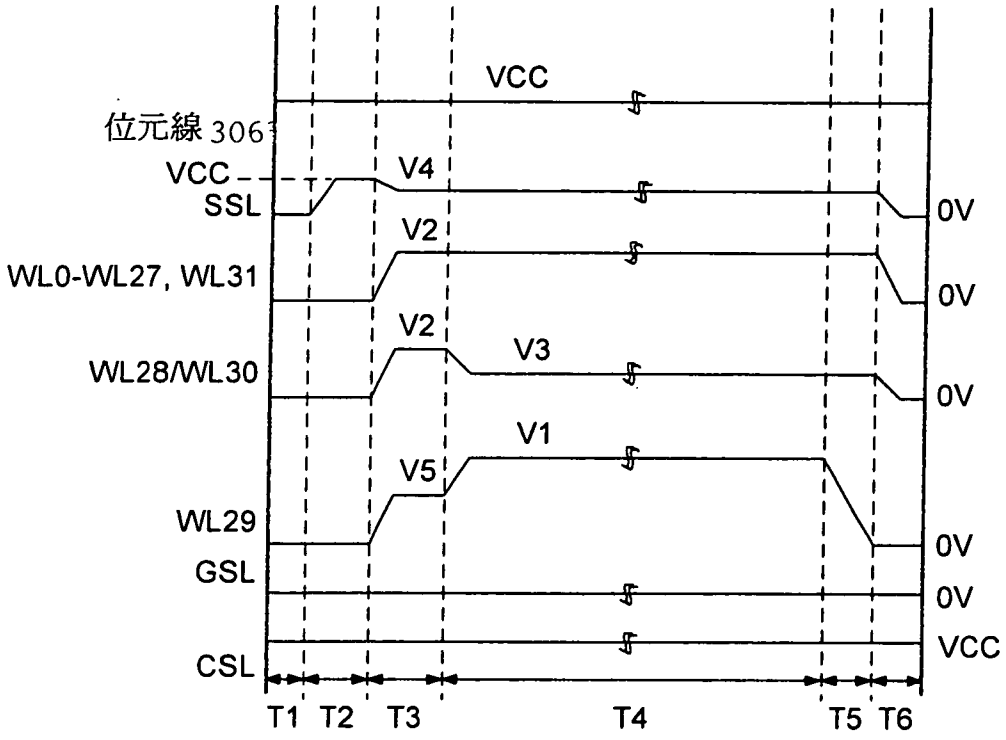

VCC
位元線 306
VCC
SSL
V4
0V
V2
WL0-WL27, WL31
0V
V2
V3
WL28/WL30
0V
V1
V5
WL29
0V
GSL
0V
CSL
VCC
T1
T2
T3
T4
T5
T6

圖13

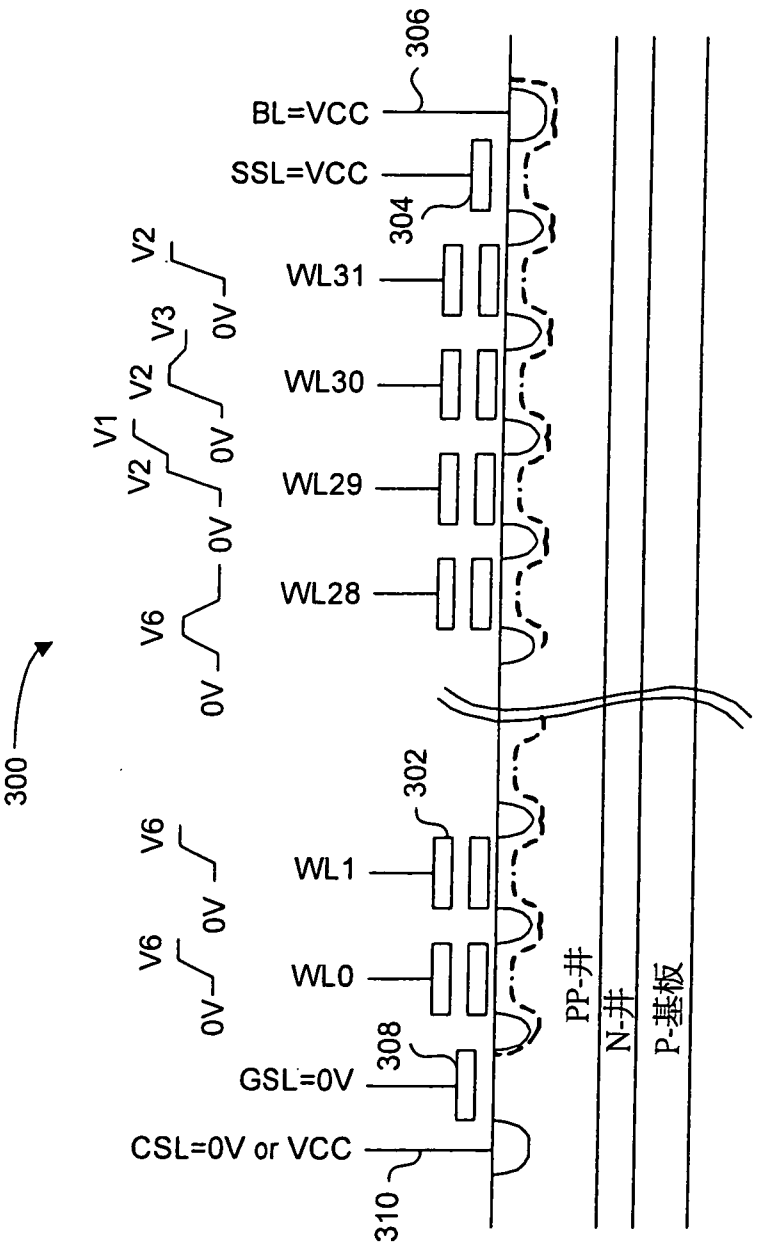

300
306
BL=VCC
SSL=VCC
304
WL31
WL30
WL29
WL28
WL1
WL0
GSL=0V
308
CSL=0V or VCC
310
302
V1
V2
V3
V6
0V
PP-井
N-井
P-基板

圖14

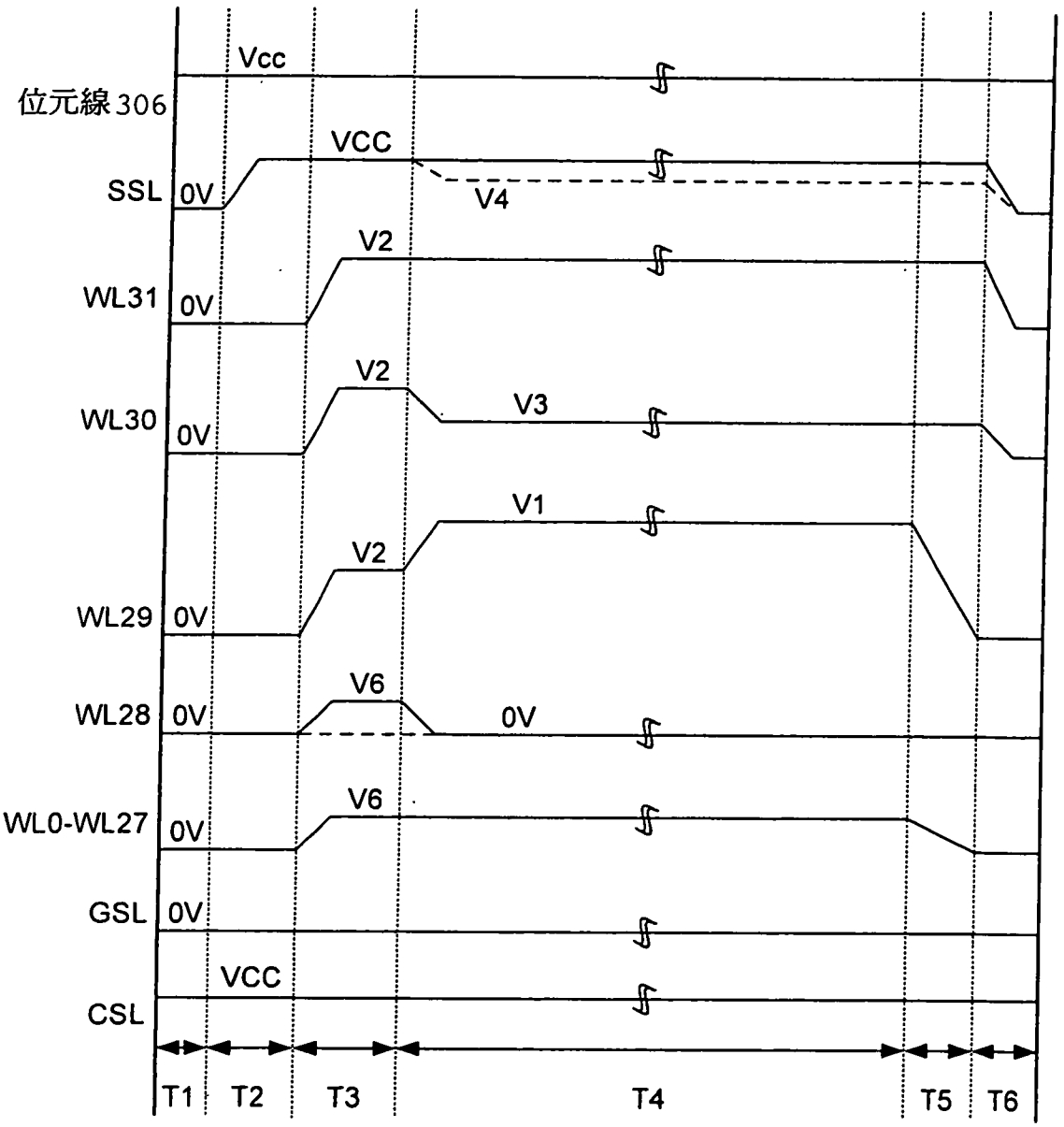

Vcc
位元線306
VCC
SSL
0V
V4
V2
WL31
0V
V2
V3
WL30
0V
V1
V2
WL29
0V
V6
WL28
0V
0V
V6
WL0-WL27
0V
GSL
0V
VCC
CSL
T1
T2
T3
T4
T5
T6

圖15

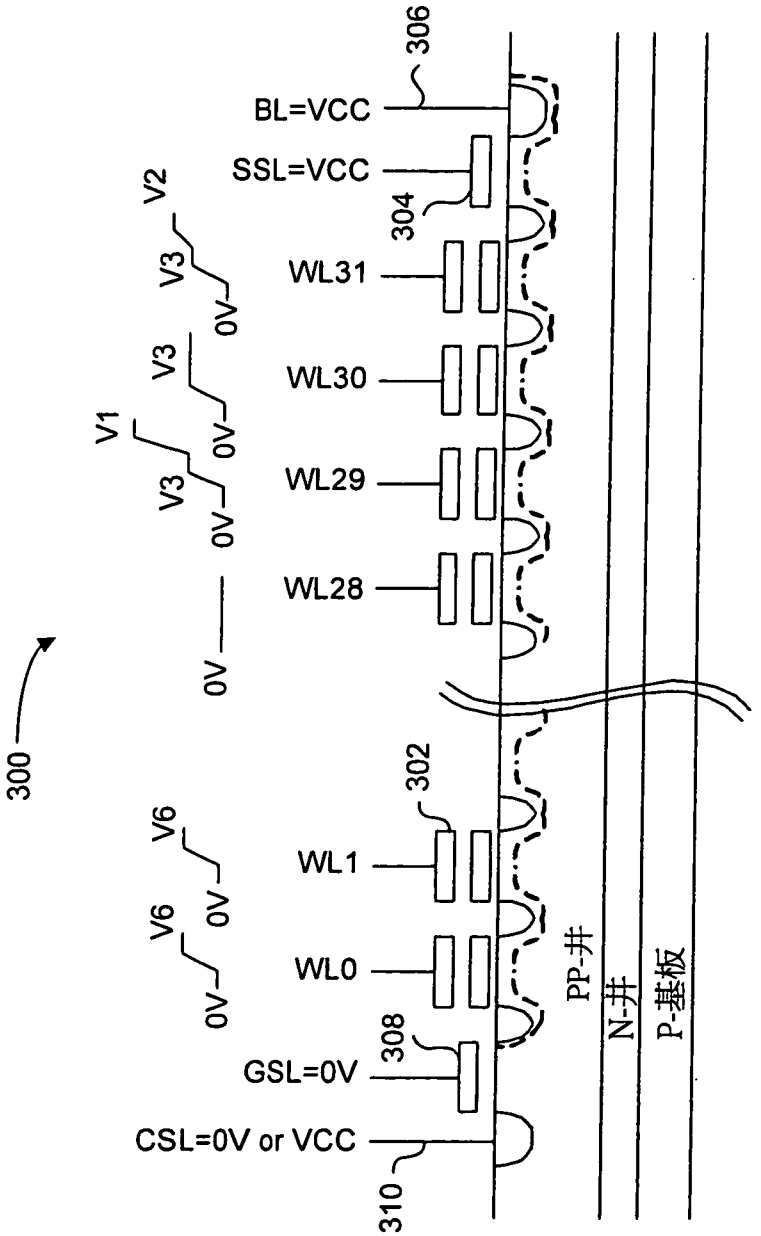
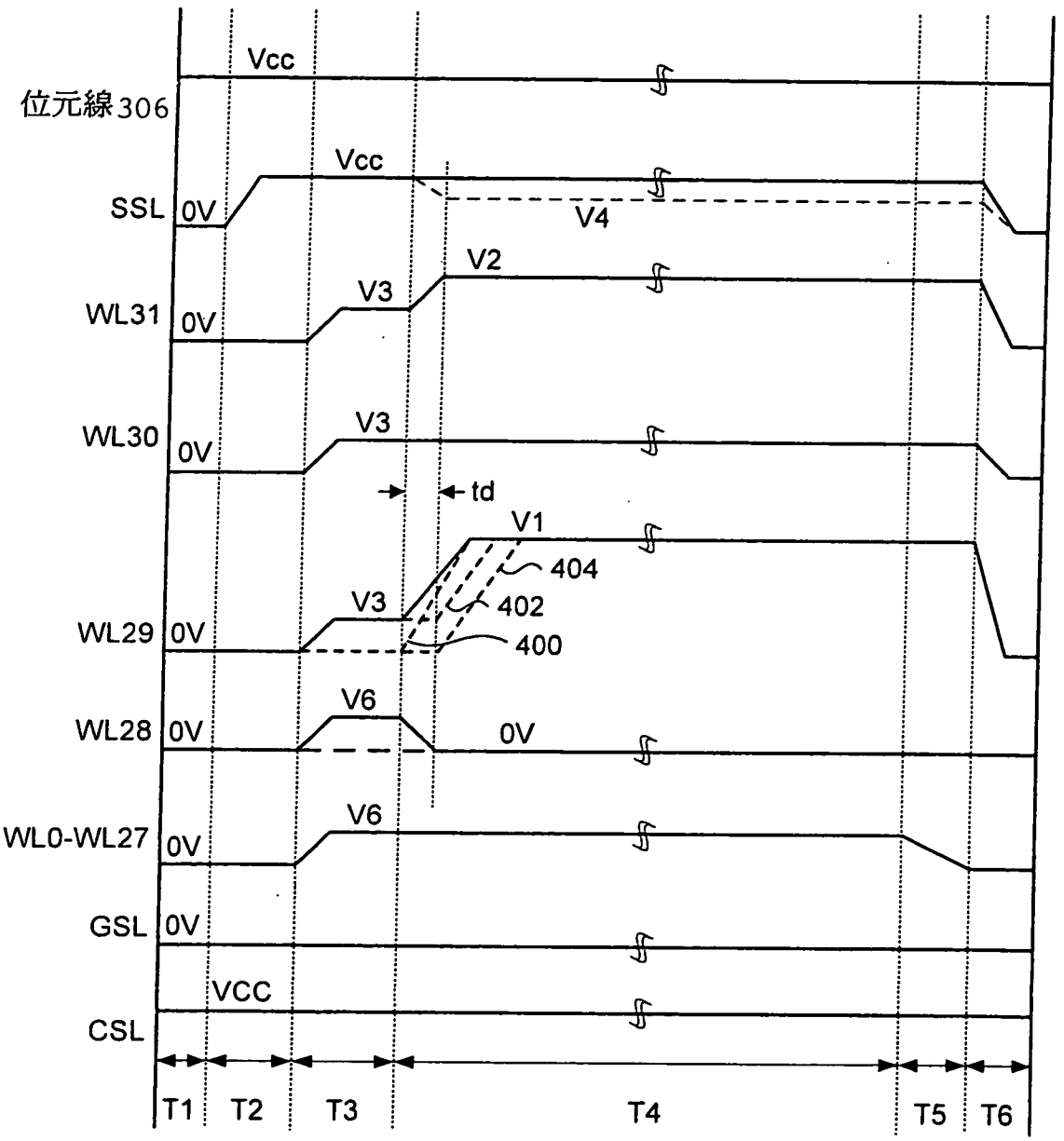

300
306
BL=VCC
SSL=VCC
304
V2
V3
0V
WL31
V3
0V
WL30
V1
V3
0V
WL29
0V
0V
WL28
302
V6
0V
WL1
V6
0V
WL0
308
GSL=0V
CSL=0V or VCC
310
PP-井
N-井
P-基板

圖16


位元線306
Vcc
SSL
0V
Vcc
V4
WL31
0V
V3
V2
WL30
0V
V3
td
V1
404
WL29
0V
V3
402
400
WL28
0V
V6
0V
WL0-WL27
0V
V6
GSL
0V
CSL
VCC
T1
T2
T3
T4
T5
T6