



(12) 发明专利

(10) 授权公告号 CN 102651345 B

(45) 授权公告日 2014.01.08

(21) 申请号 201110045413.8

US 5904558 A, 1999.05.18, 全文.

(22) 申请日 2011.02.24

US 6869857 B2, 2005.03.22, 全文.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

CN 1423319 A, 2003.06.11, 全文.

地址 201203 上海市浦东新区张江路 18 号

审查员 王亮

(72) 发明人 邵群 洪中山

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/8234 (2006.01)

H01L 21/336 (2006.01)

(56) 对比文件

US 5429974 A, 1995.07.04, 全文.

JP 特开平 9-223737 A, 1997.08.26, 全文.

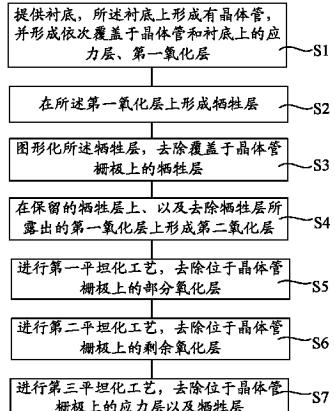
权利要求书1页 说明书5页 附图7页

(54) 发明名称

晶体管的制造方法

(57) 摘要

一种晶体管的制造方法，包括：提供衬底，所述衬底上形成有晶体管，所述晶体管包括位于衬底上的栅极，并形成依次覆盖于晶体管和衬底上的应力层、第一氧化层；在所述第一氧化层上形成牺牲层；图形化所述牺牲层，去除覆盖于晶体管栅极上的牺牲层；在保留的牺牲层上、以及去除牺牲层所露出的第一氧化层上形成第二氧化层；进行第一平坦化工艺，去除位于晶体管栅极上的部分氧化层；进行第二平坦化工艺，去除位于晶体管栅极上的剩余氧化层；进行第三平坦化工艺，去除位于晶体管栅极上的应力层；其中，图形化之后，所述保留的牺牲层的上表面与栅极上的应力层的上表面接近，并且牺牲层的下表面与栅极的上表面接近。本发明制造方法可减小獠牙效应。



1. 一种晶体管的制造方法,其特征在于,包括:提供衬底,所述衬底上形成有晶体管,所述晶体管包括位于衬底上的栅极,并形成依次覆盖于晶体管和衬底上的应力层、第一氧化层;在所述第一氧化层上形成牺牲层;图形化所述牺牲层,去除覆盖于晶体管栅极上的牺牲层;在保留的牺牲层上、以及去除牺牲层所露出的第一氧化层上形成第二氧化层;进行第一平坦化工艺,去除位于晶体管栅极上的部分氧化层;进行第二平坦化工艺,去除位于晶体管栅极上的剩余氧化层;进行第三平坦化工艺,去除位于晶体管栅极上的应力层;其中,图形化之后,所述保留的牺牲层的上表面与栅极上的应力层的上表面接近,并且牺牲层的下表面与栅极的上表面接近。

2. 如权利要求1所述的晶体管的制造方法,其特征在于,所述第三平坦化工艺中,对牺牲层和应力层的选择比在0.9~1.1的范围内。

3. 如权利要求2所述的晶体管的制造方法,其特征在于,所述牺牲层和应力层的材料相同。

4. 如权利要求3所述的晶体管的制造方法,其特征在于,所述牺牲层和应力层均为氮化硅。

5. 如权利要求1所述的晶体管的制造方法,其特征在于,第一氧化层的厚度,在栅极高度与应力层厚度差值的0.7~1.3倍范围内。

6. 如权利要求5所述的晶体管的制造方法,其特征在于,牺牲层下表面与栅极的上表面齐平,第一氧化层的厚度等于栅极高度与应力层厚度之差。

7. 如权利要求1所述的晶体管的制造方法,其特征在于,牺牲层的厚度在栅极与第一氧化层厚度差值的0.7~1.3倍范围内。

8. 如权利要求7所述的晶体管的制造方法,其特征在于,牺牲层上表面与应力层的上表面齐平,牺牲层的厚度等于栅极高度与第一氧化层厚度之差。

9. 如权利要求1所述的晶体管的制造方法,其特征在于,所述牺牲层覆盖于栅极间距离大于1微米的区域中。

10. 如权利要求7所述的晶体管的制造方法,其特征在于,牺牲层的厚度在200~800Å的范围内。

11. 如权利要求1所述的晶体管的制造方法,其特征在于,所述进行第二平坦化工艺的步骤包括:以应力层为停止层。

12. 如权利要求1所述的晶体管的制造方法,其特征在于,所述进行第三平坦化工艺的步骤包括:以晶体管的栅极为停止层。

13. 如权利要求1~12任意一权利要求所述的晶体管的制造方法,其特征在于,所述第一平坦化工艺、第二平坦化工艺、第三平坦化工艺均为CMP。

晶体管的制造方法

技术领域

[0001] 本发明涉及半导体制造领域，尤其涉及一种晶体管的制造方法。

背景技术

[0002] 随着半导体制造技术的飞速发展，半导体器件为了达到更快的运算速度、更大的资料存储量以及更多的功能，半导体芯片向更高集成度方向发展。而半导体芯片的集成度越高，半导体器件的特征尺寸 (CD, Critical Dimension) 越小。目前，超大规模集成电路中，特征尺寸已经进入到几十到几百纳米的范围。

[0003] 随着半导体器件特征尺寸的进一步减小，采用高 K 金属栅极的晶体管为主流技术，参考图 1 ~ 参考图 4 示出了现有技术晶体管高 K 金属栅极制造方法一实施例的示意图。

[0004] 首先，请参考图 1，在衬底 10 上形成多个晶体管，所述晶体管包括栅极 14，包围所述栅极 14 的侧墙 15，所述栅极 14 采用多晶硅材料，在所述栅极 14 和侧墙 15，以及晶体管未覆盖的衬底 10 上依次形成应力层 11、第一氧化硅层 12 和第二氧化硅层 13，其中，应力层的材料为氮化硅，第一氧化硅层 12 通过高深宽比高纵深比填沟 (High Aspect Ratio Polymer, HARP) 工艺形成，由于通过 HARP 工艺形成氧化硅具有良好的填充特性，而由于 HARP 工艺所形成的第一氧化硅层 12 后续不会经过退火工艺，因此 HARP 工艺所形成的第一氧化硅层 12 比较软；所述第二氧化硅层 13 通过正硅酸乙酯 (TEOS) 方式形成。

[0005] 请参考图 2，通过第一 CMP 工艺去除体氧化硅 (Bulk OX) 部分，本实施例中，所述第一 CMP 工艺去除了部分第二氧化硅层 13。

[0006] 继续参考图 3，通过第二 CMP 工艺去除栅极 14 以及侧墙 15 上的氧化硅，具体地，所述第二 CMP 工艺去除了第二氧化硅 13 和部分第一氧化硅层 12，所述第二 CMP 工艺以应力层 11 为停止层，经过第二 CMP 工艺之后，氮化硅应力层 11 表面的氧化硅层被去除干净。

[0007] 继续参考图 4，通过第三 CMP 工艺去除栅极 14 上的氮化硅，在第三 CMP 工艺中，研磨剂 (slurry) 会在栅极 14 的周围形成颗粒聚集，而又由于栅极 14 周围的第一氧化硅层 12 的材质较软，很容易在第三 CMP 过程中被磨损，因此在栅极 14 周围形成了凹陷 17，所述凹陷 17 会影响后续制程，例如：后续会对 AL 进行 CMP 工艺，在 CMP 工艺中，铝材料会残留在凹陷 17 中等等。这种在第三 CMP 工艺中，在栅极 14 周围形成凹陷的现象在业界被称为“獠牙效应” (Fang Issue)。

[0008] 在公开号为 CN101393894A 的中国专利申请中可以发现更多关于现有的 MOS 晶体管的制作方法。

[0009] 而如何解决“Fang Issue”成为本领域技术人员亟待解决的问题。

发明内容

[0010] 本发明解决的问题是提供一种晶体管的制造方法，减小“Fang Issue”的影响。为解决上述问题，本发明提供一种晶体管的制造方法，包括：提供衬底，所述衬底上形成有晶体管，所述晶体管包括位于衬底上的栅极，并形成依次覆盖于晶体管和衬底上的应力层、第

一氧化层；在所述第一氧化层上形成牺牲层；图形化所述牺牲层，去除覆盖于晶体管栅极上的牺牲层；在保留的牺牲层上、以及去除牺牲层所露出的第一氧化层上形成第二氧化层；进行第一平坦化工艺，去除位于晶体管栅极上的部分氧化层；进行第二平坦化工艺，去除位于晶体管栅极上的剩余氧化层；进行第三平坦化工艺，去除位于晶体管栅极上的应力层；其中，图形化之后，所述保留的牺牲层的上表面与栅极上的应力层的上表面接近，并且牺牲层的下表面与栅极的上表面接近。

- [0011] 所述第三平坦化工艺中，对牺牲层和应力层的选择比在 0.9 ~ 1.1 的范围内。
- [0012] 所述牺牲层和应力层的材料相同。
- [0013] 所述牺牲层和应力层均为氮化硅。
- [0014] 第一氧化层的厚度，在栅极高度与应力层厚度差值的 0.7 ~ 1.3 倍范围内。
- [0015] 牺牲层下表面与栅极的上表面齐平，第一氧化层的厚度等于栅极高度与应力层厚度之差。
- [0016] 牺牲层的厚度在栅极与第一氧化层厚度差值的 0.7 ~ 1.3 倍范围内。
- [0017] 牺牲层上表面与应力层的上表面齐平，牺牲层的厚度等于栅极高度与第一氧化层厚度之差。
- [0018] 所述牺牲层覆盖于栅极间距离大于 1 微米的区域中。
- [0019] 牺牲层的厚度在 200~800 Å 的范围内。
- [0020] 所述进行第二平坦化工艺的步骤包括：以应力层为停止层。
- [0021] 所述进行第三平坦化工艺的步骤包括：以晶体管的栅极为停止层。
- [0022] 所述第一平坦化工艺、第二平坦化工艺、第三平坦化工艺均为 CMP。
- [0023] 与现有技术相比，本发明具有以下优点：在第三平坦化工艺中，平坦化表面包括晶体管之间的牺牲层、位于晶体管上的应力层，所述牺牲层可以避免 slurry 颗粒在栅极周围的聚集；牺牲层和应力层的材料相同（或者选择比较为接近），不会在栅极 104 的周围产生凹陷，从而减小了“Fang Issue”，进而提高了所形成的晶体管的性能。

附图说明

- [0024] 图 1 ~ 图 4 是现有技术的晶体管的制作方法剖面结构示意图；
- [0025] 图 5 是本发明的晶体管制造方法一实施方式的流程示意图；
- [0026] 图 6 ~ 图 13 是本发明晶体管制造方法一实施例所形成的晶体管的剖面结构示意图。

具体实施方式

[0027] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0028] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，因此本发明不受下面公开的具体实施例的限制。

[0029] 如背景技术所描述的，现有技术晶体管的制造方法会在栅极周围形成凹陷，从而造成晶体管性能的下降。针对上述问题，本发明的发明人提出了一种晶体管的制造方法，请

参考图 5 所示的本发明的晶体管制造方法一实施方式的流程示意图。所述方法包括：

[0030] 步骤 S1, 提供衬底, 所述衬底上形成有晶体管, 并形成依次覆盖于晶体管和衬底上的应力层、第一氧化层；

[0031] 步骤 S2, 在所述第一氧化层上形成牺牲层；

[0032] 步骤 S3, 图形化所述牺牲层, 去除覆盖于晶体管栅极上的牺牲层；

[0033] 步骤 S4, 在保留的牺牲层上、以及去除牺牲层所露出的第一氧化层上形成第二氧化层；

[0034] 步骤 S5, 进行第一平坦化工艺, 去除位于晶体管栅极上的部分氧化层；

[0035] 步骤 S6, 进行第二平坦化工艺, 去除位于晶体管栅极上的剩余氧化层；

[0036] 步骤 S7, 进行第三平坦化工艺, 去除位于晶体管栅极上的应力层以及牺牲层。

[0037] 下面结合具体的实施例对本发明的技术方案进行详细的说明。为了更好地说明本发明的技术方案, 请参考图 6 ~ 图 13 所示的本发明一个实施例的晶体管制造方法剖面结构示意图。

[0038] 参考图 6, 执行步骤 S1, 提供衬底 100, 所述衬底 100 可以是单晶硅或硅锗; 也可以是绝缘体上硅 (Silicon on insulator, SOI); 或者还可以包括其它的材料, 例如: 砷化镓等 III-V 族化合物。

[0039] 所述衬底 100 上形成多个 MOS 晶体管, 本实施例中, 所述半导体器件包括 MOS 晶体管疏松区 A 和 MOS 晶体管密集区 B, 所述 MOS 晶体管疏松区 A 中 MOS 管之间的间距大于 1 微米, 而 MOS 晶体管密集区 B 中 MOS 管之间的间距小于或等于 1 微米。

[0040] 所述 MOS 晶体管包括依次位于衬底 100 上的栅极 104, 包围所述栅极 104 上的侧墙 105, 形成于栅极 104 两侧衬底 100 上的源区 (漏区), 在衬底 100 上形成 MOS 管的使用的材料和工艺与现有技术相同, 在此不再赘述。

[0041] 在所述 MOS 晶体管上依次形成应力层 101、第一氧化层 102, 其中应力层 101 的材料为氮化硅, 第一氧化层 102 的材料为氧化硅, 所述第一氧化层 102 通过 HARP 工艺形成, 以实现良好的填充特性。

[0042] 需要说明的是, 在后续工艺中, 会在第一氧化层 102 上形成牺牲层, 为了使所述牺牲层在后续的第三平坦化工艺中可以起到阻挡 slurry 在栅极 104 周边聚集的作用, 在晶体管之间的牺牲层下表面需和栅极上表面较为接近, 而由于所述第一氧化层 102 的上表面为后续所形成牺牲层的下表面, 因此第一氧化层 102 的厚度决定了牺牲层的位置。

[0043] 具体地, 第一氧化层 102 的厚度需满足以下条件, 即, 在栅极 104 高度与应力层 101 厚度差值的 0.7 ~ 1.3 倍的范围内, 从而使填充于各 MOS 晶体管之间的第一氧化层 102 的上表面和栅极 104 的上表面较为接近, 进而可以使牺牲层的下表面和栅极 104 的上表面靠近。

[0044] 较佳地, 所述位于栅极 104 之间的第一氧化层 102 的上表面和栅极 104 的上表面齐平, 也就是, 第一氧化层的厚度等于栅极高度与应力层厚度的差。例如, 所述栅极 104 的高度在 500~900 Å 的范围内, 应力层的厚度在 250~350 Å 的范围内, 相应地, 所述第一氧化层 102 的厚度为 150~650 Å 的范围内。

[0045] 参考图 7, 执行步骤 S2, 在第一氧化层 102 上覆盖牺牲层 103, 较佳地, 所述牺牲层 103 的材料和应力层 101 的材料相同, 或者, 选择在第三平坦化工艺中对牺牲层 103 和应力

层 101 的选择比在 0.9 ~ 1.1 的牺牲层材料。本实施例中,所述牺牲层 103 和应力层 101 的材料均为氮化硅。

[0046] 需要说明的,如果所述牺牲层 103 过厚,一方面会造成材料的浪费,另一方面会增加后续去除部分牺牲层 103 的难度,但是如果所述牺牲层 103 厚度过小,在后续第三平坦化工一种,不能起到阻挡 slurry 在栅极 104 周边聚集的作用。因此,位于栅极 104 之间的所述牺牲层 103 的上表面须与位于栅极 104 上的应力层 101 的上表面接近,具体地,所述牺牲层 103 的厚度需满足以下条件:在栅极 104 与第一氧化层 102 差的 0.7 ~ 1.3 倍的范围内,优选地,所述牺牲层 103 的厚度等于栅极 104 高度和第一氧化层 102 厚度的差。

[0047] 具体地,所述用作牺牲层 103 的氮化硅的厚度在 200~800 Å 的范围内,可以通过化学气相沉积 (Chemical Vapor Deposition, CVD) 的方法形成所述氮化硅。

[0048] 需要说明的是,由于 MOS 晶体管密集区 B 中晶体管之间距离小于 1 微米,第一层氧化层 102 形成以后,密集区 B 的栅极之间的空隙将会被封口 (如图 7 所示),牺牲层 103 的材料无法填充到 MOS 晶体管密集区 B 中晶体管之间,因此在 MOS 晶体管密集区 B 中,牺牲层 103 仅覆盖在晶体管的上方,在晶体管之间并不具有牺牲层材料。

[0049] 执行步骤 S3,所述图形化所述牺牲层,去除覆盖于晶体管栅极上的牺牲层的步骤包括以下分步骤:

[0050] 在牺牲层上覆盖光刻胶;

[0051] 图形化所述光刻胶,形成光刻胶图形;

[0052] 以所述光刻胶图形为掩模进行蚀刻,去除覆盖于晶体管栅极上的牺牲层。

[0053] 请参考图 8,在图形化光刻胶之后形成光刻胶图形 106,所述光刻胶图形 106 覆盖于栅极间大于 1 微米的空隙区域内,具体地,所述光刻胶图形 106 覆盖在 MOS 晶体管疏松区 A 中晶体管之间的衬底 100 的上方,由于 MOS 晶体管密集区 B 中晶体管之间距离小于 1 微米,因此光刻胶图形 106 并未覆盖在 MOS 晶体管密集区 B 中。

[0054] 请继续参考图 9,以所述光刻胶图形 106 为掩模,对牺牲层 103 进行蚀刻,去除牺牲层 103 位于晶体管栅极上方的部分,而保留位于晶体管栅极 104 之间的牺牲层 103。去除位于晶体管栅极上方的牺牲层 103 之后,停止在位于晶体管栅极上方的第一氧化层 102 上。具体地,所述对牺牲层 103 进行蚀刻的方法包括干刻或湿刻。

[0055] 参考图 10,执行步骤 S4,在保留的牺牲层 103 上、去除牺牲层 103 所露出的晶体管栅极上方的第一氧化层 102 上形成第二氧化层 107,所述第二氧化层 107 的材料为氧化硅,具体地。通过 TEOS 形成所述氧化硅。

[0056] 参考图 11,执行步骤 S5,进行第一平坦化工艺,去除位于晶体管栅极 104 上的部分第二氧化层 107,直至露出晶体管栅极 104 上的第一氧化层 102;所述第一平坦化工艺为 CMP, CMP 采用的 slurry 和其他工艺条件与现有技术相同,在此不再赘述。

[0057] 参考图 12,执行步骤 S6,进行第二平坦化工艺,去除位于晶体管栅极 104 上的第一氧化层 102 以及位于牺牲层 103 上的第二氧化层 107;具体地,所述第二平坦化工艺为 CMP,所述第二平坦化工艺以应力层 101 以及晶体管栅极 104 之间的牺牲层 103 为停止层,例如,所述第一氧化层 102 和第二氧化层 107 的材料为氧化硅,而牺牲层的材料为氮化硅,那么,在所述第二平坦化工艺的 CMP 过程中,slurry 对氧化硅的选择比大于氮化硅。

[0058] 参考图 13,执行步骤 S7,进行第三平坦化工艺,去除位于晶体管栅极 104 上的应力

层 101、以及位于栅极 104 之间的牺牲层 103；具体地，所述第三平坦化工艺为 CMP，所述第三平坦化工艺以栅极 104 为停止层，所述第三平坦化工艺中的 slurry 对应力层 101 和牺牲层 103 的选择比大于栅极。

[0059] 需要说明的是，由于牺牲层 103 的上表面与应力层 101 的上表面接近，并且牺牲层 103 的下表面与栅极 104 的上表面接近，因此在 CMP 中，研磨表面包括晶体管之间的牺牲层 103、位于晶体管上的应力层 101，这与现有技术中研磨表面包括晶体管之间的第一氧化层和应力层并不相同，所述牺牲层 103 可以避免 slurry 颗粒在栅极 104 周围的聚集，同时，由于牺牲层 103 和应力层 101 的材料相同（或者选择比较为接近），因此不会在栅极 104 的周围产生凹陷，从而减小了“Fang Issue”，进而提高了所形成的晶体管的性能。

[0060] 本发明晶体管制造方法还包括后续形成高 K 金属栅极等的步骤，与现有技术相同，在此不再赘述。

[0061] 本发明虽然已以较佳实施例公开如上，但其并不是用来限定本发明，任何本领域技术人员在不脱离本发明的精神和范围内，都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改，因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本发明技术方案的保护范围。

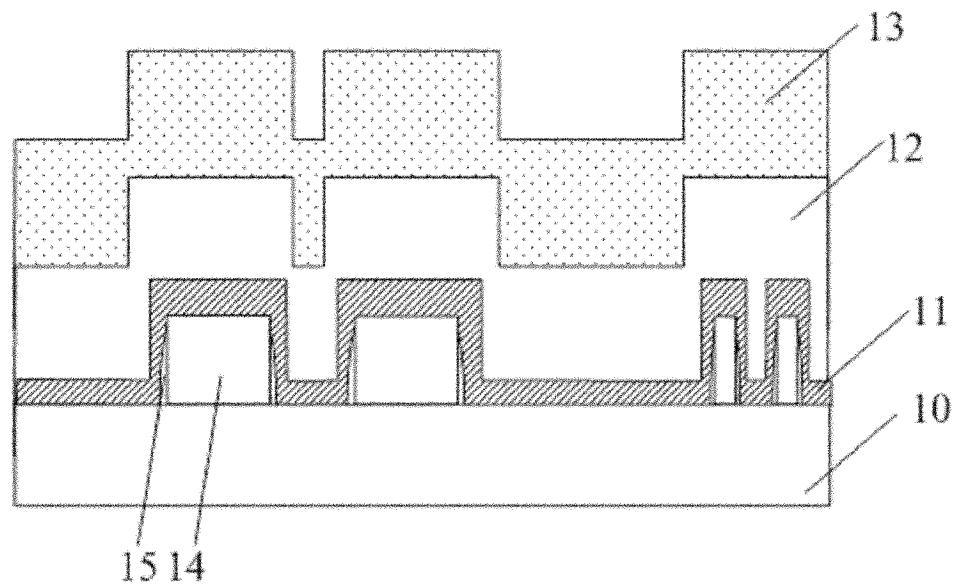


图 1

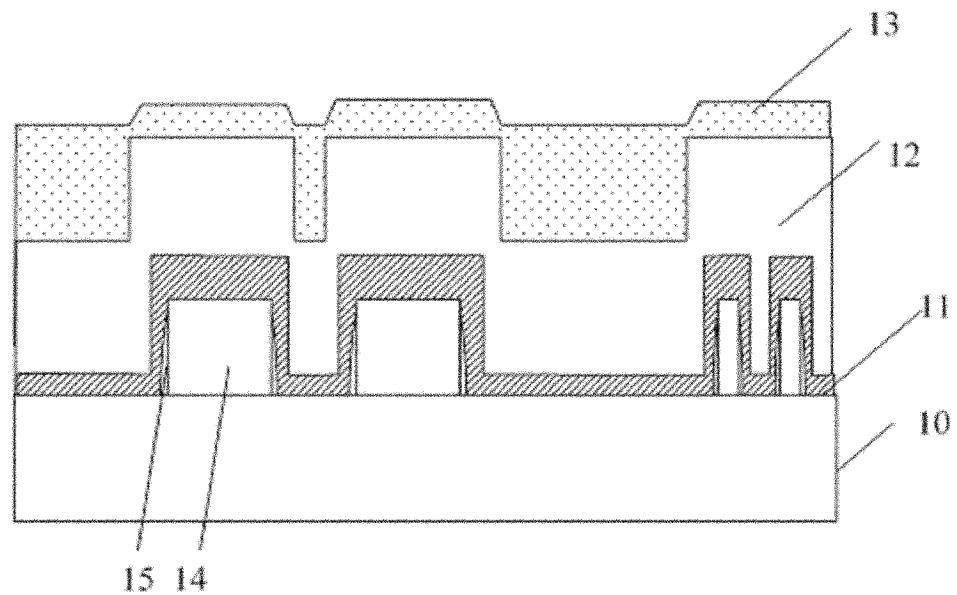


图 2

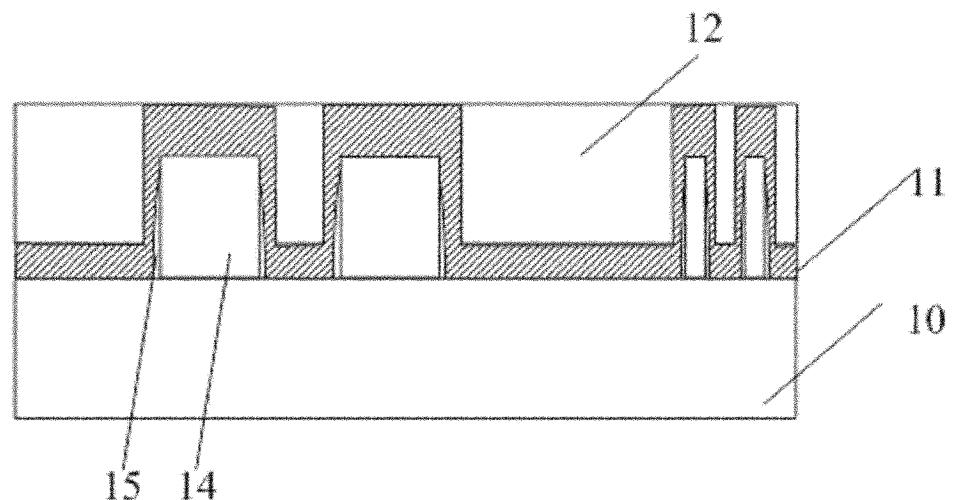


图 3

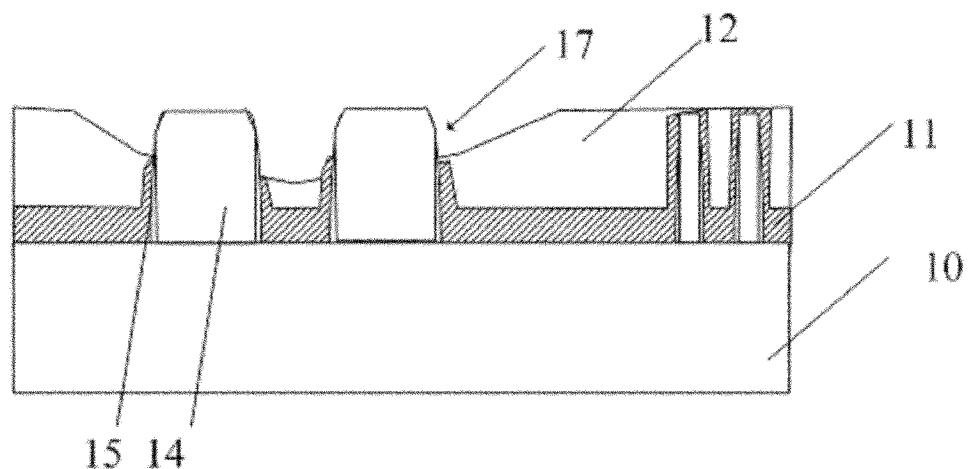


图 4

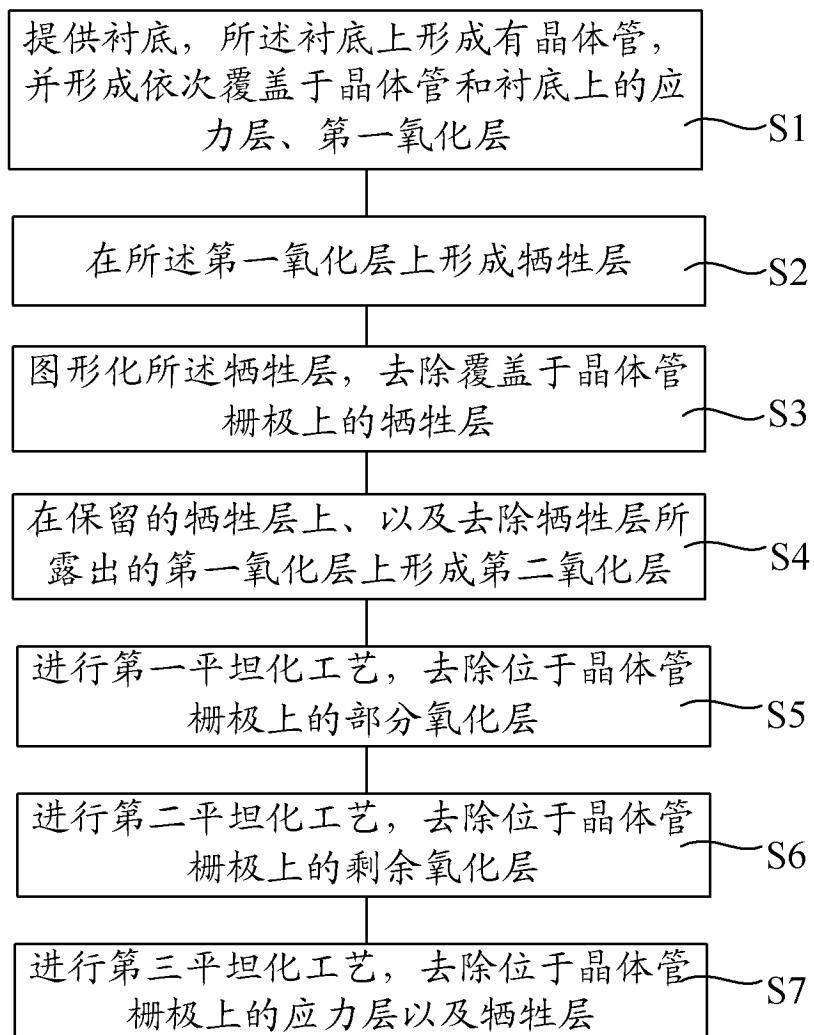


图 5

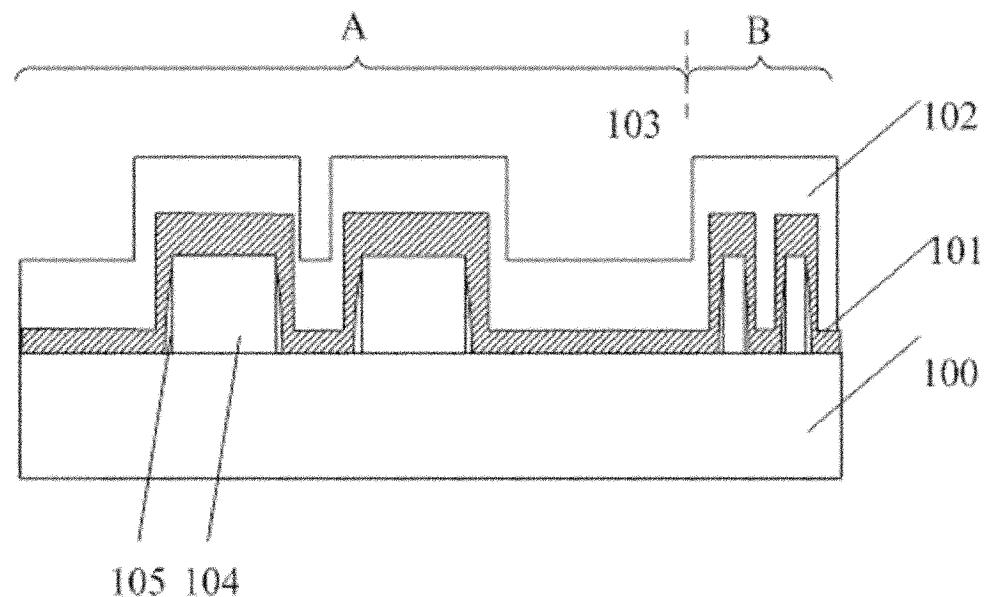


图 6

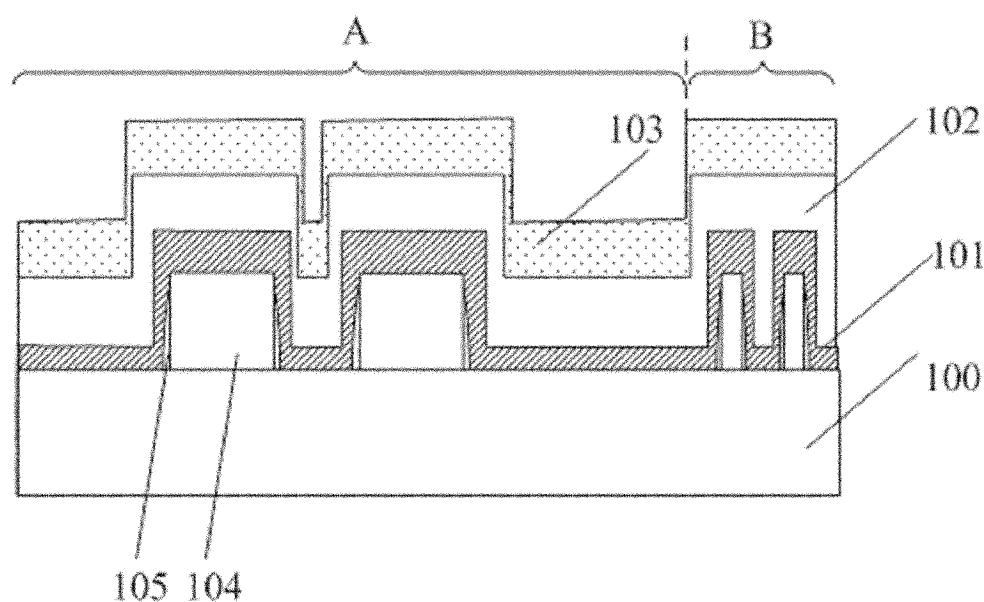


图 7

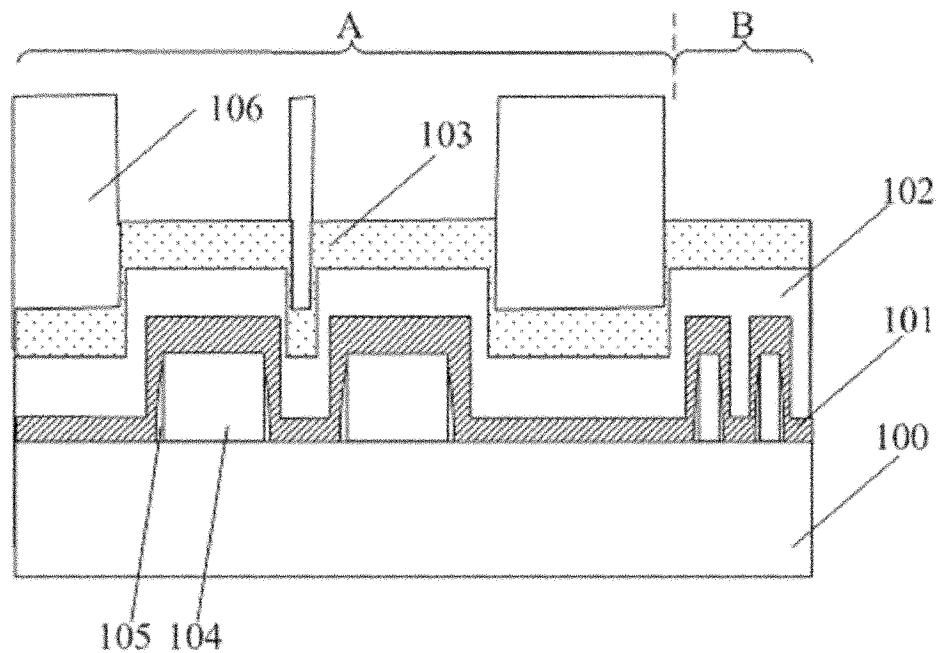


图 8

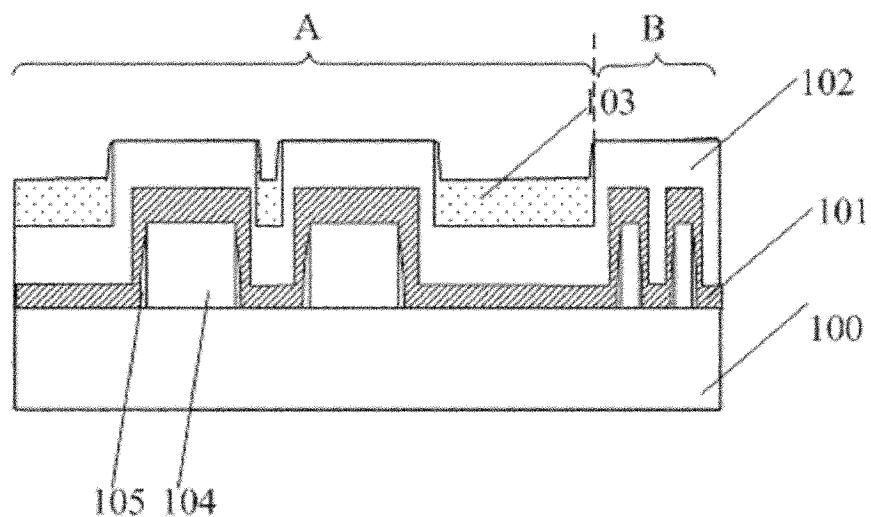


图 9

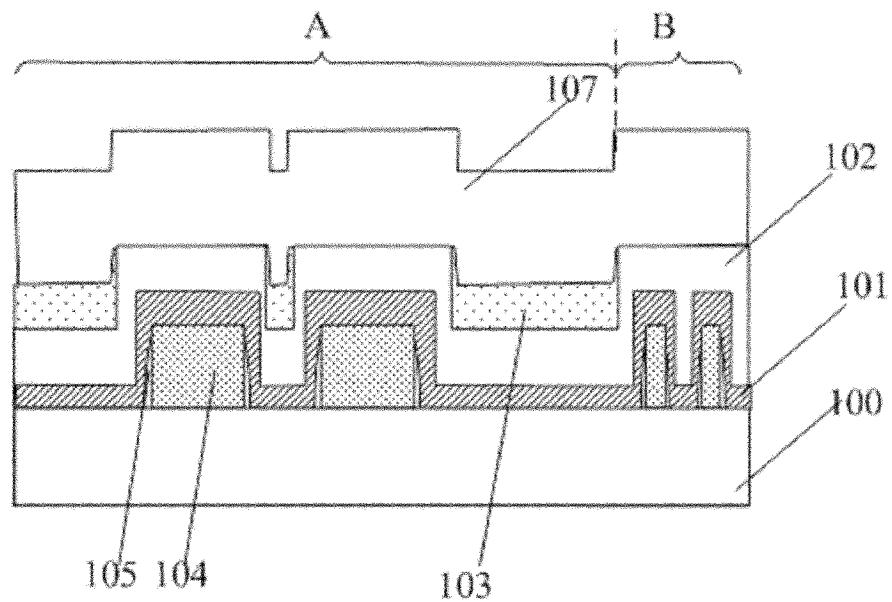


图 10

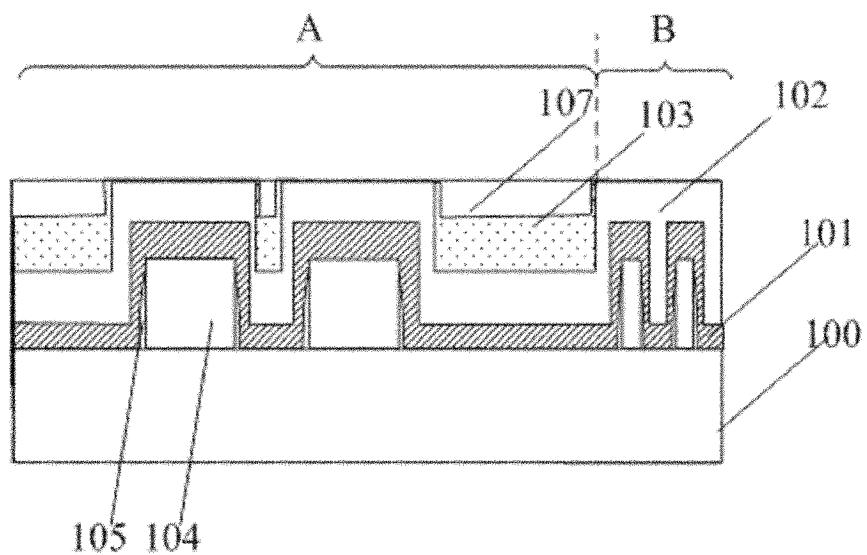


图 11

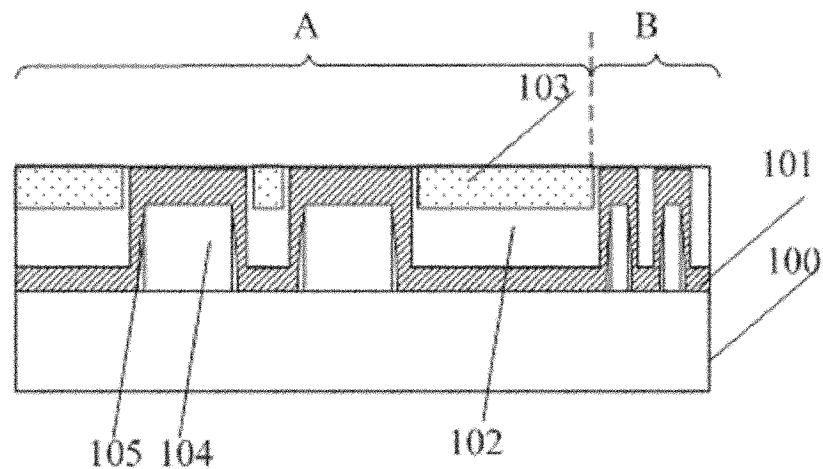


图 12

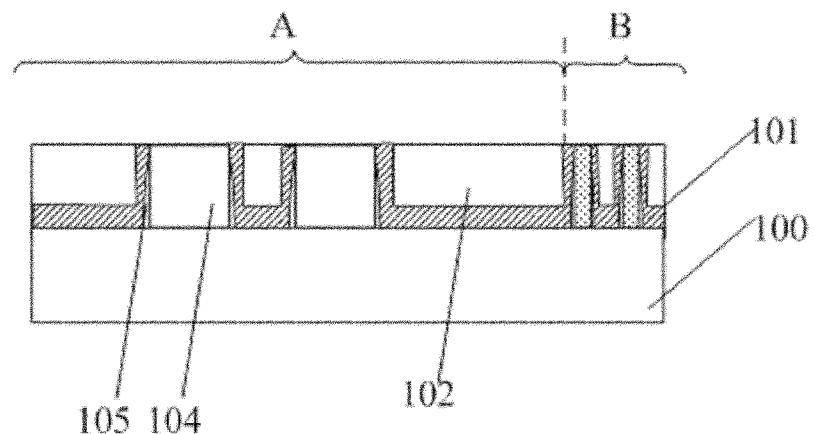


图 13