



(12) 发明专利申请

(10) 申请公布号 CN 102403183 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201110287142. 7

H01L 21/3065(2006. 01)

(22) 申请日 2011. 09. 15

H01L 21/311(2006. 01)

(30) 优先权数据

2010-206536 2010. 09. 15 JP

(71) 申请人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 野泽俊久 佐佐木胜 桥本润

吉村正太 小津俊久 西塚哲也

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

(51) Int. Cl.

H01J 37/32(2006. 01)

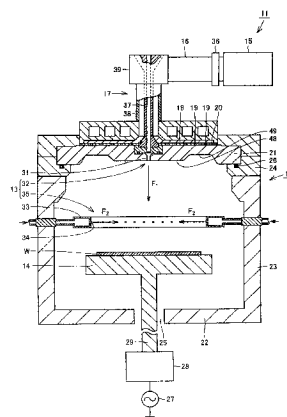
权利要求书 2 页 说明书 18 页 附图 13 页

(54) 发明名称

等离子体蚀刻处理装置及其方法和半导体元件制造方法

(57) 摘要

本发明提供能够更精确地蚀刻成所希望的形状的等离子体蚀刻处理装置及其方法和半导体元件制造方法。等离子体蚀刻处理装置 11 包括:在内部对被处理基板进行蚀等离子体处理的处理容器 12;向处理容器 12 内供给等离子体处理用的气体的气体供给部 13;配置在处理容器 12 内,在其上支承被处理基板 W 的支承台 14;产生等离子体激励用的微波的微波发生器 15;使用由微波发生器 15 产生的微波,在处理容器 12 内产生等离子体的等离子体发生单元;调整处理容器 12 内的压力的压力调整单元;向支承台 14 供给交流偏置电力的偏置电力供给单元;以交替反复地进行停止和供给的方式控制偏置电力供给单元的交流偏置电力的控制单元。



1. 一种等离子体蚀刻处理装置,通过所产生的等离子体对被处理基板进行蚀刻处理,所述等离子体蚀刻处理装置的特征在于,包括:

在内部对被处理基板进行等离子体处理的处理容器;

向所述处理容器内供给等离子体处理用的气体的气体供给部;

支承台,所述支承台配置在所述处理容器内,在该支承台上支承所述被处理基板;

产生等离子体激励用的微波的微波发生器;

等离子体发生单元,其使用由所述微波发生器产生的微波,在所述处理容器内产生等离子体;

调整所述处理容器内的压力的压力调整单元;

对所述支承台供给交流偏置电力的偏置电力供给单元;和

控制单元,以交替反复地进行停止和供给的方式控制所述偏置电力供给单元的交流偏置电力。

2. 根据权利要求1所述的等离子体蚀刻处理装置,其特征在于:

所述控制单元,以使占空比高于0.5低于1.0的方式,控制由所述偏置电力供给单元进行的偏置电力的供给,所述占空比是所述偏置电力供给单元的交流偏置电力的供给时间(a)相对于将所述供给时间(a)与停止时间相加所得到的时间(b)的比(a/b)。

3. 根据权利要求1所述的等离子体蚀刻处理装置,其特征在于:

所述等离子体处理用的气体包括含有氧原子的气体,

所述气体供给部,以使所述含有氧原子的气体相对于所述等离子体处理用的全部气体的浓度为0.05%以上5%以下的方式,供给所述等离子体处理用的气体。

4. 根据权利要求1~3中任一项所述的等离子体蚀刻处理装置,其特征在于:

由所述偏置电力供给单元供给的偏置电力的频率为10Hz以上30Hz以下。

5. 根据权利要求1~3中任一项所述的等离子体蚀刻处理装置,其特征在于:

由所述偏置电力供给单元供给的偏置电力的能量为200eV以下。

6. 根据权利要求1~3中任一项所述的等离子体蚀刻处理装置,其特征在于:

所述压力调整单元将所述处理容器内的压力调整为10mTorr以上200mTorr以下。

7. 根据权利要求1~3中任一项所述的等离子体蚀刻处理装置,其特征在于:

所述等离子体发生单元包括:使微波向所述处理容器内透过的电介质板;和缝隙天线板,所述缝隙天线板设置有多个缝隙孔,配置在所述电介质板的上方侧,将微波向所述电介质板发射。

8. 根据权利要求1所述的等离子体蚀刻处理装置,其特征在于:

所述控制单元,以使占空比高于0.18低于0.75的方式,控制由所述偏置电力供给单元进行的偏置电力的供给,所述占空比是所述偏置电力供给单元的交流偏置电力的供给时间(a)相对于将所述供给时间(a)与停止时间相加所得到的时间(b)的比(a/b)。

9. 一种等离子体蚀刻处理方法,其特征在于:使用等离子体蚀刻处理装置,通过所产生的等离子体对被处理基板进行蚀刻处理,所述等离子体蚀刻处理装置包括:在内部对被处理基板进行等离子体处理的处理容器;向所述处理容器内供给等离子体处理用的气体的气体供给部;支承台,所述支承台配置在所述处理容器内,在该支承台上支承所述被处理基板;产生等离子体激励用的微波的微波发生器;等离子体发生单元,其使用由所述微波发

生器产生的微波,在所述处理容器内产生等离子体;和调整所述处理容器内的压力的压力调整单元,

以交替反复地进行停止和供给的方式控制所述偏置电力供给单元的交流偏置电力,将交流偏置电力供给到所述支承台,对所述被处理基板进行蚀刻处理。

10. 一种半导体元件制造方法,所述半导体元件通过将在被支承于支承台上的硅基板上设置的氮化硅作为掩模进行等离子体蚀刻来制造,所述半导体元件制造方法的特征在于,包括:

在对所述硅基板进行蚀刻时,以使含有氧原子的气体相对于等离子体处理用的全部气体的浓度为 0.05% 以上 5% 以下的方式,供给所述等离子体处理用的气体的工序;和

以使占空比高于 0.5 低于 1.0 的方式,控制向所述支承台供给的偏置电力的工序,所述占空比为交流偏置电力的供给时间 (a) 相对于将所述供给时间 (a) 与停止时间相加所得到的时间 (b) 的比 (a/b)。

11. 一种等离子体蚀刻方法,对于被支承在支承台上的被处理基板,通过所产生的等离子体对被处理基板进行等离子体蚀刻处理,所述等离子体蚀刻方法的特征在于,包括:

向处理容器内供给蚀刻气体和具有将反应副生成物自由基氧化并改性的作用的气体,来生成等离子体的工序;

通过蚀刻切削所述被处理基板的工序;

将堆积的反应副生成物自由基氧化并改性的工序;和

通过调整被施加于支承所述被处理基板的支承台的偏置电力中的占空比和所述偏置电力的频率,来控制所述反应副生成物的堆积量的工序,所述占空比为交流偏置电力的供给时间 (a) 相对于将所述供给时间 (a) 与停止时间相加所得到的时间 (b) 的比 (a/b)。

等离子体蚀刻处理装置及其方法和半导体元件制造方法

技术领域

[0001] 本发明涉及等离子体蚀刻处理装置、等离子体蚀刻处理方法和半导体元件制造方法,特别是,涉及对被处理基板进行蚀刻处理的等离子体蚀刻处理装置、使用这种等离子体蚀刻处理装置的等离子体蚀刻处理方法和对被处理基板进行蚀刻处理来制造的半导体元件制造方法。

背景技术

[0002] LSI(Large Scale Integrated circuit,大规模集成电路)或MOS(Metal Oxide Semiconductor,金属氧化物半导体)晶体管等半导体元件,通过对作为被处理基板的半导体基板(晶片)实施蚀刻或CVD(Chemical Vapor Deposition,化学气相沉积)、溅射等处理来制造。就蚀刻或CVD、溅射等处理而言,存在使用等离子体作为其能量供给源的处理方法,即,等离子体蚀刻或等离子体CVD、等离子体溅射等。

[0003] 这里,在日本特开 2008-53516 号公报(专利文献 1)中,公开了在蚀刻时,能够使形成的槽部和孔部的各底部实质上同时到达蚀刻阻挡膜(etching stopper)的蚀刻方法的技术。

[0004] 现有技术文献

[0005] 专利文献

[0006] 【专利文献 1】日本特开 2008-53516 号公报

发明内容

[0007] 发明要解决的课题

[0008] 对使用专利文献 1 中公开的装置,对被处理基板进行蚀刻的情况进行简单说明。首先,在作为被处理基板的硅基板上,例如在形成抗蚀剂掩模(resist mask)之后,形成截面呈矩形的作为硬掩模(hard mask)的掩模层。然后,使形成有掩模层的被处理基板支承在等离子体蚀刻处理装置内的支承台上。然后,在规定的压力环境下,向处理容器内供给等离子体处理用的气体,通过利用微波等产生的等离子体进行蚀刻。这样,得到所希望的形状,例如,未形成掩模层的部分以后成为作为绝缘层的较浅的槽的形状。

[0009] 这里,就被处理基板的蚀刻处理而言,可能产生如下所述的问题。即,在蚀刻处理时,理想的是所形成的截面呈矩形的掩模层保持其原来的形状不变,具体而言,形成矩形的角部和夹在角部之间的平坦部同样地在向下方向被切削的状态下残存。但是,例如在使用各向异性较高的蚀刻气体进行了蚀刻的情况下,有可能仅是掩模层的角部被积极地蚀刻。于是,作为其结果,在应当在掩模层间形成的槽形部分,通过蚀刻形成的槽的侧壁有可能成为锥形即形成倾斜。这种形状并不理想。

[0010] 本发明的目的在于提供能够更精确地蚀刻成所希望的形状的等离子体蚀刻处理装置。

[0011] 本发明的其他目的在于提供能够更精确地蚀刻成所希望的形状的等离子体蚀刻

处理方法。

[0012] 本发明的再一个目的在于提供能够更精确地蚀刻成所希望的形状的半导体元件制造方法。

[0013] 用于解决课题的方法

[0014] 本发明的等离子体蚀刻处理装置,通过所产生的等离子体对被处理基板进行蚀刻处理,上述等离子体蚀刻处理装置的特征在于,包括:在内部对被处理基板进行等离子体处理的处理容器;向上述处理容器内供给等离子体处理用的气体的气体供给部;支承台,上述支承台配置在上述处理容器内,在该支承台上支承上述被处理基板;产生等离子体激励用的微波的微波发生器;等离子体发生单元,其使用由上述微波发生器产生的微波,在上述处理容器内产生等离子体;调整上述处理容器内的压力的压力调整单元;对上述支承台供给交流偏置电力的偏置电力供给单元;和控制单元,以交替反复地进行停止和供给的方式控制上述偏置电力供给单元的交流偏置电力。

[0015] 根据本发明的其他方面,本发明的等离子体蚀刻处理方法,其特征在于:使用等离子体蚀刻处理装置,通过所产生的等离子体对被处理基板进行蚀刻处理,上述等离子体蚀刻处理装置包括:在内部对被处理基板进行等离子体处理的处理容器;向上述处理容器内供给等离子体处理用的气体的气体供给部;支承台,上述支承台配置在上述处理容器内,在该支承台上支承上述被处理基板;产生等离子体激励用的微波的微波发生器;等离子体发生单元,其使用由上述微波发生器产生的微波,在上述处理容器内产生等离子体;和调整上述处理容器内的压力的压力调整单元,以交替反复地进行停止和供给的方式控制上述偏置电力供给单元的交流偏置电力,将交流偏置电力供给到上述支承台,对上述被处理基板进行蚀刻处理。

[0016] 另外,根据本发明的另一个方面,上述半导体元件通过将在被支承于支承台上的硅基板上设置的氮化硅作为掩模进行等离子体蚀刻来制造,上述半导体元件制造方法的特征在于,包括:在对上述硅基板进行蚀刻时,以使含有氧原子的气体相对于等离子体处理用的全部气体的浓度为 0.05% 以上 5% 以下的方式,供给上述等离子体处理用的气体的工序;和以使占空比高于 0.5 低于 1.0 的方式,控制向上述支承台供给的偏置电力的工序,上述占空比为交流偏置电力的供给时间 (a) 相对于将上述供给时间 (a) 与停止时间相加所得到的时间 (b) 的比 (a/b)。

[0017] 另外,根据本发明的另一个方面,对于被支承在支承台上的被处理基板,通过所产生的等离子体对被处理基板进行等离子体蚀刻处理,上述等离子体蚀刻方法的特征在于,包括:向处理容器内供给蚀刻气体和具有将反应副生成物自由基氧化并改性的作用的气体,来生成等离子体的工序;通过蚀刻切削上述被处理基板的工序;将堆积的反应副生成物自由基氧化并改性的工序;和通过调整被施加于支承上述被处理基板的支承台的偏置电力中的占空比和上述偏置电力的频率,来控制上述反应副生成物的堆积量的工序,上述占空比为交流偏置电力的供给时间 (a) 相对于将上述供给时间 (a) 与停止时间相加所得到的时间 (b) 的比 (a/b)。

[0018] 发明的效果

[0019] 根据这样的等离子体蚀刻处理装置、等离子体蚀刻处理方法和半导体元件制造方法,在蚀刻处理时,能够更精确地蚀刻成所希望的形状。

附图说明

[0020] 图 1 是概略表示本发明的一个实施方式的等离子体蚀刻处理装置的结构概略截面图。

[0021] 图 2 是从板厚方向看到的本发明的一个实施方式的等离子体蚀刻处理装置所具备的缝隙天线 (slot antenna) 板的图。

[0022] 图 3 是表示在 STI (Shallow Trench Isolation, 浅槽隔离) 形成工序中, 形成有截面呈矩形的掩模层的被处理基板的一部分的概略截面图。

[0023] 图 4 是表示在 STI 形成工序中, 蚀刻处理中途的理想形状的被处理基板的一部分的概略截面图。

[0024] 图 5 是表示在 STI 形成工序中, 蚀刻处理结束后的理想形状的被处理基板的一部分的概略截面图。

[0025] 图 6 是表示在 STI 形成工序中, 蚀刻处理中途的侧壁是锥形的被处理基板的一部分的概略截面图。

[0026] 图 7 是表示在 STI 形成工序中, 蚀刻处理结束后的侧壁是锥形的被处理基板的一部分的概略截面图。

[0027] 图 8 是表示本发明的一个实施方式的 STI 形成工序中的等离子体蚀刻处理方法的代表性工序的流程图。

[0028] 图 9 是表示交流偏置 (偏置) 的接通断开状态的曲线图。

[0029] 图 10 是表示在 STI 形成工序中, 在蚀刻处理中途接通偏置的状态下的被处理基板的一部分的图像 (image) 的图。

[0030] 图 11 是表示在 STI 形成工序中, 在蚀刻处理中途断开偏置的状态下的被处理基板的一部分的图像的图。

[0031] 图 12 是关于 RIE (Reactive Ion Etching, 反应离子刻蚀) 延迟 (lag) 的等高线图。

[0032] 图 13 表示关于蚀刻的选择比的等高线图。

[0033] 图 14 是在占空比为 0.25 的情况下, 从横方向看到的通过蚀刻切削的区域的间隔较窄时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0034] 图 15 是在占空比为 0.25 的情况下, 从横方向看到的通过蚀刻切削的区域的间隔较宽时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0035] 图 16 是在连续施加偏置的情况下, 从横方向看到的通过蚀刻切削的间隔较窄时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0036] 图 17 是在连续施加偏置的情况下, 从横方向看到的通过蚀刻切削的间隔较宽时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0037] 图 18 是在占空比为 0.75 的情况下, 从横方向看到的通过蚀刻切削的间隔较窄时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0038] 图 19 是在占空比为 0.75 的情况下, 从横方向看到的通过蚀刻切削的间隔较宽时的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。

[0039] 图 20 是表示在 SAC (Self Align Contact, 自对准接触) 形成工序中, 形成有截面

呈矩形的掩模层的被处理基板的一部分的概略截面图。

[0040] 图 21 是表示在 SAC 形成工序中,蚀刻处理中途的理想形状的被处理基板的一部分的概略截面图。

[0041] 图 22 是表示在 SAC 形成工序中,蚀刻处理结束后的理想形状的被处理基板的一部分的概略截面图。

[0042] 图 23 是表示在 SAC 形成工序中,蚀刻处理中途的氮化硅膜层的侧壁被切削的被处理基板的一部分的概略截面图。

[0043] 图 24 是表示在 SAC 形成工序中,蚀刻处理结束后的栅极电极层露出的被处理基板的一部分的概略截面图。

[0044] 图 25 是表示本发明的其他实施方式的 SAC 形成工序中的等离子体蚀刻处理方法的代表性工序的流程图。

[0045] 图 26 是表示在 SAC 形成工序中,断开了偏置时的被处理基板的一部分的概略截面图。

[0046] 图 27 是表示在 SAC 形成工序中,接通了偏置时的被处理基板的一部分的概略截面图。

[0047] 图 28 是表示在进行间隔物蚀刻 (spacer etching, 间隔层蚀刻) 的工序中,形成有栅极电极层等的被处理基板的一部分的概略截面图。

[0048] 图 29 是表示在进行间隔物蚀刻的工序中,第一蚀刻结束后的理想形状的被处理基板的一部分的概略截面图。

[0049] 图 30 是表示在进行间隔物蚀刻的工序中,第二蚀刻结束后的理想形状的被处理基板的一部分的概略截面图。

[0050] 图 31 是表示本发明的又一个实施方式的间隔物蚀刻的等离子体蚀刻处理方法的代表性工序的流程图。

[0051] 图 32 是表示在进行间隔物蚀刻的工序中,断开了偏置时的被处理基板的一部分的概略截面图。

[0052] 图 33 是表示在进行间隔物蚀刻的工序中,接通了偏置时的被处理基板的一部分的概略截面图。

[0053] 图 34 是表示除去了侧区域 (侧面区域) 的间隔物层 (间隔层) 的阶段中的被处理基板的一部分的概略截面图。

[0054] 图 35 是表示除去了保护膜的阶段中的被处理基板的一部分的概略截面图。

[0055] 图 36 是表示侧区域的保护膜的厚度变厚时的被处理基板的一部分的概略截面图。

[0056] 图 37 是表示除去了侧区域的保护膜的厚度变厚时的保护膜的阶段中的被处理基板的一部分的概略截面图。

[0057] 图 38 是表示在进行间隔物蚀刻的工序中,底壁和侧壁的蚀刻速度与占空比的关系的曲线图。

[0058] 图 39 是表示在进行间隔物蚀刻的工序中,底壁和侧壁的蚀刻速度与间歇频率的关系的曲线图。

[0059] 图 40 是表示在进行间隔物蚀刻的工序中,接通断开频率与占空比的关系的等高

线图。

[0060] 附图标记说明

[0061] 11 :等离子体蚀刻处理装置

[0062] 12 :处理容器

[0063] 13 :气体供给部

[0064] 14 :支承台

[0065] 15 :微波发生器

[0066] 16 :导波管

[0067] 17 :同轴导波管

[0068] 18 :电介质板

[0069] 19、41、42 :缝隙

[0070] 20 :缝隙天线板

[0071] 21 :电介质窗

[0072] 22 :底部

[0073] 23 :侧壁

[0074] 24 :环状部件

[0075] 25 :排气孔

[0076] 26 :O 形环

[0077] 27 :高频电源

[0078] 28 :匹配单元

[0079] 31、34 :气体供给口

[0080] 32 :中央气体供给部

[0081] 33 :中空状部件

[0082] 35 :外部气体供给部

[0083] 36 :微波匹配器

[0084] 37 :中心导体

[0085] 38 :外周导体

[0086] 39 :模式转换器

[0087] 43 :缝隙对

[0088] 44 :内周侧缝隙对组

[0089] 45 :外周侧缝隙对组

[0090] 46 :贯通孔

[0091] 47 :中心

[0092] 48 :下表面

[0093] 49 :电介质窗凹部

[0094] 51、66、81 :硅基板

[0095] 52a、52b、71 :掩模层

[0096] 53a、53b :角部

[0097] 54 :平坦部

- [0098] 55、72 :槽
- [0099] 56a、56b、73a、73b、73c、73d :侧壁
- [0100] 57、74 :底壁
- [0101] 58、77 :上端
- [0102] 59、76、87 :保护膜
- [0103] 61、62 :线
- [0104] 63、64、75a、75b、86a、86b、86c、88a、88b、88c、90、91、92、94、95、96、97 :区域
- [0105] 67、83 :栅极电极层
- [0106] 68、84 :栅极侧壁部
- [0107] 69 :氮化硅膜层
- [0108] 70 :氧化硅膜层
- [0109] 82 :栅极绝缘膜层
- [0110] 85、89 :间隔物层
- [0111] 93a、93b、93c、93d :端部

具体实施方式

[0112] 以下参照附图说明本发明的实施方式。首先,说明本发明的一个实施方式的等离子体蚀刻处理装置的结构。图1是概略地表示本发明的一个实施方式的等离子体蚀刻处理装置的结构概略截面图。图2是从板厚方向看到的图1所示的等离子体蚀刻处理装置所具备的缝隙天线板的图。

[0113] 参照图1和图2,等离子体蚀刻处理装置11是将微波作为等离子体源的微波等离子体蚀刻处理装置。等离子体蚀刻处理装置11包括:在内部具有对被处理基板W进行等离子体处理的处理空间的处理容器12;向处理容器12内供给等离子体处理用的气体等的气体供给部13;设置在处理容器12内、并在其上支承被处理基板W的支承台14;设置在处理容器12的外部、并产生等离子体激励用的微波的微波发生器15;将由微波发生器15产生的微波导入到处理容器12内的导波管16和同轴导波管17;与同轴导波管17的下方端部连结、并沿着径方向传播由同轴导波管17导入的微波的电介质板(介电体板)18;配置在电介质板18的下方侧,发射由电介质板18传播的微波的具有多个缝隙(长孔)19的缝隙天线板20;配置在缝隙天线板20的下方侧,沿着径方向传播从缝隙19发射出的微波并且使其在处理容器12内透过的电介质窗(介电体窗)21;和控制等离子体蚀刻处理装置11整体的控制部(未图示)。控制部对气体供给部13的气体流量、处理容器12内的温度等用于对被处理基板W进行等离子体处理的工艺条件进行控制。另外,控制部在蚀刻处理时作为控制装置来进行控制动作,以使后述的偏置电力供给单元的交流偏置电力,交替地反复进行停止和供给。另外,等离子体蚀刻处理装置11包括对处理容器12内进行减压的TMP(Turbo Molecular Pump;涡轮分子泵)(未图示),控制部还作为控制TMP的工作状态等,将处理容器12内的压力调整为包含真空的规定压力的压力调整单元来工作。另外,从易于理解的观点出发,在图1中,概略地表示了缝隙19的开口形状。

[0114] 处理容器12包括:位于支承台14的下方侧的底部22;从底部22的外周向上方向延伸的侧壁23;配置成载置在侧壁23的上方侧、并能够在其上载置电介质窗21的环状部

件 24。侧壁 23 是圆筒状。在处理容器 12 的底部 22, 设置有排气用的排气孔 25。处理容器 12 的上部侧开口, 通过配置在处理容器 12 的上部侧的电介质窗 21 和在电介质窗 21 与处理容器 12、具体而言是构成处理容器 12 的环状部件 24 之间存在的作为密封部件的 O 形环 26, 能够密封地构成处理容器 12。

[0115] 在支承台 14, RF (radio frequency, 射频) 偏置用的高频电源 27 经由匹配单元 28 与支承台 14 的电极电连接。作为该偏置电力供给单元的高频电源 27, 以规定的功率输出适合于对被引入到被处理基板 W 的离子的能量进行控制的一定频率, 例如 13.56MHz 的高频, 供给到支承台 14 侧。匹配单元 28 收容有匹配器, 该匹配器用于在高频电源 27 侧的阻抗与主要是电极、等离子体、处理容器 12 等负载侧的阻抗之间取得匹配的匹配器, 在该匹配器中包括自偏置生成用的隔直流电容器 (blocking capacitor, 阻塞电容器)。关于被供给到支承台 14 侧的偏置的详细内容将在后面叙述。另外, 支承台 14 与底部 22 绝缘。此外, 虽然没有图示, 但也可以具备支承被处理基板 W 的支承机构或进行温度调节的温度调节机构。

[0116] 气体供给部 13 包括: 具有朝向被处理基板 W 的中央并供给气体的气体供给口 31 的中央气体供给部 32; 和由圆环形的中空状部件 33 构成, 具有朝向径方向内侧供给气体的气体供给口 34 的外部气体供给部 35。中央气体供给部 32 和外部气体供给部 35 分别从处理容器 12 外向处理容器 12 内供给等离子体处理用的气体等。关于从气体供给口 31、34 供给的气体各自的流动方向, 用图 1 中的箭头 F_1 和 F_2 表示。另外, 关于从中央气体供给部 32 和外部气体供给部 35 供给的气体的流量比等能够任意选择, 例如, 当然也能够完全不从中央气体供给部 32 供给气体, 而仅从外部气体供给部 35 向处理容器 12 内供给气体。

[0117] 具有微波匹配器 36 的微波发生器 15, 通过由中心导体 37 和外周导体 38 构成的同轴导波管 17 和模式转换器 39, 连接到导入微波的导波管 16 的上游侧。构成同轴导波管 17、且均呈圆筒状的中心导体 37 和外周导体 38, 它们的径方向的中心一致, 中心导体 37 的外径面与外周导体 38 的内径面之间隔开间隔, 沿着图 1 纸面中的上下方向延伸地配置。例如, 由微波发生器 15 产生的 TE 模式的微波通过导波管 16, 被模式转换器 39 转换成 TEM 模式, 在同轴导波管 17 传播。作为在微波发生器 15 中产生的微波的频率, 例如选择 2.45GHz。

[0118] 缝隙天线板 20 是薄板状, 且是圆板状。缝隙天线板 20 的板厚方向的 2 个面分别是平坦的。在缝隙天线板 20 设置有多贯通板厚方向的多个缝隙 (slot) 19。缝隙 19 形成在一个方向上较长的第一缝隙 41 和在与第一缝隙 41 正交的方向上较长的第二缝隙 42 相邻地构成一对。具体而言, 相邻的 2 个缝隙 41、42 为一对, 配置成大致八字形。即, 缝隙天线板 20 是具有由沿着一个方向延伸的第一缝隙 41 和沿着与一个方向垂直的方向延伸的第二缝隙 42 构成的缝隙对 43 的结构。另外, 关于缝隙对 43 的一例, 图示在图 2 中由虚线表示的区域中。

[0119] 所设置的缝隙对 43 大致分为: 配置在内周侧的内周侧缝隙对组 44 和配置在外周侧的外周侧缝隙对组 45。在内周侧缝隙对组 44 中, 7 对缝隙对 43 分别沿着周方向 (圆周方向) 等间隔地配置。在外周侧缝隙对组 45 中, 28 对缝隙对 43 分别沿着周方向等间隔地配置。在缝隙天线板 20 的径方向的中央也设置有贯通孔 46。缝隙天线板 20 具有以径方向的中心 47 为中心的旋转对称性。

[0120] 电介质窗 21 呈大致圆板状, 具有规定的板厚。电介质窗 21 由电介质构成, 作为电介质窗 21 的具体的材质, 能够列举石英或氧化铝等。电介质窗 21 在图 1 中的下侧被载置

在环状部件 24 上,气密地安装于等离子体蚀刻处理装置 11。电介质窗 21 中的、在等离子体蚀刻处理装置 11 具备时作为生成等离子体一侧的下表面 48 的径方向外侧区域,呈环状地连接,电介质窗 21 的板厚方向内侧,设置有在这里朝向图 1 的纸面上方锥状地凹陷的电介质窗凹部 49。通过该电介质窗凹部 49,能够在电介质窗 21 的径方向外侧区域,形成使电介质窗 21 的厚度连续变化的区域,形成具有适合于生成等离子体的各种工艺条件的电介质窗 21 的厚度的共振区域。于是,能够根据各种工艺条件,确保电介质窗 21 的下部区域的等离子体的高稳定性。

[0121] 由微波发生器 15 产生的微波通过同轴导波管 17,向电介质板 18 传播,从设置在缝隙天线板 20 的多个缝隙 19 向电介质窗 21 发射。透过电介质窗 21 后的微波,在电介质窗 21 的正下方产生电场,在处理容器 12 内生成等离子体。在电介质窗 21 的正下方生成的等离子体向远离电介质窗 21 的方向、即朝向支承台 14 的方向扩散。然后,在由扩散的等离子体形成的、包含载置于支承台 14 的被处理基板 W 的等离子体扩散区域,对被处理基板 W 进行等离子体蚀刻处理等等离子体处理。将在等离子体蚀刻处理装置 11 中被供于处理的微波等离子体使用上述缝隙天线板 20 的等离子体蚀刻处理装置称为 RLSA(Radial Line Slot Antenna:径向线缝隙天线)方式的等离子体蚀刻处理装置。根据这样的等离子体蚀刻处理装置 11,能够以比较低的电子温度和比较高的电子密度进行等离子体处理,因此能够抑制处理时对被处理基板 W 的等离子体损伤,能够进行高速的处理。

[0122] 此外,作为用于蚀刻的气体所包含的气体,例如除了 Ar(氩)气这样的惰性气体、含有 O(氧)原子的 O_2 气之外,还包括 HBr 气体、 BCl_3 气体、 CF_3I 气体、 CH_2F_2 气体、 CH_3F 气体等。另外,当使用在气体的分子结构中较多地含有 H(氢)原子的气体时,作为反应副生成物,存在生成蒸气气压较低的化合物的倾向。另外,作为蚀刻对象物,具体而言,例如能够列举硅(Si)。而且,存在根据用于蚀刻的气体而分别不同的情况,但是以硅作为对象物进行了蚀刻时的反应副生成物,例如能够列举 $SiBrO$ 、 $SiBr$ 、 SiI 、 $SiClO$ 等。

[0123] 接着,说明使用这样的等离子体蚀刻处理装置 11,通过等离子体对被处理基板进行蚀刻处理的情况。目前,基于元件的微细化的观点,存在形成 STI 作为元件分离区域的情况。首先,简单说明在 STI 形成工序中,以所希望的形状即所谓的理想形状进行蚀刻的情况。

[0124] 图 3、图 4 和图 5 是表示这种情况下的被处理基板的一部分的概略截面图。首先,参照图 3,在作为被处理基板的硅基板 51 上,形成截面呈矩形的作为硬掩模的掩模层 52a、52b。然后,进行蚀刻处理。这种情况下,在形成有掩模层 52a 的部位,如图 4 所示,无论在角部 53a、53b,还是在位于角部 53a、53b 之间的平坦部 54,局部都没有被切削,这是很理想的。即,优选在蚀刻中掩模层 52a、52b 几乎不被切削,或者,在掩模层 52a、52b 的上侧的各部分,向图 4 中的下方向均等地被切削。然后,想要在掩模层 52a、52b 之间形成的槽 55,在垂直方向上被切削而形成。最终,成为图 5 所示的形状,该形状是理想的。即,构成槽 55 的左右两侧的侧壁 56a、56b 是在图 5 中的上下方向上笔直地延伸的形状,关于位于侧壁 56a、56b 的最下端、且与侧壁 56a、56b 一起构成槽 55 的底壁 57,优选是在左右方向上也笔直地延伸的形状。

[0125] 然而,例如在使用各向异性较高的蚀刻气体的情况下,如图 6 所示,通过蚀刻也逐渐切削掩模层 52a、52b,但是在该情况下,掩模层的角部 53a、53b 与平坦部 54 相比被更多地

切削。

[0126] 于是,最终如图 7 所示,在掩模层 52a、52b 之间形成的通过蚀刻形成的槽 55,其侧壁 56a、56b 的形状成为锥形。即,并非成为在上下方向上笔直地延伸的形状,硅基板 51 的上端 58 与侧壁 56a 所成的角部度 θ 在该情况下成为钝角。这样的形状不是蚀刻处理中所希望的形状,故不优选。另外,图 6 是与上述的图 4 对应的截面图,图 7 是与上述的图 5 对应的截面图。

[0127] 特别是,目前由于微细化的要求较高,因此所形成的抗蚀剂掩模层的薄膜化进一步发展,与此对应地存在硬掩模的厚度也变薄的倾向。在这样的状况下,为了避免槽 55 形成锥形,需要进行硅基板 51 相对于硬掩模的高选择比的蚀刻,以尽可能地不切削掩模层 52a、52b。这样的蚀刻由于蚀刻处理条件被限定,所以能够尽可能地避免,故优选。

[0128] 这里,参照图 8,说明本发明的一个实施方式的等离子体蚀刻处理。图 8 是表示本发明的一个实施方式的 STI 形成工序中的等离子体蚀刻处理方法的代表性工序的流程图。首先,如图 3 所示,在作为被处理基板 W 的硅基板 51 上形成掩模层 52a、52b(图 8(A))。然后,使用上述图 1 所示的等离子体蚀刻处理装置 11 进行利用等离子体的蚀刻(图 8(B))。这里,作为 STI 形成工序,供给混合有氩(Ar)气、溴化氢(HBr)气体和氧(O_2)气的气体进行蚀刻。

[0129] 这种情况下,通过使用控制部进行控制,交替反复地进行停止和供给、间歇地供给经由支承台 14 向被处理基板 W 供给的偏置电力。即,在蚀刻处理时,交替反复地进行作为偏置电力供给单元的高频电源 27 的交流偏置电力的偏置接通(图 8(C))和偏置断开(图 8(D)),间歇地供给偏置电力。

[0130] 这样,交替反复地进行偏置的接通和断开,来进行蚀刻。然后,如图 5 所示那样,当底壁 57 的上下方向的位置成为目标位置时,即,当到达规定的槽深度时,结束蚀刻(图 8(E))。蚀刻结束时,例如,如果蚀刻开始后经过规定的时间,则可以视为底壁 57 的上下方向的位置成为目标位置,也可以测定并确认硅基板 51 的上端 58 与底壁 57 在上下方向的长度后,结束蚀刻。

[0131] 接着,说明在这种情况下,被间歇供给的偏置电力的详细情况。图 9 是表示上述 STI 形成工序中的交流偏置的接通断开状态的曲线图。图 9 中,纵轴表示偏置的接通断开状态,横轴表示时间。在纵轴上,用线 61 表示的矩形波形中的位于上方位置的状态表示接通状态,位于下方位置的状态表示断开状态。另外,在用线 62 表示的波形中,波形在上下方向上变动的状态表示接通状态,波形在上下方向上不变动的状态表示断开状态。参照图 9,上述的偏置电力的供给时间(a)用图 9 中的“a”表示。此外,将上述的交流偏置电力的供给时间(a)和停止时间相加所得到的时间(b)用图 9 中的“b”表示。此外,关于停止时间,是从 b 减去了 a 的时间,用图 9 中的“c”表示。

[0132] 这里,在 STI 形成工序中,优选以使占空比高于 0.5 低于 1.0 的方式,控制偏置电力的供给,该占空比是交流偏置电力的供给时间(a)相对于将该供给时间(a)与停止时间相加所得到的时间(b)的比(a/b)。即,在蚀刻处理时,优选以使占空比(a/b)高于 0.5 低于 1.0 的方式,间歇地供给偏置电力。

[0133] 通过这样的结构,在蚀刻处理时,能够如后述那样利用改性后的保护膜进行蚀刻处理。从而,能够更精确地蚀刻成所希望的形状。

[0134] 说明这种蚀刻的原理则考虑如下。即,在间歇地进行了偏置供给的情况下,在利用等离子体进行蚀刻处理时,交替出现:偏置断开的状态即不供给偏置电力的状态,和偏置接通的状态即供给偏置电力的状态。

[0135] 图 10 是表示这种情况下的被处理基板的一部分的概略截面图,与图 4、图 6 对应。当偏置为断开的状态时,在硅基板 51 的整个表面以堆积的方式形成有由当偏置为接通状态时所生成的沉积物(反应副生成物)形成的极薄的保护膜 59。这种情况下,掩模层 52a、52b 由于位于上下方向的上侧的区域,即比底壁 57 附近更接近等离子体的位置,因此形成在掩模层 52a、52b 上的保护膜 59 比在槽 55 的底壁 57 的区域形成的保护膜 59 厚。

[0136] 然后,通过存在于硅基板 51 附近的自由基对所形成的保护膜 59 进行改性。这里所说的改性根据所使用的气体等不同,例如是氮化、氧化、Br 化、CBr 化、Cl 化等,使膜硬化。这里,位于上侧的掩模层 52a、52b 的附近与位于下侧的底壁 57 的附近相比,由于自由基的存在概率高,因此所形成的保护膜 59 的改性的效果更显著。即,形成在掩模层 52a、52b 上的保护膜 59 的改性的程度,比在槽 55 的底壁 57 的区域形成的保护膜 59 的改性的程度高。于是,形成在掩模层 52a、52b 上的保护膜 59 比形成在底壁 57 的区域的保护膜 59 硬。

[0137] 然后,接通偏置。图 11 是表示这种情况下的被处理基板的一部分的截面图,与图 4、图 6 对应。在偏置为接通的状态时,在硅基板 51 的整个面,通过蚀刻被切削。这种情况下,关于掩模层 52a、52b,由于与底壁 57 相比位于上侧,因此在蚀刻作用比较强的区域中将改性后的保护膜 59 切削。但是,由于形成在掩模层 52a、52b 上的保护膜 59 比较厚,通过改性变得比较硬,因此其结果是,掩模层 52a、52b 自身几乎不被切削。与此相对,关于底壁 57 的区域,由于所形成的保护膜 59 比较薄,几乎未进行改性,处于不太硬的状态,因此尽管是蚀刻作用比较弱的区域,形成在底壁 57 的区域的保护膜 59 也被早早地除去。而且,硅基板 51 中的底壁 57 的区域被积极地向垂直方向的下侧切削。

[0138] 像这样交替反复地进行偏置的断开和接通,来进行蚀刻。于是,能够抑制掩模层 52a、52b 的由蚀刻进行的除去,并且将掩模层 52a、52b 之间向垂直方向的下侧切削,且持续切削通过蚀刻得到的槽,进行蚀刻得到所希望的形状。即,像这样通过在上述的定时反复进行偏置的接通和断开,能够更精确地蚀刻成所希望的形状。按照这样的原理进行蚀刻。另外,从容易理解的观点出发,图 10 和图 11 中夸张地加厚示出了保护膜 59。而且,以下的图中也同样夸张地加厚示出了保护膜。

[0139] 图 12 中表示关于 RIE 延迟的等高线图,即等值线图。图 13 是关于蚀刻的选择比的等高线图。在图 12 和图 13 中,纵轴表示偏置的接通断开的频率,横轴表示接通时间的比例,即上述的占空比。另外,这种情况下的蚀刻处理时的反应气体中的氧气的添加量为 0.2%。即,含有氧原子的气体在反应气体整体中所占的比例为 0.2%。

[0140] 这里,说明 RIE 延迟则如下。图 14 和图 15 是从横方向看到的蚀刻处理结束后的硅基板的一部分的电子显微镜照片。关于图 14 所示的硅基板,是在通过蚀刻切削的间隔较窄的情况下,关于图 15 所示的硅基板,是在通过蚀刻切削的间隔较宽的情况下。参照图 14 和图 15,将间隔较窄时从硅基板的上端 58 到底壁 57 的上下方向的长度记为 d_1 ,将间隔较宽时从硅基板的上端 58 到底壁 57 的上下方向的长度记为 d_2 ,则 RIE 延迟用 d_1/d_2 表示。在蚀刻处理时,与间隔的宽窄无关,由于希望从上端 58 到底壁 57 的上下方向的长度相等,因此关于该 RIE 延迟的值,优选接近于 1。另一方面,选择比优选其值较高。即,优选基底层即

硅基板的层相对于掩模层的切削比例高。另外,图 14 和图 15 是占空比为 0.25 的情况。

[0141] 参照图 12,当偏置接通时间的比例小时,具体而言,当占空比小于 0.5 时,则与频率无关,RIE 延迟的值至少低于 0.9。另一方面,当占空比在 0.75 附近时,RIE 延迟的值更接近于 1。特别是,当频率为 10Hz(赫兹)~30Hz 时,在用图 12 中的阴影线表示的区域 63 中,RIE 延迟的值高于 0.95,成为更优的值。从而,由作为偏置电力供给单元的高频电源供给的偏置电力的频率,优选为 10Hz 以上 30Hz 以下。

[0142] 参照图 13,随着朝向曲线的右下方,选择比的值降低。这表示了如果频率变低且占空比变高,则选择比变低的倾向,但是如果占空比超过 0.75 且频率高于 10Hz,则成为大致同等的值,为 100 左右。这里,关于选择比,优选以与上述图 12 所示的 RIE 延迟的良好区域 63 重叠的方式,选择用阴影线表示的区域 64 内的值。

[0143] 图 16 和图 17 是从横方向看到的在连续施加偏置的情况下,即所谓的占空比为 1 的情况下,蚀刻处理结束后的硅基板的一部分的电子显微镜照片。关于图 16 所示的硅基板,是在通过蚀刻切削的间隔较窄的情况下,关于图 17 所示的硅基板,是在通过蚀刻切削的间隔较宽的情况下。图 18 和图 19 是从横方向看到的在占空比为 0.75 的情况下,蚀刻处理结束后的硅基板的一部分的电子显微镜照片。关于图 18 所示的硅基板,是在通过蚀刻切削的间隔较窄的情况下,关于图 19 所示的硅基板,是在通过蚀刻切削的间隔较宽的情况下。

[0144] 参照图 14~图 19,在连续接通偏置的情况下,即占空比为 1 的情况下,当切削的宽度较窄时,成为底槽的形状向下方向尖的形状。尖的形状成为特殊点,易成为由电场集中引起的异常放电的原因。此外,在占空比为 0.25 的情况下,侧壁的形状成为锥形的倾向变强。进而,RIE 延迟的值变低,小于 0.5。即,宽度较窄时的从底壁到上端部的上下方向的长度与宽度较宽时的从底壁到上端部的上下方向的长度差异较大。这种情况下,宽度较窄时成为较浅的槽。

[0145] 相对于这种情况,在使占空比为 0.5 以上的情况下,能够较大地缓和侧壁的形状成为锥形的倾向。即,侧壁在上下方向上以接近于笔直的形状延伸。此外,关于 RIE 延迟,也被缓和为 0.8 以上。特别是,在将占空比设为 0.75 左右的情况下,无论是宽度较窄的情况还是宽度较宽的情况下,从底壁到上端部的上下方向的长度几乎不变化。

[0146] 另外,在上述的情况下,从处理的稳定性等观点出发,优选令处理容器内的压力为 10mTorr 以上 200mTorr 以下。

[0147] 另外,在上述的情况下,由作为偏置电力供给单元的高频电源供给的偏置电力的能量,从减轻对被处理基板的等离子体损伤的观点等出发,优选为 200eV 以下。

[0148] 另外,在上述的情况下,在偏置断开时形成的保护膜的厚度,优选控制为 100 Å(埃)以下。通过这样做,能够抑制保护膜过度地变厚,能够更可靠地蚀刻成所希望的形状。

[0149] 另外,在上述的情况下等离子体蚀刻装置 11 使用微波生成等离子体,因此能够生成自由基丰富的等离子体。从而,能够有效地使偏置接通时所生成的沉积物(反应副生成物)改性,能够形成具有充分的耐蚀刻性的保护膜 59。保护膜 59 是以通过氧自由基进行了改性的 SiBrO 为主体的膜。这里,氧气在反应气体整体中所占的比例为 0.2%,但是并不限于该值。例如,在使氧气的添加量为 0.2% 以上的情况下,图 12 和图 13 所示的最佳区域 63、64 向图的右侧移动。另一方面,在使氧气的添加量为 0.2% 以下的情况下,图 12 和图 13

所示的最佳区域 63、64 向图的左侧移动。另外,能够稳定地供给氧气的下限值是 0.05%。此外,如果考虑到 RIE 延迟与选择比的平衡,可以是 5%以下。当氧气的添加量为 5%以上时,由于占空比接近于 1,因此最佳区域 63、64 有可能成为蚀刻后的形状呈逐渐变细的尖的形状。另外,如果考虑到工艺(处理条件)的选择范围,则也可以为 0.1%以上 1%以下。

[0150] 另外,在等离子体处理工序中,向处理容器内供给气体,并通过 TMP 进行处理容器内的排气,将处理容器内的压力调整为所希望的压力,来进行等离子体处理。当在等离子体处理中生成了反应副生成物时,反应副生成物多数通过 TMP 被排出到处理容器外。这里,在等离子体蚀刻处理工序中,例如对硅进行蚀刻时,作为反应副生成物,生成上述的 SiBrO 等。当生成有像该 SiBrO 等这样的蒸气气压较低的反应副生成物时,有可能产生如下现象:在通过 TMP 被排出到处理容器外之前,在通过蚀刻形成的图案中的槽的侧壁附着有反应副生成物。

[0151] 这里,像使用图 12 等进行说明的那样,在上述的实施方式中,从提高 RIE 延迟的值的观点出发,偏置电力的频率优选为 10Hz 以上 30Hz 以下,但是在像这样有可能导致反应副生成物附着于侧壁的问题的情况下,例如也使偏置电力的频率为 5Hz 以上 10Hz 以下。具体而言,以处理容器内的压力为 100mTorr,占空比为 0.5,偏置电力的频率为 5Hz 的情况为例进行说明,由于是交流偏置电力,因此成为如下状态:施加偏置电力 0.1 秒即连续 100m(毫)秒,然后不施加偏置电力连续 100m(毫)秒。即使是蒸气气压较低的反应副生成物,通过形成这样的不施加偏置电力连续 100m 秒的状态,使反应副生成物不附着于侧壁,而能够通过 TMP 被排出到处理容器外。根据这种观点,根据生成的反应副生成物等,也采用使偏置电力的频率为 5Hz 以上 10Hz 以下。

[0152] 接着,说明本发明的其他实施方式。目前,在形成 SAC(Self Align Contact,自对准接触)时的蚀刻工序中,也有可能产生以下的问题。这里,首先,简单说明在 SAC 形成工序中,按照所希望的形状即所谓理想的形状进行蚀刻的情况。

[0153] 图 20、图 21 和图 22 是表示这种情况下的被处理基板的一部分的概略截面图。首先,参照图 20,在作为被处理基板 W 的硅基板 66 上形成栅极电极层 67、栅极侧壁部 68、氮化硅膜层 69 和氧化硅膜层 70,在其上形成用于蚀刻的截面呈矩形的掩模层 71。然后,如图 21 所示,通过蚀刻除去氧化硅膜层 70 中的掩模层 71 之间的部分,形成槽 72。然后,如图 22 所示,进行蚀刻直至到达硅基板 66。

[0154] 像这样,进行 SAC 的等离子体蚀刻处理。这种情况下,形成的槽 72 由位于上方侧的氧化硅膜(silicon oxide,二氧化硅)层 70 的侧壁 73a、73b、位于下方侧的氮化硅膜层 69 的侧壁 73c、73d 和位于侧壁 73c 和 73d 之间的底壁 74 构成。这里,当在掩模层 71 的形成中进行严密的位置控制,仅切削氧化硅膜层 70,不切削氮化硅膜层 69 而形成理想形状时,如图 22 所示,氧化硅膜层 70 的侧壁 73a、73b 的间隔比氮化硅膜层 69 的侧壁 73c、73d 的间隔宽,在槽 72 中,成为氮化硅膜层 69 露出一部分的形状。

[0155] 这里,在进行这样的 SAC 形成中的等离子体蚀刻处理时,存在发生以下问题的情况。即,如果氧化硅膜层 70 相对于氮化硅膜层 69 的蚀刻中的选择比较小,则在蚀刻时氮化硅膜层 69 被切削。而且,如图 23 所示,在氮化硅膜层 69 中,逐渐除去掩模层 71 之间的区域 75a、75b。

[0156] 这里,在掩模层 71 的形成中不进行严密的位置控制,形成的掩模层 71 在左右方向

上偏移的情况下,随着蚀刻的进行,在氧化硅膜层 70 的蚀刻结束的时刻,即,在掩模层 71 之间完全除去氧化硅膜层 70,槽 72 的底壁 74 到达硅基板 66 的情况下,如图 24 所示,氮化硅膜层 69 的区域 75a、75b 也向下方向被切削,如在区域 75a 所示的那样,栅极电极层 67 的一部分在槽 72 内露出。这样的状况会造成区域 75a 的绝缘破裂,故不优选。即,不是所希望

[0157] 为了不发生这样的绝缘破裂,在掩模层 71 的形成中进行严密的位置控制或进行高选择比的蚀刻即可,但是也存在从劳力或时间的观点出发不优选这样的对策的情况。

[0158] 这里,参照图 25,说明本发明的其他实施方式的等离子体蚀刻处理。图 25 是表示这种情况下的等离子体蚀刻处理的代表性工序的流程图。首先,如图 20 所示,在作为被处理基板 W 的硅基板 66 上,形成栅极电极层 67、栅极侧壁部 68、氮化硅膜层 69、氧化硅膜层 70(图 25(A))。而且,在氧化硅膜层 70 上形成掩模层 71(图 25(B))。接着,使用上述的图 1 所示的等离子体蚀刻处理装置 11,通过等离子体进行蚀刻(图 25(C))。这里,作为 SAC 形成工序,使用具有多重离解性的气体,例如 C_4F_8 气体或 CH_2F_2 气体进行蚀刻。

[0159] 这种情况下,通过由控制部进行控制,交替反复地进行停止和供给、间歇地供给经由支承台 14 向被处理基板 W 供给的偏置电压。即,交替反复地进行偏置电力供给单元的的交流偏置电力的偏置接通(图 25(D))和偏置断开(图 25(E)),间歇地供给偏置电力。

[0160] 像这样,交替反复地进行偏置的接通和断开,来进行蚀刻。而且,当底壁 74 的上下方向的位置成为目标位置时,即当到达规定的槽深度时,结束蚀刻(图 25(F))。蚀刻结束时,例如如果蚀刻开始后经过规定的时间,则可以视为底壁 74 的上下方向的位置成为目标位置,也可以在测定并确认了位于掩模层 71 的下端的上端 77 与底壁 74 的上下方向的长度后,结束蚀刻。

[0161] 这里,优选以使占空比高于 0.5 低于 1.0 的方式,控制偏置电力的供给,该占空比是交流偏置电力的供给时间(a)相对于将供给时间(a)与停止时间相加所得到的时间(b)的比(a/b)。

[0162] 这样,进行 SAC 形成工序中的蚀刻。由此,在 SAC 形成工序中,能够更精确地蚀刻成所希望

[0163] 说明这样的蚀刻的原理则考虑如下。即,在间歇地进行偏置供给的情况下,在利用等离子体进行蚀刻处理时,交替出现:偏置断开的状态即不供给偏置电力的状态,和偏置接通的状态即供给偏置电力的状态。

[0164] 图 26 是表示断开了偏置时的被处理基板的一部分的概略截面图。参照图 26,在断开了偏置的情况下,在掩模层 71 和稍稍露出的氮化硅膜层 69 上,形成由沉积物构成的保护膜 76。这里,作为形成的保护膜 76,由 CHF_3 或 CH_2F_2 等 CH(碳化氢)系的聚合物或 CF(氟化碳)系的聚合物、SiC 构成。

[0165] 由该沉积物构成的保护膜 76 在等离子体处理中,越接近等离子体的部分,即越是在图 26 中的上侧的区域越厚。具体而言,形成在掩模层 71 的上方的保护膜 76 的厚度 t_1 或沿着侧壁 73b 的侧面形成的保护膜 76 的厚度 t_2 、形成在氮化硅膜层 69 的上侧的保护膜 76 的厚度 t_3 相对较厚。

[0166] 另一方面,形成在底壁 74 侧的保护膜 76 是上下方向的下侧的区域,保护膜 76 几乎不形成或非常薄地形成。这一点也取决于所形成的槽 72 的形状的高宽比(aspect

ratio,深宽比),但是也起因于作为构成保护膜 76 的基础的沉积物没有到达下侧区域。具体而言,形成在底壁 74 上的保护膜 76 的厚度 t_4 相对薄。

[0167] 图 27 是表示接通了偏置时的被处理基板的一部分的概略截面图。参照图 27,在接通了偏置的情况下,通过等离子体进行蚀刻。在这种情况下,首先切削在掩模层 71 或氮化硅膜层 69 的上侧形成的保护膜 76。这里,在上侧的区域,由于所形成的保护膜 76 的层变厚,因此通过蚀刻未达到掩模层 71 的除去,而成为削去保护膜 76 的层的程度。关于氮化硅膜层 69 也同样地,由于保护膜 76 的层比较厚,因此在蚀刻进行中途,即,在偏置接通的状态下,削去形成在氮化硅膜层 69 上的保护膜 76,作为基底层的氮化硅膜层 69 几乎没有被除去。即,在偏置接通的状态,也是形成在掩模层 71 或氮化硅膜层 69 上的保护膜 76 虽然变薄但是仍然残存的状态。另一方面,在底壁 74 的区域,将较薄地形成的保护膜 76 早早地除去,作为基底层的氧化硅膜层 70 向垂直方向的下侧被切削。

[0168] 即,掩模层 71 或氮化硅膜层 69 由于位于比较上侧的区域,因此由偏置断开的状态时所形成的沉积物构成的保护膜 76 的层比较厚。然后,当偏置接通的状态时,保护膜 76 的层被积极地切削,但是作为基底层的掩模层 71 或氮化硅膜层 69 几乎没有被切削。与此相对,关于成为槽 72 的下侧的氧化硅膜层 70,由于位于比较下侧的区域,因此由偏置断开的状态时所形成的沉积物构成的保护膜 76 的层相对较薄。然后,当偏置接通的状态时,保护膜 76 的层被早早地削去,成为保护膜 76 的基底层的氧化硅膜层 70 向垂直方向的下侧被切削。

[0169] 像这样通过形成 SAC 时进行等离子体蚀刻,能够按照所希望的形状有效地进行蚀刻。即,即使在掩模层 71 的形成中不进行严密的位置控制,掩模层 71 在左右方向上稍稍偏离地形成,在蚀刻时,也能够抑制露出的氮化硅膜层 69 的除去,更精确地形成栅极电极层 67 不露出的所希望的形状。

[0170] 另外,在上述的情况下,也优选进行控制使得在偏置断开时形成的保护膜的厚度为 $100 \text{ \AA}$ 以下。由此,能够抑制保护膜过度地变厚,能够更可靠地蚀刻成所希望的形状。

[0171] 接着,说明本发明的又一个实施方式。目前,在进行间隔物蚀刻的工序中,也有可能发生以下问题。这里,首先简单说明在间隔物蚀刻工序中,按照所希望的形状即所谓的理想形状进行蚀刻的情况。

[0172] 图 28、图 29 和图 30 是表示这种情况下的被处理基板的一部分的概略截面图。首先,参照图 28,在作为被处理基板 W 的硅基板 81 上形成栅极绝缘膜层 82、栅极电极层 83 和栅极侧壁部 84,以覆盖它们的方式形成作为绝缘层的间隔物层 85。这种情况下,如图 28 所示,形成在栅极电极层 83 的上方区域 86a 的间隔物层 85 的厚度 s_1 和在栅极侧壁部 84 的侧区域 86b 的侧面(旁侧)形成的间隔物层 85 的厚度 s_2 大致相等,在侧区域 86b 的旁侧,在成为硅基板 81 上部的端部区域 86c 形成的间隔物层 85 的厚度 s_3 与厚度 s_1 或厚度 s_2 相比较稍稍薄一些。

[0173] 然后,作为第一蚀刻工序,利用离子能量进行垂直方向的蚀刻。这样,所形成的间隔物层 85 中的、沿着上下方向即垂直方向延伸的部分大量地残留,沿着左右方向即水平方向延伸的部分被积极地切削,成为图 29 所示的形状。具体而言,关于沿着上下方向延伸的侧区域 86b 中的间隔物层 85,第一蚀刻前的厚度 s_2 和第一蚀刻后的厚度 s_5 几乎不变,关于沿着左右方向延伸的上方区域 86a 中的间隔物层 85,第一蚀刻后的厚度 s_4 相对于第一蚀刻

前的厚度 s_1 大幅减少。与上方区域 86a 同样,关于沿着左右方向延伸的间隔物层 85 中的端部区域 86c,第一蚀刻后的厚度 s_6 相对于第一蚀刻前的厚度 s_3 大幅减少。这样,进行第一蚀刻工序。第一蚀刻工序没有完全除去端部区域 86c 中的间隔物层 85,进行到少许残留的程度。

[0174] 然后,作为第二蚀刻工序,将间隔物层 85 中的少许残留的端部区域 86c 的间隔物层 85 完全除去,进行蚀刻,使得该区域中的硅基板 81 的上表面露出。即,进行蚀刻,使得图 29 中的端部区域 86c 的厚度 s_6 成为 0。这种情况下,考虑成为基底层的硅基板 81 与成为蚀刻层的间隔物层 85 的选择比,进行由自由基引起的化学性蚀刻。这样,如图 30 所示,间隔物层 85 在侧区域 86b 中成为包括沿着垂直方向延伸的部分的形状。

[0175] 这样的蚀刻被称为所谓的两阶段蚀刻。即,在间隔物层 85 的蚀刻时,在第一蚀刻工序的阶段中,将偏置功率设得较强,并进行各向异性蚀刻,以使得沿着垂直方向延伸的部分残留,沿着左右方向延伸的部分被积极地切削。这样,能够高效地即尽可能减少所需时间地,得到图 29 所示的形状。而且,在第二蚀刻工序的阶段中,考虑选择比,将多余的端部区域 86c 的间隔物层 85 除去,减弱偏置功率并进行各向同性蚀刻,以使得在间隔物层 85 的侧区域 86b 的旁侧露出硅基板 81。这样,进行间隔物蚀刻。根据这样的两阶段的蚀刻,能够抑制端部区域 86c 中的硅基板 81 的过度的蚀刻,能够高效地得到理想的图 30 所示的形状的硅基板。

[0176] 然而,在这样的工序中,有可能产生以下那样的问题。在第二蚀刻工序中,由于重视各向同性,因此减小蚀刻时的偏置功率。但是,当这样减小偏置功率时,侧区域 86b 中的间隔物层 85 也通过重视各向同性的蚀刻而被切削。即,侧区域 86b 中的间隔物层 85 的厚度 s_5 变薄,侧区域 86b 中的间隔物层 85 变细。关于厚度 s_5 ,由于希望尽可能地厚,因此这样的状况并不理想。

[0177] 这样的情况下,在第一蚀刻工序中,尽可能使残留的端部区域的间隔物层变薄即可,但是这样的严密控制从劳力和时间的观点出发有时并不理想。

[0178] 这里,参照图 31,说明本发明的又一个实施方式的等离子体蚀刻处理。图 31 是表示本发明的又一个实施方式的等离子体蚀刻处理的代表性工序的流程图。首先,如图 28 所示,在作为被处理基板 W 的硅基板 81 上,形成栅极绝缘膜层 82、栅极电极层 83、栅极侧壁部 84,以覆盖它们的方式形成间隔物层 85(图 31(A))。

[0179] 接着,使用上述的图 1 所示的等离子体蚀刻处理装置 11,首先进行第一蚀刻(图 31(B))。在第一蚀刻中,以沿着垂直方向积极地进行蚀刻的方式,使偏置功率变得比较强,主要利用离子能量进行间隔物层 85 的蚀刻。该第一蚀刻,在未完全除去端部区域 86c 的间隔物层 85 的程度结束。这样,得到图 29 所示的形狀的被处理基板 W。

[0180] 第一蚀刻结束之后,接着进行第二蚀刻(图 31(C))。这种情况下,交替反复地进行停止和供给、间歇地供给经由支承台 14 向被处理基板 W 供给的偏置电力。即,交替反复地进行偏置电力供给单元的交流偏置电力的偏置接通(图 31(D))和偏置断开(图 31(E)),间歇地供给偏置电力。

[0181] 这里,以使占空比高于 0.18 低于 0.75 的方式,控制偏置电力的供给,该占空比是交流偏置电力的供给时间(a)相对于将供给时间(a)与停止时间相加所得到的时间(b)的比(a/b)。

[0182] 像这样交替反复地进行偏置的接通和断开,来进行第二蚀刻。然后,当完全除去端部区域 86c 中的间隔物层 85 时,结束第二蚀刻(图 31(F))。

[0183] 然后,除去残留在间隔物层 85 上的后述的保护膜,结束两个阶段的蚀刻工序。

[0184] 这样,通过进行间隔物蚀刻,在形成间隔物的工序中,能够更精确地蚀刻成所希望形状。

[0185] 说明这样的蚀刻的原理则考虑如下。即,在间歇地进行了偏置的供给的情况下,在通过等离子体进行蚀刻处理时,交替出现:偏置断开的状态即不供给偏置电力的状态,和偏置接通的状态即供给偏置电力的状态。

[0186] 图 32 是表示断开了偏置时的被处理基板的一部分的概略截面图。参照图 32,在断开了偏置的情况下,在形成有间隔物层 85 的区域的整个面,形成由沉积物构成的保护膜 87。关于该保护膜 87 的层,在等离子体处理中,越接近等离子体的部分,即越是图 32 中的上侧的区域,形成的保护膜 87 的层越厚。另一方面,越接近硅基板 81 一侧,形成得越薄。具体而言,成为间隔物层 85 的上方区域 86a 的上侧的上方区域 88a 中的保护膜 87 的层的厚度 s_7 ,或成为间隔物层 85 的侧区域 86b 的旁侧的侧区域 88b 中的保护膜的厚度 s_8 比较厚,成为间隔物层 85 的端部区域 86c 的上侧的端部区域 88c 中的保护膜 87 的层的厚度 s_9 比较薄。

[0187] 图 33 是表示接通了偏置时的被处理基板的一部分的概略截面图。参照图 33,在接通了偏置的情况下,通过等离子体进行蚀刻,首先进行保护膜 87 的除去。这种情况下,由于形成在上方区域 88a 的保护膜 87 的厚度 s_7 或形成在侧区域 88b 的保护膜 87 的厚度 s_8 比较厚,因此在切换为偏置接通的状态下,在仅将上方区域 88a 或侧区域 88b 中的保护膜 87 除去后结束,或者,在仅将除去了保护膜 87 之后的上方区域 86a 或侧区域 86b 中的间隔物层 85 稍稍(微小)除去后结束。另一方面,由于成为接近硅基板 81 一侧的区域的端部区域 88c 中的保护膜 87 的厚度 s_9 比较薄,因此在切换为偏置接通的状态下,将端部区域 88c 中的保护膜 87 早早地(早期)完全除去,然后,对露出的间隔物层 85 的端部区域 86c 进行蚀刻。

[0188] 这里,在基本上没有除去上方区域 88a 或侧区域 88b 中的保护膜 87 的期间,通过切换成偏置断开,上方区域 86a 或侧区域 86b 的间隔物层 85 的通过蚀刻进行的除去几乎不进行,而使端部区域 88c 的间隔物层 85 的通过蚀刻进行的除去得以进行,能够高效地仅进行端部区域 88c 的间隔物层 85 的除去。

[0189] 然后,如图 34 所示,在除去了端部区域 88c 中的间隔物层 85 的阶段中,结束第二蚀刻,如图 35 所示,除去上方区域 88a 或侧区域 88b 中的保护膜 87,形成侧区域 86b 的间隔物层 85 的较厚的所希望形状的间隔物层 85(图 31(G))。这样,进行间隔物蚀刻。

[0190] 由此,在第二蚀刻工序中,能够抑制形成于侧区域 86b 中的间隔物层 85 通过蚀刻而变细,形成所希望形状的间隔物层 85。

[0191] 另外,当偏置电力的频率较小时,则在偏置接通的情况下,存在由沉积物形成的保护膜 87 的厚度变厚的倾向。这种情况下,如图 36 所示,当通过偏置的接通断开的切换所形成的侧区域 88b 中的保护膜 87 的厚度 s_8 变大时,则有可能不能完全地进行端部区域 86c 中的间隔物层 85 的除去。即,如图 37 所示,在除去端部区域 86c 中的间隔物层 85,使硅基板 81 露出的情况下,间隔物层 89 也残留端部区域 86c 的间隔物层 85 中的形成在侧区域 88b

一侧的保护膜 87 的层的厚度 s_8 相当的量。这样的形状成为侧区域中的间隔物层的阶差，故不优选。

[0192] 图 38 是表示在进行间隔物蚀刻的工序中，底壁即这里成为硅基板 81 的上表面的端部区域中的间隔物层，和侧壁即这里侧区域中的间隔物层的蚀刻速度与占空比的关系的曲线图。图 38 中，间歇频率为 5Hz 的情况下，纵轴表示蚀刻速度 (nm/分)，横轴表示占空比 (无单位)。图 39 是表示在进行间隔物蚀刻的工序中，底壁和侧壁的蚀刻速度与间歇频率的关系的曲线图。图 39 中是占空比为 0.75 的情况，纵轴表示蚀刻速度 (nm/分)，横轴表示间歇频率 (Hz)。

[0193] 参照图 38，使端部区域的间隔物层的蚀刻得以进行，而不进行侧区域的间隔物层的蚀刻的，是图 38 中的用阴影线表示的区域 90。另外，参照图 39，使端部区域的间隔物层的蚀刻得以进行，而不进行侧区域的间隔物层的蚀刻的，是图 39 中的用阴影线表示的区域 91。

[0194] 图 40 是表示根据图 38 和图 39 的结果推测出的侧区域的间隔物层的蚀刻速度的等高线图。图 40 中，纵轴表示间歇频率，即所谓的接通 / 断开 (ON/OFF) 频率 (Hz)，横轴表示占空比 (无单位)。

[0195] 参照图 40，用阴影线表示的区域 91 成为所希望的区域。在区域 91 中，右端部 93a 的占空比大约是 0.75，左端部 93b 的占空比大约是 0.18。另外，上端部 93c 的频率是 100Hz，下端部 93d 的频率是 5Hz。在区域 91 的左侧的区域 94，存在在端部区域过厚地形成保护膜，端部区域的间隔物层的蚀刻几乎不进行的倾向。此外，在区域 91 下侧的区域 95，形成在侧区域的保护膜变得过厚，如图 36 和图 37 所示那样，端部区域的间隔物层的一部分残留，产生阶差 (台阶)。在区域 91 右下侧的区域 96 和右上侧的区域 97，存在形成在侧区域的保护膜自身变薄，侧区域的间隔物层被切削而变细的倾向。

[0196] 另外，右端部 93a 的频率大约是 10Hz，左端部 93b 的频率大约是 6Hz，上端部 93c 的占空比大约是 0.18，下端部 93d 的占空比大约是 0.5。

[0197] 从而，在侧区域的间隔物层的蚀刻中的间歇频率和占空比的关系中，优选选择图 40 所示的区域 91 内的值。

[0198] 另外，在上述的情况下，在偏置断开时形成的保护膜的厚度优选控制成 $10 \text{ \AA}$ 以下。由此，能够抑制保护膜过度地变厚，更可靠地蚀刻成所希望的形状。

[0199] 另外，在上述的实施方式中，也可以根据等离子体蚀刻处理的进行状况，当场 (所谓的原位 (in situ)) 进行控制。这种情况下，例如通过应用使用发光监视器测定等离子体状态的测定装置、使用膜厚监视器测定被处理基板的膜厚的膜厚测定装置、使用散射测量 (scatterometry) 测定线宽 (CD: Critical Dimension, 临界尺寸) 或形状的测定装置等，来测定等离子体蚀刻处理的进行状况。根据该测定出的数据，通过在等离子体蚀刻处理中适当变更间歇频率和 / 或占空比，能够得到所希望的形状。另外，也可以通过变更在保护膜改性中使用的气体的导入量，对等离子体蚀刻形状进行调整。关于在等离子体蚀刻处理时进行变更的参数，能够从图 12、图 13、图 38、图 39 和图 40 所示的等高线图或曲线图等求出。

[0200] 另外，在进行了等离子体蚀刻处理之后，当搬出到等离子体蚀刻处理装置外时，也可以通过测定装置来测定形状，变更间歇频率和 / 或占空比，以使得接下来要处理的被处理基板成为所希望的蚀刻形状。即，也可以进行反馈。另外，也可以通过变更在保护膜的改

性中使用的气体的导入量,进行蚀刻形状的调整。

[0201] 另外,也可以通过使用测定装置测定被处理基板上的蚀刻掩模的形状,变更间歇频率和 / 或占空比,以得到所希望的蚀刻形状。即,也可以进行前馈。另外,也可以通过变更在保护膜的改性中使用的气体的导入量,进行蚀刻形状的调整。

[0202] 以上,参照附图对本发明的实施方式进行了说明,但是本发明并不限于图示的实施方式。对于图示的实施方式,在与本发明相同的范围内或等同的范围内,能够进行各种修正或变形。

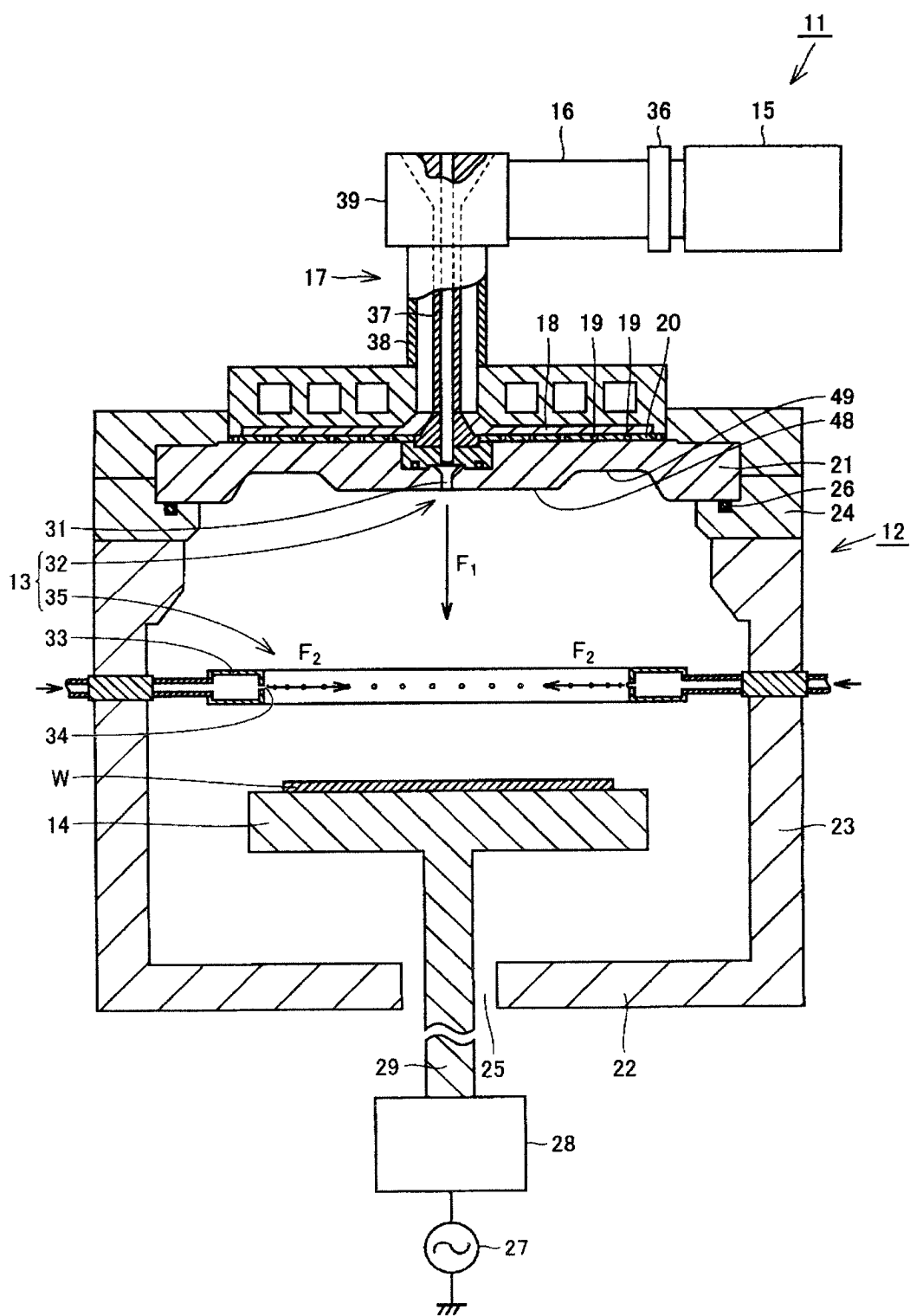


图 1

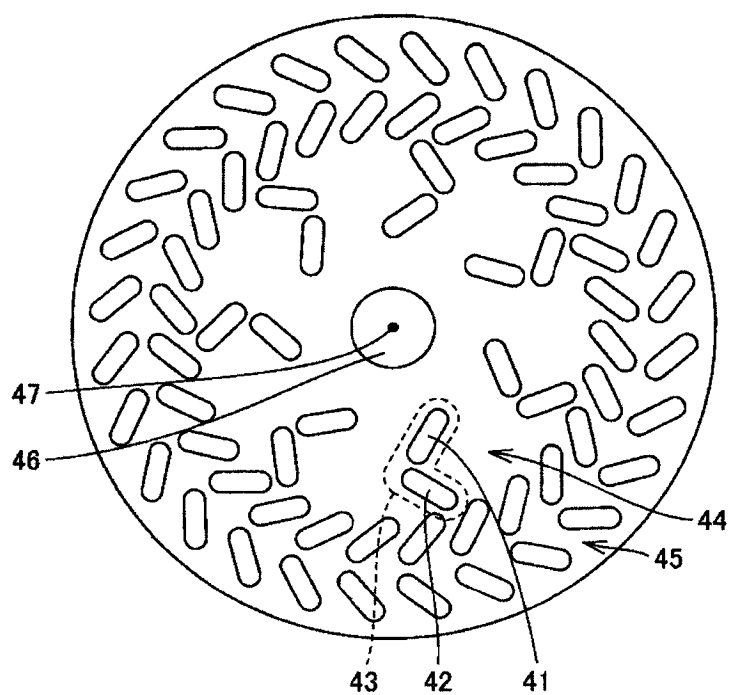


图 2

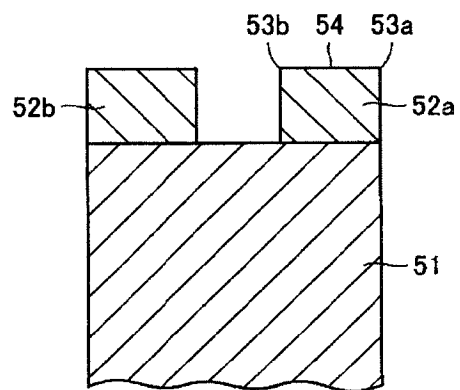


图 3

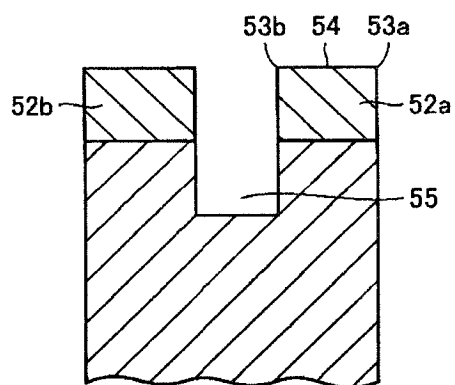


图 4

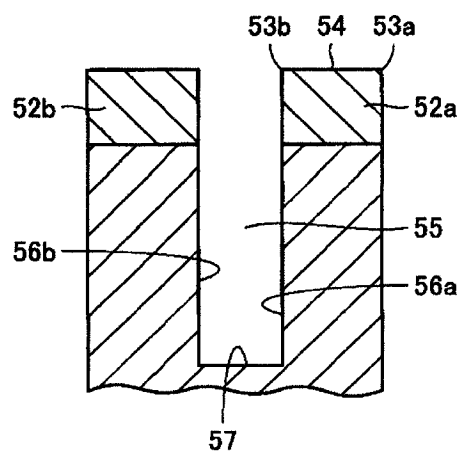


图 5

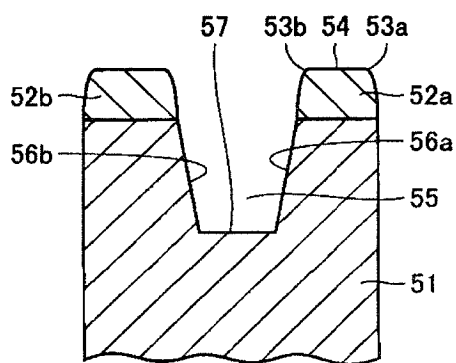


图 6

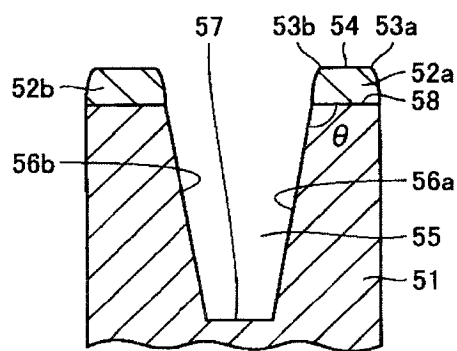


图 7

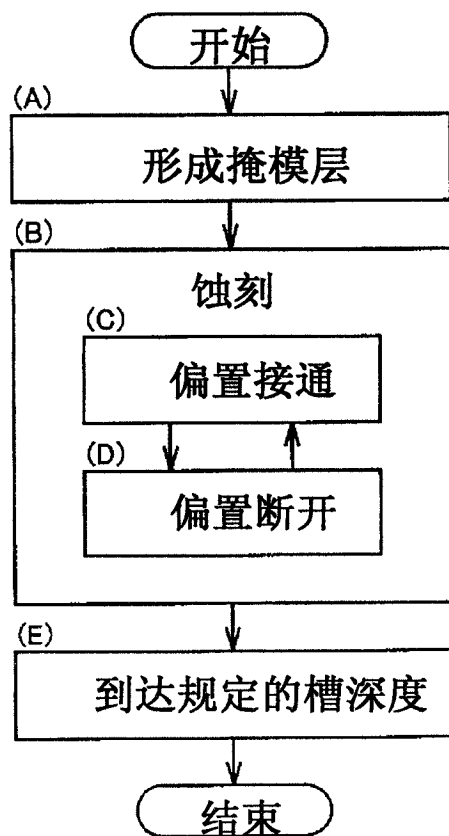


图 8

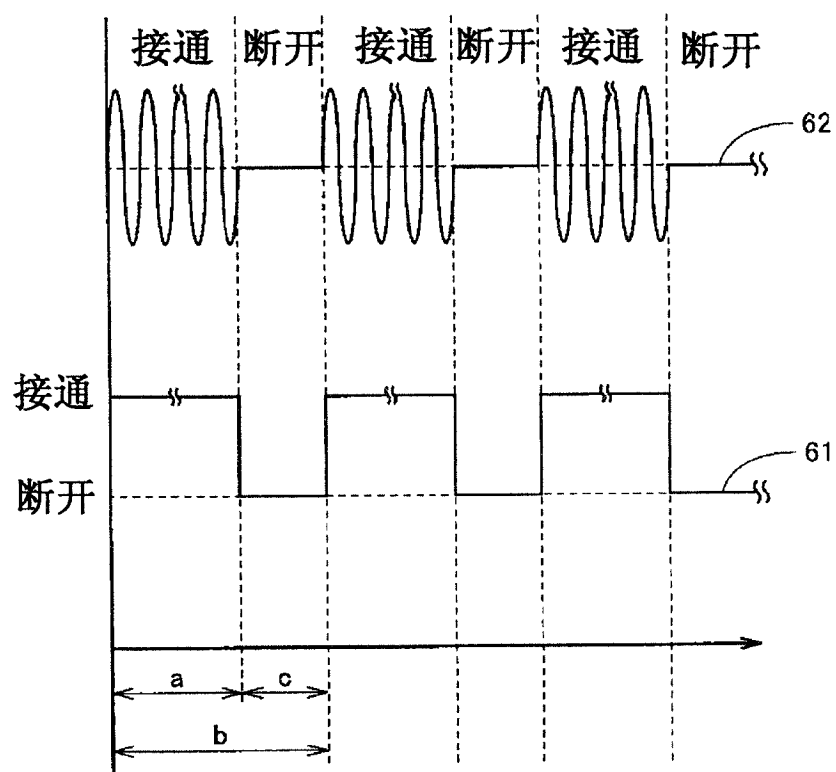


图 9

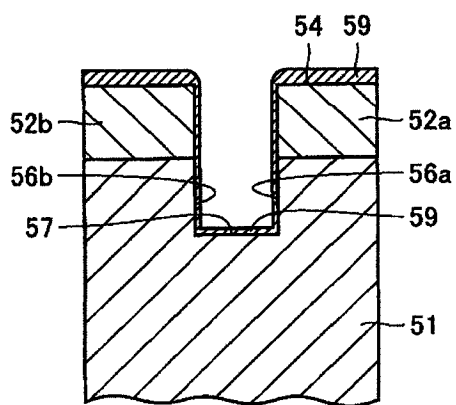


图 10

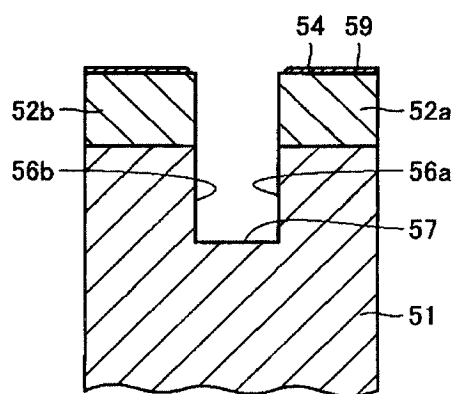


图 11

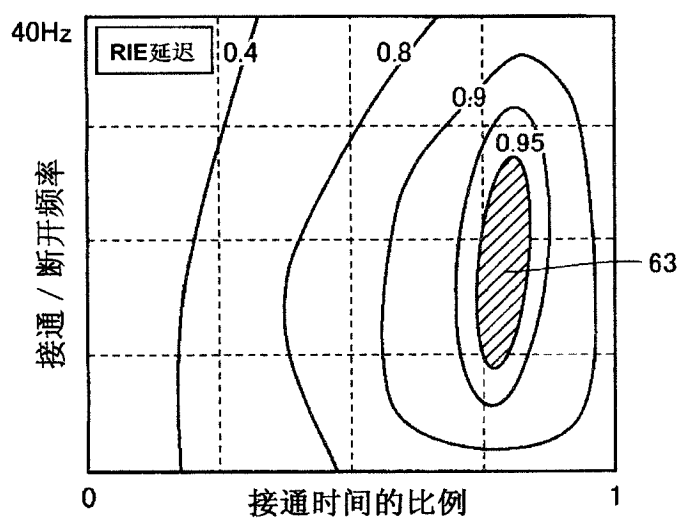


图 12

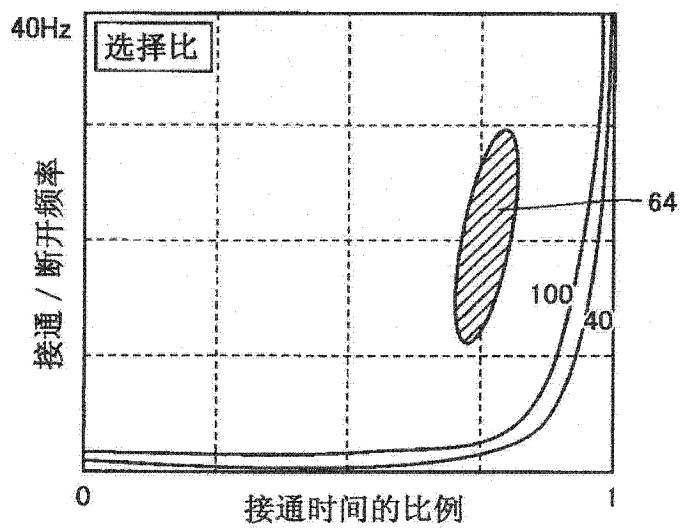


图 13

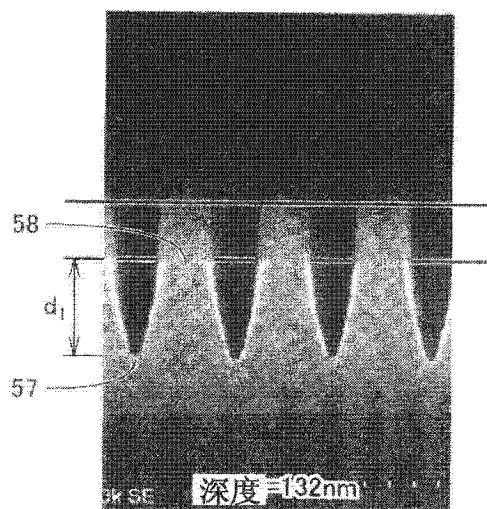


图 14

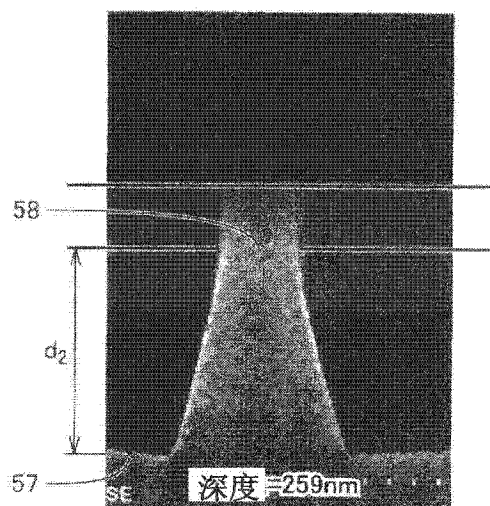


图 15

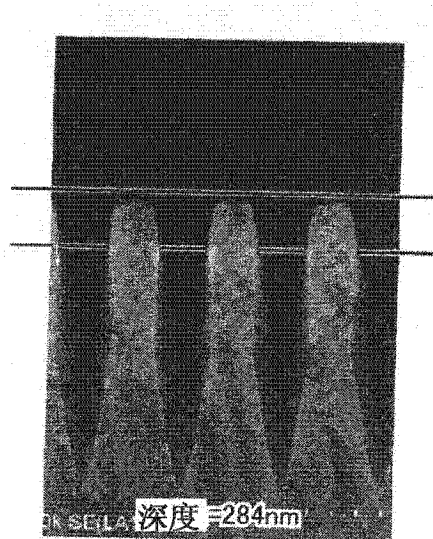


图 16

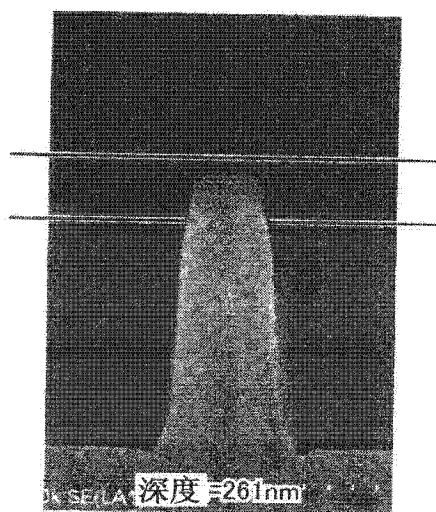


图 17

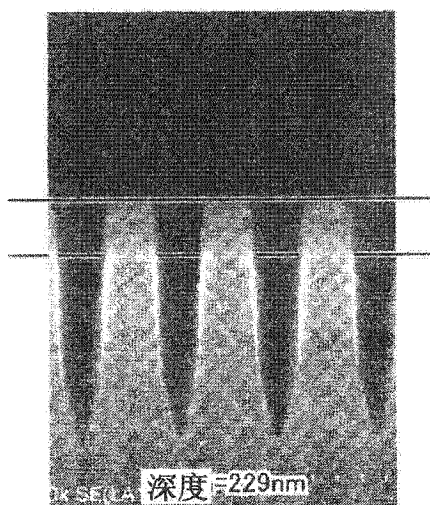


图 18

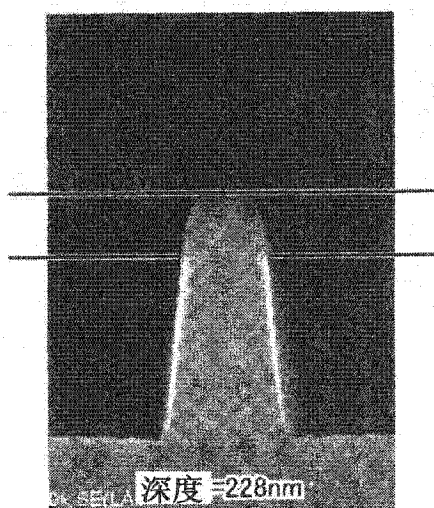


图 19

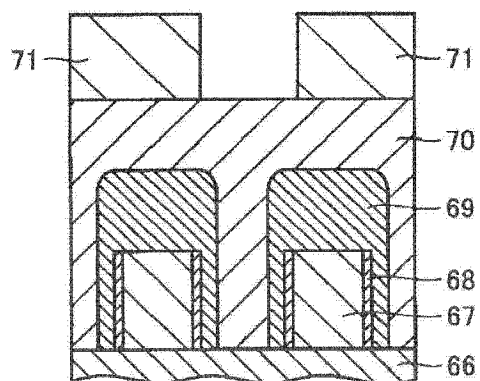


图 20

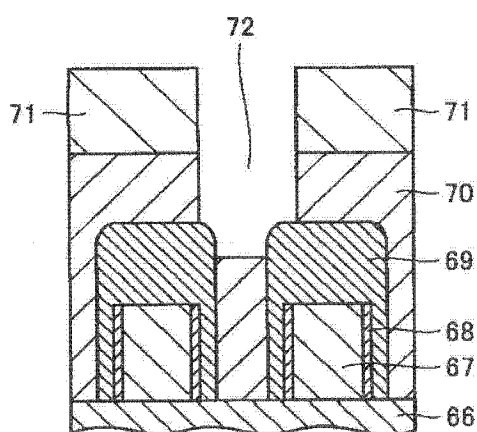


图 21

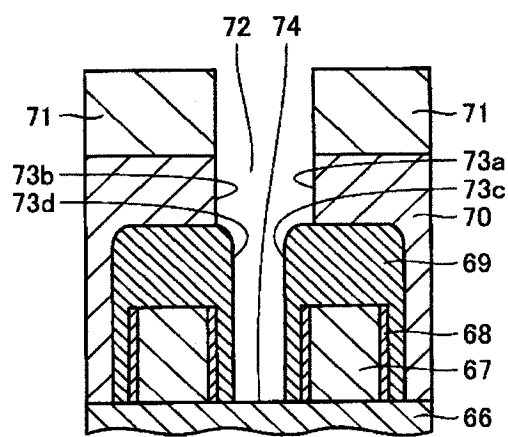


图 22

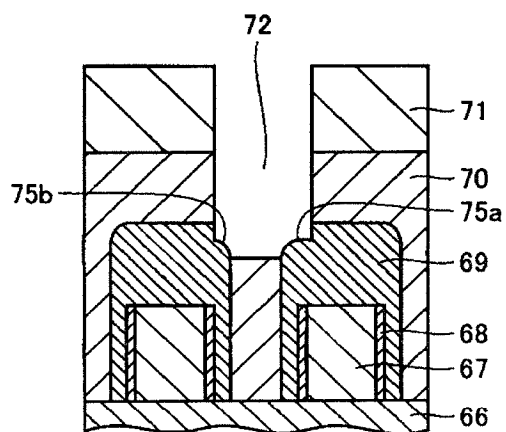


图 23

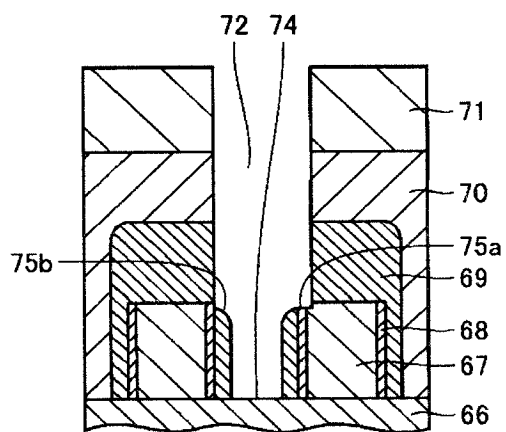


图 24

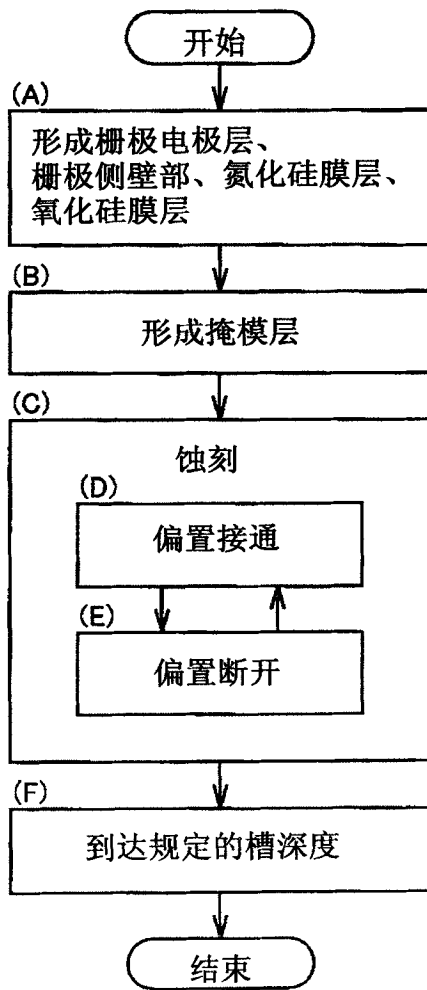


图 25

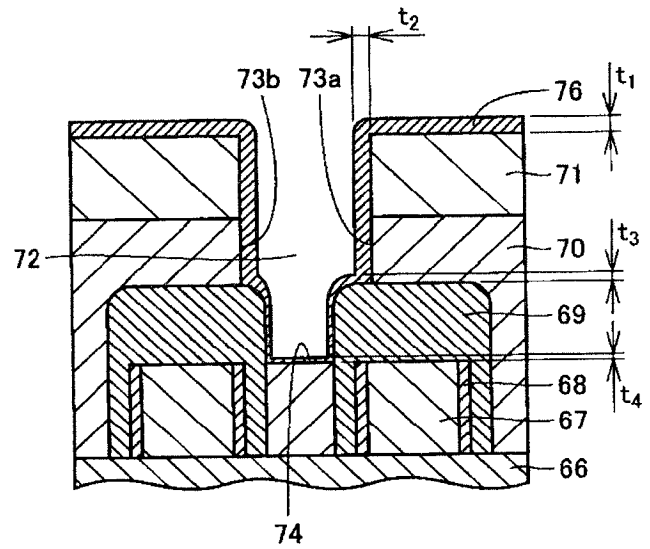


图 26

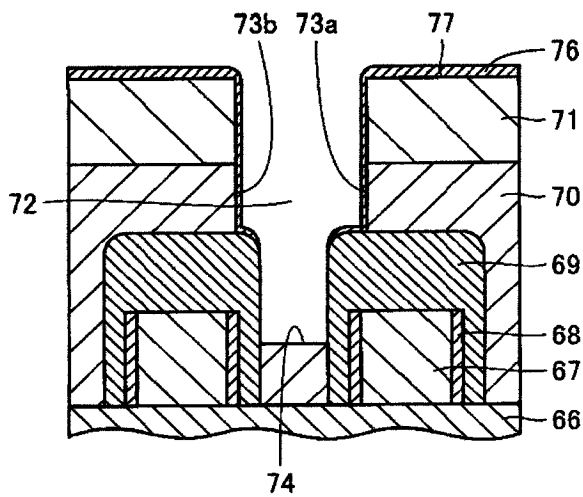


图 27

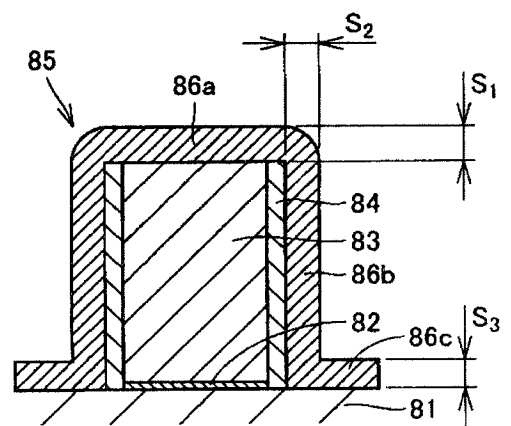


图 28

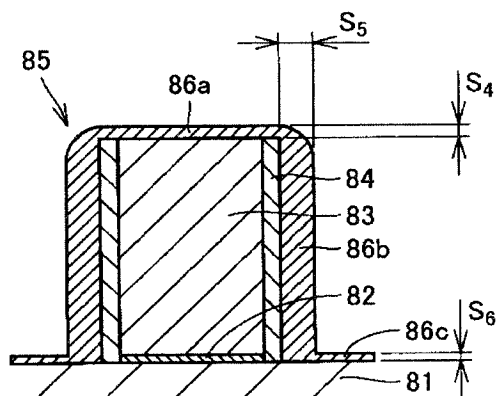


图 29

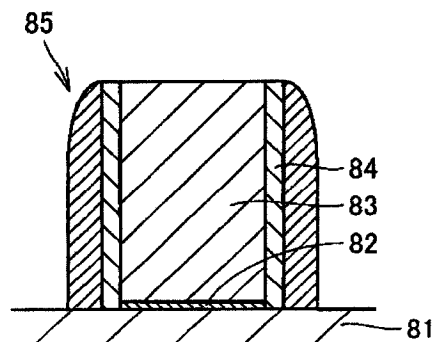


图 30

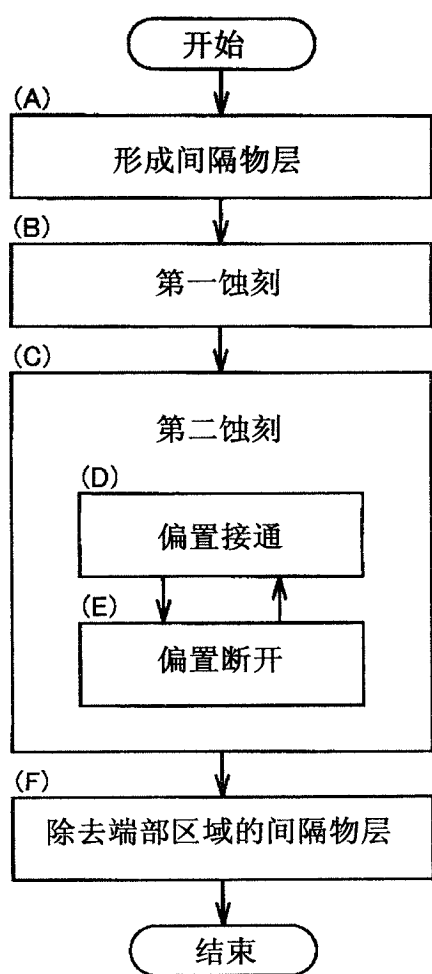


图 31

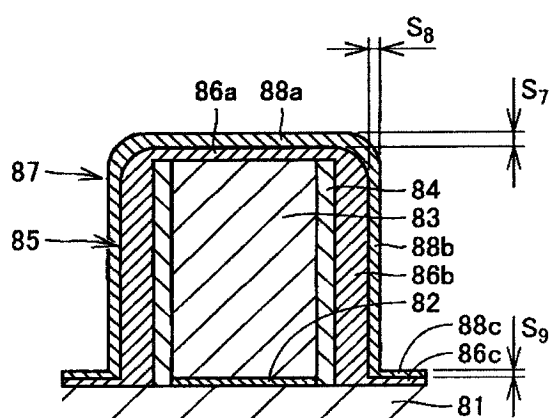


图 32

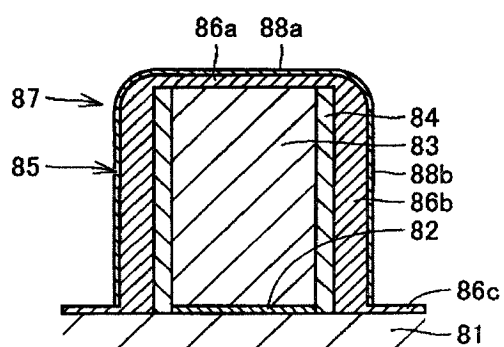


图 33

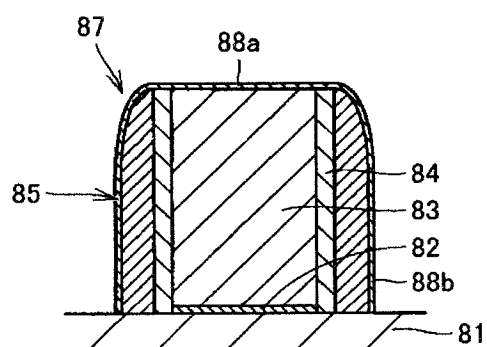


图 34

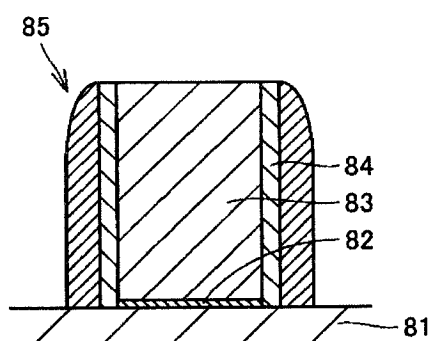


图 35

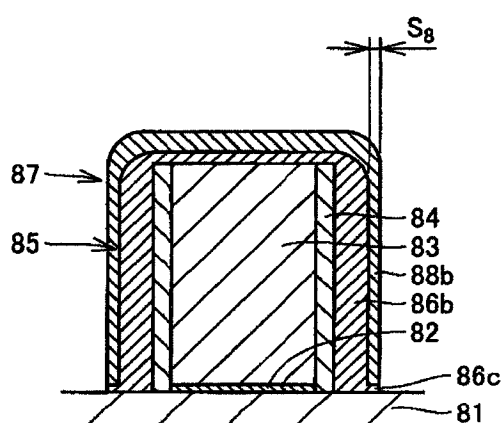


图 36

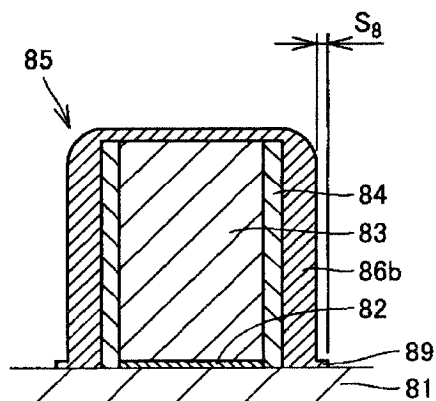


图 37

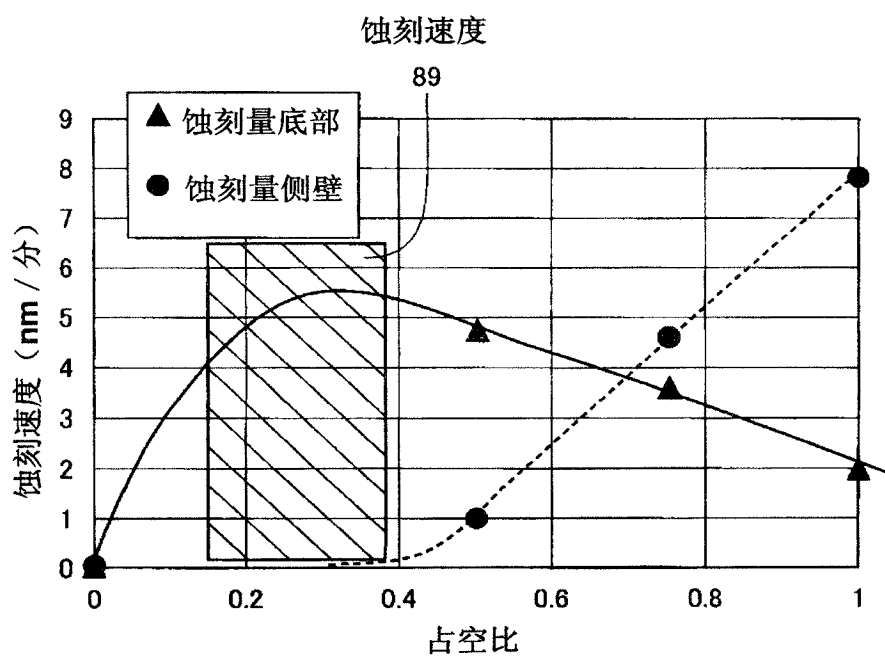


图 38

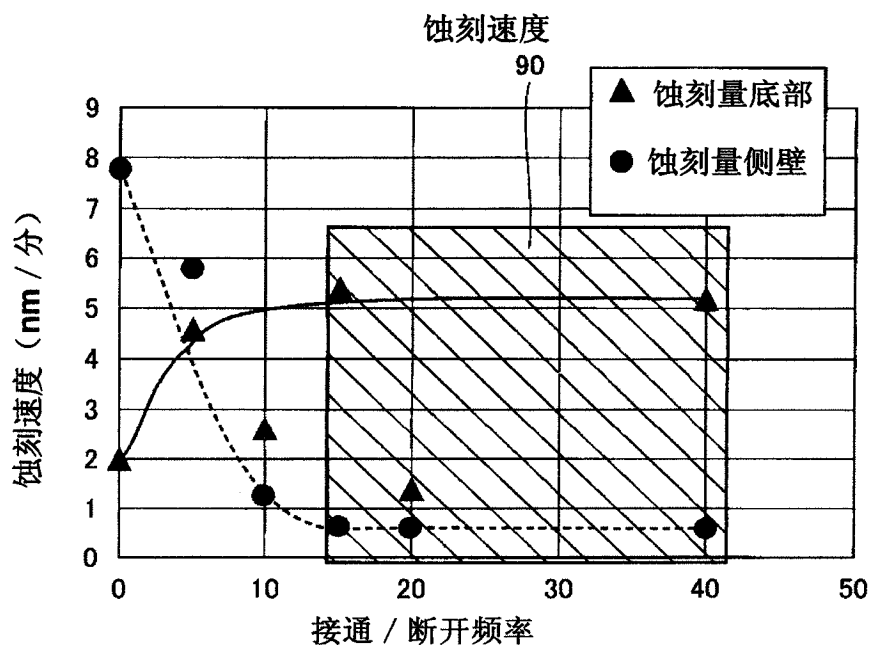


图 39

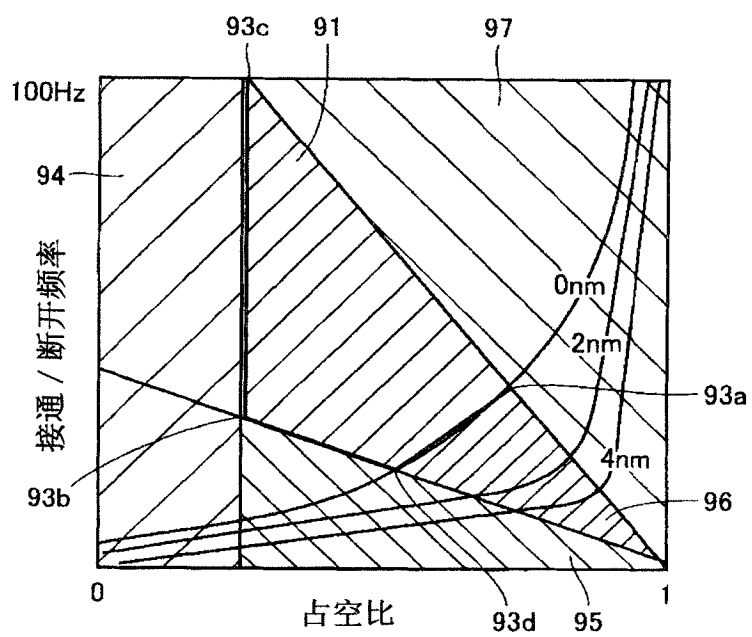


图 40