

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-179727  
(P2004-179727A)

(43) 公開日 平成16年6月24日(2004.6.24)

(51) Int. Cl.<sup>7</sup>  
H04J 11/00

F I  
H04J 11/00

テーマコード(参考)  
5K022

審査請求 未請求 請求項の数 8 O L (全 27 頁)

(21) 出願番号	特願2002-340586 (P2002-340586)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年11月25日(2002.11.25)	(74) 代理人	100097445 弁理士 岩橋 文雄
		(74) 代理人	100103355 弁理士 坂口 智康
		(74) 代理人	100109667 弁理士 内藤 浩樹
		(72) 発明者	古賀 久雄 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	児玉 宣貴 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

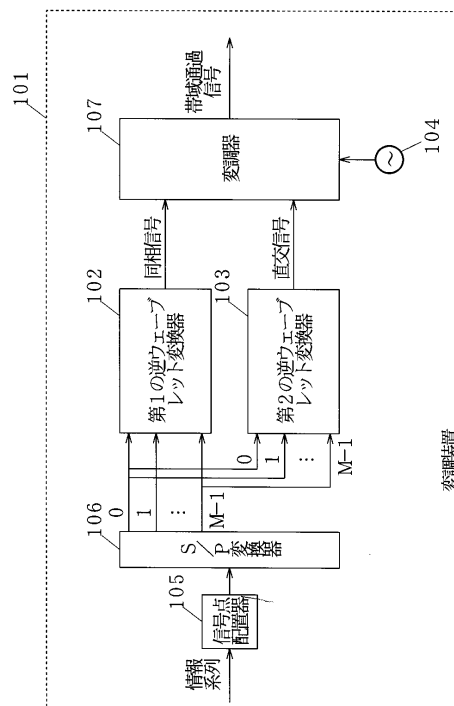
(54) 【発明の名称】 マルチキャリア送信装置およびマルチキャリア受信装置ならびにマルチキャリア通信装置

(57) 【要約】

【課題】 送信用データとして複素情報を扱うことができるマルチキャリア送信装置を提供することを目的とする。

【解決手段】 情報系列をシンボルマッピングする信号点配置器105と、シンボルマッピングされた情報系列としてのシリアルデータをパラレルデータに変換するS/P変換器106と、互いに直交する複数個の実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第1の逆ウェーブレット変換を行う第1の逆ウェーブレット変換器102と、変換器102とは異なる実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第2の逆ウェーブレット変換を行う第2の逆ウェーブレット変換器103と、変換器102からの出力を複素情報の同相信号とし、変換器103からの出力を複素情報の直交信号としてSSB変調を行う変調器107とを有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変調によりデータ送信を行うマルチキャリア送信装置であって、  
情報系列をシンボルマッピングする信号点配置器と、前記シンボルマッピングされた情報系列としてのシリアルデータをパラレルデータに変換する S / P 変換器と、互いに直交する複数個の実係数ウェーブレットフィルタで構成されると共に前記パラレルデータに対して第 1 の逆ウェーブレット変換を行う第 1 の逆ウェーブレット変換器と、前記第 1 の逆ウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された前記実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共に前記パラレルデータに対して第 2 の逆ウェーブレット変換を行う第 2 の逆ウェーブレット変換器と、前記第 1 の逆ウェーブレット変換器からの出力を複素情報の同相信号とし、前記第 2 の逆ウェーブレット変換器からの出力を複素情報の直交信号として S S B 変調を行う変調器とを有することを特徴とするマルチキャリア送信装置。

10

## 【請求項 2】

前記第 1 の逆ウェーブレット変換器は、前記 S / P 変換器からのパラレルデータを入力する高速離散コサイン変換器と、実係数を有するポリフェーズフィルタで構成されると共に前記高速離散コサイン変換器の出力データを入力する第 1 のプロトタイプフィルタと、前記第 1 のプロトタイプフィルタの出力データを入力する M 個のアップサンプラと、前記アップサンプラの出力データを入力する M - 1 個の 1 サンプル遅延素子とを有し、  
前記第 2 の逆ウェーブレット変換器は、前記 S / P 変換器からのパラレルデータを入力する高速離散サイン変換器と、実係数を有するポリフェーズフィルタで構成されると共に前記高速離散サイン変換器の出力データを入力する第 2 のプロトタイプフィルタと、前記第 2 のプロトタイプフィルタの出力データを入力する M 個のアップサンプラと、前記アップサンプラの出力データを入力する M - 1 個の 1 サンプル遅延素子とを有することを特徴とする請求項 1 に記載のマルチキャリア送信装置。

20

## 【請求項 3】

実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア復調によりデータ受信を行うマルチキャリア受信装置であって、  
送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする第 1 の乗算器と第 2 の乗算器と、前記第 1 の乗算器に所定周波数の信号を与える局部発振器と、前記局部発振器の位相を  $\pi/2$  だけ遅らせて前記第 2 の乗算器に直交したキャリアを生成させる  $\pi/2$  位相推移器と、前記第 1 の乗算器と第 2 の乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去する第 1 の L P F と第 2 の L P F と、前記第 1 の L P F と第 2 の L P F から出力される同相信号と直交信号をウェーブレット変換する第 1 のウェーブレット変換器と、前記第 1 のウェーブレット変換器から出力される同相信号および直交信号の各パラレル信号を各サブキャリアにおける複素信号として等化を行う等化器と、前記等化器より出力されるパラレル信号をシリアル信号に変換する P / S 変換器と、前記 P / S 変換器より出力されるシリアルデータを判定する判定器とを有することを特徴とするマルチキャリア受信装置。

30

40

## 【請求項 4】

前記第 1 のウェーブレット変換器は、前記第 1 の L P F と第 2 の L P F から出力される同相信号と直交信号を入力する M - 1 個の 1 サンプル遅延素子と、前記 1 サンプル遅延素子の出力データを入力する M 個のアップサンプラと、前記 M 個のアップサンプラの出力データを入力する第 1 のプロトタイプフィルタと、前記第 1 のプロトタイプフィルタの出力データを入力する高速離散コサイン変換器とを有することを特徴とする請求項 3 に記載のマルチキャリア受信装置。

## 【請求項 5】

実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア復調によりデー

50

タ受信を行うマルチキャリア受信装置であって、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする乗算器と、前記乗算器に所定周波数の信号を与える局部発振器と、前記乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、前記LPFからの出力信号に対して第1のウェーブレット変換を行う第1のウェーブレット変換器と、前記第1のウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された前記実係数ウェーブレットフィルタのうち奇数番目の前記実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共に前記LPFからの出力信号に対して第2のウェーブレット変換を行う第2のウェーブレット変換器と、前記第1のウェーブレット変換器から出力される同相信号と前記第2のウェーブレット変換器から出力される直交信号の各平行信号を各サブキャリアにおける複素信号として等化を行う等化器と、前記等化器より出力される等化後の平行信号をシリアルデータに変換するP/S変換器と、前記P/S変換器より出力されるシリアルデータを判定する判定器とを有することを特徴とするマルチキャリア受信装置。

10

20

40

50

【請求項6】

前記第1のウェーブレット変換器は、前記LPFの出力信号を入力するM-1個の1サンプル遅延素子と、前記1サンプル遅延素子の出力データを入力するM個のアップサンプラと、前記M個のアップサンプラの出力データを入力する第1のプロトタイプフィルタと、前記第1のプロトタイプフィルタの出力データを入力する高速離散コサイン変換器とを有し、

前記第2のウェーブレット変換器は、前記LPFの出力信号を入力するM-1個の1サンプル遅延素子と、前記1サンプル遅延素子の出力データを入力するM個のアップサンプラと、前記M個のアップサンプラの出力データを入力する第2のプロトタイプフィルタと、前記第2のプロトタイプフィルタの出力データを入力する高速離散サイン変換器とを有することを特徴とする請求項5に記載のマルチキャリア受信装置。

【請求項7】

マルチキャリア送信装置とマルチキャリア受信装置とを有し、正整数M個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、

前記マルチキャリア送信装置は、ビットデータをシンボルデータに変換して前記シンボルデータをM/2個の複素座標面にマッピングする信号点配置器と、前記マッピングされたシンボルデータとしてのシリアルデータを平行データに変換するS/P変換器と、前記平行データを入力すると共に前記第1および第2逆ウェーブレット変換器への $2n-1$ 番目の入力に複素情報の同相成分を供給し、 $2n$ 番目の入力に直交成分を（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を $0 \sim M-1$ とする）供給するように複素データを実部と虚部に分解する複素データ分解器と、互いに直交する前記M個の実係数ウェーブレットフィルタで構成されると共に前記複素データの同相信号を出力する第1の逆ウェーブレット変換器と、互いに直交する前記M個の実係数ウェーブレットフィルタで構成されると共に前記複素データの直交信号を出力する第2の逆ウェーブレット変換器と、前記第1の逆ウェーブレット変換器からの出力を複素情報の同相信号とし前記第2の逆ウェーブレット変換器からの出力を複素情報の直交信号としてSSB変調を行うSSB変調器とを有し、

前記マルチキャリア受信装置の検波部は、送られてきた帯域通過信号の受信信号としての帯域通過受信信号をベースバンド信号にダウンコンバートする乗算器と、前記乗算器に所定周波数の信号を与える局部発振器と、前記乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共に前記LPFの出力データを入力する第1のウェーブレット変換器と、前記第1のウェーブレット変換器からの $2n-1$ 番目の出力を複素情報の同相成分とし、 $2n$ 番目の出力を直交成分として（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を $0 \sim M-1$ とする）複素データを生成する複素データ生成器とを有することを特徴と

するマルチキャリア通信装置。

【請求項 8】

マルチキャリア送信装置とマルチキャリア受信装置とを有し、正の整数 M 個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、前記マルチキャリア送信装置は、前記マルチキャリア受信装置にて既知のデータとなる信号を発生する同期用データ発生器と、前記既知のデータとなる信号を前記同期用データ発生器から入力する変調装置としての請求項 7 に記載のマルチキャリア送信装置とを有し、前記マルチキャリア受信装置は、サブキャリアデータのペアから成る隣接する複素サブキャリアデータを出力する請求項 7 に記載の検波部と、前記隣接する複素サブキャリアデータ間の差からシンボル同期タイミングを推定する同期推定回路とを有することを特徴とするマルチキャリア通信装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、実係数ウェーブレットフィルタバンクを用いたデジタル変調によりデータ送信を行うマルチキャリア送信装置 (Digital Wavelet Multi Carrier 送信装置、DWMC 送信装置)、および、実係数ウェーブレットフィルタバンクを用いたデジタル復調によりデータ受信を行うマルチキャリア受信装置 (DWMC 受信装置)、ならびに、実係数ウェーブレットフィルタバンクを用いたデジタル変復調によりデータ伝送を行うマルチキャリア通信装置 (DWMC 通信装置、DWMC 伝送装置) に関する。

20

【0002】

【従来の技術】

実係数ウェーブレットフィルタバンクを用いたデジタル変復調処理による伝送装置は、マルチキャリア変調方式の一種による伝送装置であり、実係数ウェーブレットフィルタバンクにより複数のデジタル変調波を合成して送信信号を生成するものである。各サブキャリアの変調方式としては、PAM (Pulse Amplitude Modulation) が用いられる。

【0003】

図 17 は DWMC 伝送装置における各サブキャリアのインパルス応答を示すグラフであり、図 18 は各サブキャリアのインパルス応答が合成された波形を示す波形図である。DWMC 伝送装置によるデータ伝送は、図 17 に示すように、各サブキャリアのインパルス応答が各サブキャリア内で重なり合いながら伝送される。各伝送シンボルは、図 18 に示すように、各サブキャリアのインパルス応答が合成された波形となる。図 19 は振幅スペクトルの例を示すスペクトル図である。図 19 において、横軸は周波数を示し、縦軸はレベルを示す。

30

【0004】

DWMC 伝送装置では、図 18 の伝送シンボルを数十個 ~ 数百個程度集めて 1 つの伝送フレームを構成する。図 20 は DWMC 伝送フレームの構成例を示すフレームデータ図である。この DWMC 伝送フレームには、情報データ伝送用シンボルの他に、フレーム同期用シンボルや等化用シンボルなどが含まれる。

40

【0005】

図 16 は、DWMC 伝送装置を採用した場合のマルチキャリア送信装置 299 およびマルチキャリア受信装置 199 の概念的構成を示すブロック図である。

【0006】

図 16 において、210 はビットデータをシンボルデータに変換する信号点配置器、220 はシリアルデータをパラレルデータに変換する S/P 変換器、230 は逆ウェーブレット変換を行う逆ウェーブレット変換器、240 はデジタルデータをアナログ信号に変換する D/A 変換器、110 はアナログ信号をデジタルデータに変換する D/A 変換器、

50

120はウェーブレット変換を行うウェーブレット変換器、130はパラレルデータをシリアルデータに変換するP/S変換器、140は受信データを生成する判定器である。

【0007】

図16において、まず、マルチキャリア送信装置299においては、信号点配置器210によってビットデータをシンボルデータに変換し、各シンボルデータに従ってシンボルマッピング(PAM変調)を行う。そして、S/P変換器220で、サブキャリアごとに実数値 $d_i$  ( $i = 0 \sim M - 1$ )を与え、逆ウェーブレット変換器230で時間軸上へ逆ウェーブレット変換する。これにより、時間軸波形のサンプル値を発生させ、伝送シンボルを表すサンプル値系列を生成する。D/A変換器240で、このサンプル値系列から時間的に連続するアナログベースバンド信号波形に変換して送信する。ここで、逆ウェーブレット変換により発生する時間軸上のサンプル値の個数は、通常 $2n$  ( $n$ は正整数)個である。

10

【0008】

マルチキャリア受信装置199においては、受信信号(アナログベースバンド信号)波形をA/D変換器110で変換してデジタルベースバンド信号波形を得た後、送信側と同じサンプルレートでサンプルする。そして、このサンプル値系列をウェーブレット変換器120により周波数軸上へウェーブレット変換し、その後、並直列変換器(P/S変換器)130により直列データに変換する。最後に判定器140にて、各サブキャリアの振幅値を計算し、受信信号の判定を行って受信データを得る。

【0009】

ところで、通信においては、伝送路のインピーダンス変動やマルチパスなどの影響により振幅歪みや位相歪みを生じるため、振幅と位相の両パラメータすなわち複素情報を扱った方が都合がよい。これに対して、従来のDWMC送信装置やDWMC受信装置、DWMC伝送装置(DWMC通信装置)では、振幅情報しか扱えないため、伝送路の状態によっては歪みを補正することができず、伝送効率が大幅に抑制されてしまうといった問題があった。

20

【0010】

【非特許文献1】

貴家仁志著「マルチレート信号処理」昭晃堂出版，1995年10月6日，P186-191

30

【0011】

【発明が解決しようとする課題】

このように、従来のマルチキャリア送信装置やマルチキャリア受信装置、マルチキャリア通信装置では、伝送用データとして振幅情報のみしか扱えないため、受信側で複素情報を扱った処理を行うことができなかった。

【0012】

このマルチキャリア送信装置、マルチキャリア受信装置およびマルチキャリア通信装置では、送信用データとして複素情報を扱うことができることが要求されている。

【0013】

本発明は、この要求を満たすため、送信用データとして複素情報を扱うことができるマルチキャリア送信装置、および、受信用データとして複素情報を扱うことができるマルチキャリア受信装置、ならびに、通信用データとして複素情報を扱うことができるマルチキャリア通信装置を提供することを目的とする。

40

【0014】

【課題を解決するための手段】

上記課題を解決するために本発明のマルチキャリア送信装置は、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変調によりデータ送信を行うマルチキャリア送信装置であって、情報系列をシンボルマッピングする信号点配置器と、シンボルマッピングされた情報系列としてのシリアルデータをパラレルデータに変換するS/P変換器と、互いに直交する複数個の実係数ウェーブレットフィルタで構成されると共にパラレ

50

ルデータに対して第1の逆ウェーブレット変換を行う第1の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第2の逆ウェーブレット変換を行う第2の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器からの出力を複素情報の同相信号とし、第2の逆ウェーブレット変換器からの出力を複素情報の直交信号としてSSB変調を行う変調器とを有する構成を備えている。

【0015】

これにより、送信用データとして複素情報を扱うことができるマルチキャリア送信装置が得られる。 10

【0016】

上記課題を解決するために本発明のマルチキャリア受信装置は、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア復調によりデータ受信を行うマルチキャリア受信装置であって、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする第1の乗算器と第2の乗算器と、第1の乗算器に所定周波数の信号を与える局部発振器と、局部発振器の位相を  $\pi/2$  だけ遅らせて第2の乗算器に直交したキャリアを生成させる  $\pi/2$  位相推移器と、第1の乗算器と第2の乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去する第1のLPFと第2のLPFと、第1のLPFと第2のLPFから出力される同相信号と直交信号をウェーブレット変換する第1のウェーブレット変換器と、第1のウェーブレット変換器から出力される同相信号および直交信号の各パラレル信号を各サブキャリアにおける複素信号として等化を行う等化器と、等化器より出力されるパラレル信号をシリアル信号に変換するP/S変換器と、P/S変換器より出力されるシリアルデータを判定する判定器とを有する構成を備えている。 20

【0017】

これにより、受信用データとして複素情報を扱うことができるマルチキャリア受信装置が得られる。

【0018】

上記課題を解決するために本発明のマルチキャリア通信装置は、マルチキャリア送信装置とマルチキャリア受信装置とを有し、正整数M個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、マルチキャリア送信装置は、ビットデータをシンボルデータに変換してシンボルデータをM/2個の複素座標面にマッピングする信号点配置器と、マッピングされたシンボルデータとしてのシリアルデータをパラレルデータに変換するS/P変換器と、パラレルデータを入力すると共に第1および第2逆ウェーブレット変換器への  $2n-1$  番目の入力に複素情報の同相成分を供給し、 $2n$  番目の入力に直交成分を（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を  $0 \sim M-1$  とする）供給するように複素データを実部と虚部に分解する複素データ分解器と、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共に複素データの同相信号を出力する第1の逆ウェーブレット変換器と、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共に複素データの直交信号を出力する第2の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器からの出力を複素情報の同相信号とし第2の逆ウェーブレット変換器からの出力を複素情報の直交信号としてSSB変調を行うSSB変調器とを有し、マルチキャリア受信装置の検波部は、送られてきた帯域通過信号の受信信号としての帯域通過受信信号をベースバンド信号にダウンコンバートする乗算器と、乗算器に所定周波数の信号を与える局部発振器と、乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共にLPFの出力データを入力する第1のウェーブレット変換器と、第1のウェーブレット変換器からの  $2n-1$  番目の出力を複素情報の同相成分とし、 $2n$  番目の出力を直交成分として（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を  $0 \sim$  30 40 50

M - 1 とする) 複素データを生成する複素データ生成器とを有する構成を備えている。

【0019】

これにより、通信用データとして複素情報を扱うことができるマルチキャリア通信装置が得られる。

【0020】

【発明の実施の形態】

本発明の請求項1に記載のマルチキャリア送信装置は、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変調によりデータ送信を行うマルチキャリア送信装置であって、情報系列をシンボルマッピングする信号点配置器と、シンボルマッピングされた情報系列としてのシリアルデータをパラレルデータに変換するS/P変換器と、互いに直交する複数個の実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第1の逆ウェーブレット変換を行う第1の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第2の逆ウェーブレット変換を行う第2の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器からの出力を複素情報の同相信号とし、第2の逆ウェーブレット変換器からの出力を複素情報の直交信号としてSSB変調を行う変調器とを有することとしたものである。

10

【0021】

この構成により、実係数ウェーブレットフィルタバンクを用いて複素情報の同相信号と直交信号を含むSSB変調を行うことができるので、複素情報を送信することができ、周波数利用効率を高めることができるという作用を有する。

20

【0022】

請求項2に記載のマルチキャリア送信装置は、請求項1に記載のマルチキャリア送信装置において、第1の逆ウェーブレット変換器は、S/P変換器からのパラレルデータを入力する高速離散コサイン変換器と、実係数を有するポリフェーズフィルタで構成されると共に高速離散コサイン変換器の出力データを入力する第1のプロトタイプフィルタと、第1のプロトタイプフィルタの出力データを入力するM個のアップサンプラと、アップサンプラの出力データを入力するM-1個の1サンプル遅延素子とを有し、第2の逆ウェーブレット変換器は、S/P変換器からのパラレルデータを入力する高速離散サイン変換器と、実係数を有するポリフェーズフィルタで構成されると共に高速離散サイン変換器の出力データを入力する第2のプロトタイプフィルタと、第2のプロトタイプフィルタの出力データを入力するM個のアップサンプラと、アップサンプラの出力データを入力するM-1個の1サンプル遅延素子とを有することとしたものである。

30

【0023】

この構成により、第1の逆ウェーブレット変換と第2の逆ウェーブレット変換を高速に行うことができるので、送信処理を高速に行うことができるという作用を有する。

【0024】

請求項3に記載のマルチキャリア受信装置は、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア復調によりデータ受信を行うマルチキャリア受信装置であって、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする第1の乗算器と第2の乗算器と、第1の乗算器に所定周波数の信号を与える局部発振器と、局部発振器の位相を  $\pi/2$  だけ遅らせて第2の乗算器に直交したキャリアを生成させる  $\pi/2$  位相推移器と、第1の乗算器と第2の乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去する第1のLPFと第2のLPFと、第1のLPFと第2のLPFから出力される同相信号と直交信号をウェーブレット変換する第1のウェーブレット変換器と、第1のウェーブレット変換器から出力される同相信号および直交信号の各パラレル信号を各サブキャリアにおける複素信号として等化を行う等化器と、等化器より出力されるパラレル信号をシリアル信号に変換するP/S変換器と、P/S変換器より出力されるシリアル

40

50

ルデータを判定する判定器とを有することとしたものである。

【0025】

この構成により、SSB変調された複素情報を含む送信信号を受信して、1種類の実係数ウェーブレットフィルタバンクで複素情報を得ることができ、その複素情報を用いて等化を行うことができるので、受信精度を高めることができるという作用を有する。

【0026】

請求項4に記載のマルチキャリア受信装置は、請求項3に記載のマルチキャリア受信装置において、第1のウェーブレット変換器は、第1のLPFと第2のLPFから出力される同相信号と直交信号を入力するM-1個の1サンプル遅延素子と、1サンプル遅延素子の出力データを入力するM個のアップサンプラと、M個のアップサンプラの出力データを入力する第1のプロトタイプフィルタと、第1のプロトタイプフィルタの出力データを入力する高速離散コサイン変換器とを有することとしたものである。

10

【0027】

この構成により、第1のウェーブレット変換を高速に行うことができるので、受信処理を全体として高速に行うことができるという作用を有する。

【0028】

請求項5に記載のマルチキャリア受信装置は、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア復調によりデータ受信を行うマルチキャリア受信装置であって、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする乗算器と、乗算器に所定周波数の信号を与える局部発振器と、乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、LPFからの出力信号に対して第1のウェーブレット変換を行う第1のウェーブレット変換器と、第1のウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共にLPFからの出力信号に対して第2のウェーブレット変換を行う第2のウェーブレット変換器と、第1のウェーブレット変換器から出力される同相信号と第2のウェーブレット変換器から出力される直交信号の各パラレル信号を各サブキャリアにおける複素信号として等化を行う等化器と、等化器より出力される等化後のパラレル信号をシリアルデータに変換するP/S変換器と、P/S変換器より出力されるシリアルデータを判定する判定器とを有することとしたものである。

20

30

【0029】

この構成により、SSB変調された複素情報を含む送信信号を受信する時、ダウンコンバートが1系統のみの場合に2種類の実係数ウェーブレットフィルタバンクを使用することにより複素情報を得ることができ、その複素情報を用いて等化を行うことができるので、受信精度を高めることができるという作用を有する。

【0030】

請求項6に記載のマルチキャリア受信装置は、請求項5に記載のマルチキャリア受信装置において、第1のウェーブレット変換器は、LPFの出力信号を入力するM-1個の1サンプル遅延素子と、1サンプル遅延素子の出力データを入力するM個のアップサンプラと、M個のアップサンプラの出力データを入力する第1のプロトタイプフィルタと、第1のプロトタイプフィルタの出力データを入力する高速離散コサイン変換器とを有し、第2のウェーブレット変換器は、LPFの出力信号を入力するM-1個の1サンプル遅延素子と、1サンプル遅延素子の出力データを入力するM個のアップサンプラと、M個のアップサンプラの出力データを入力する第2のプロトタイプフィルタと、第2のプロトタイプフィルタの出力データを入力する高速離散サイン変換器とを有することとしたものである。

40

【0031】

この構成により、第1のウェーブレット変換と第2のウェーブレット変換を高速に行うことができるので、受信処理を高速に行うことができるという作用を有する。

【0032】

請求項7に記載のマルチキャリア通信装置は、マルチキャリア送信装置とマルチキャリア

50

受信装置とを有し、正整数  $M$  個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、マルチキャリア送信装置は、ビットデータをシンボルデータに変換してシンボルデータを  $M/2$  個の複素座標面にマッピングする信号点配置器と、マッピングされたシンボルデータとしてのシリアルデータをパラレルデータに変換する  $S/P$  変換器と、パラレルデータを入力すると共に第 1 および第 2 逆ウェーブレット変換器への  $2n-1$  番目の入力に複素情報の同相成分を供給し、 $2n$  番目の入力に直交成分を（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を  $0 \sim M-1$  とする）供給するように複素データを実部と虚部に分解する複素データ分解器と、互いに直交する  $M$  個の実係数ウェーブレットフィルタで構成されると共に複素データの同相信号を出力する第 1 の逆ウェーブレット変換器と、互いに直交する  $M$  個の実係数ウェーブレットフィルタで構成されると共に複素データの直交信号を出力する第 2 の逆ウェーブレット変換器と、第 1 の逆ウェーブレット変換器からの出力を複素情報の同相信号とし第 2 の逆ウェーブレット変換器からの出力を複素情報の直交信号として  $SSB$  変調を行う  $SSB$  変調器とを有し、マルチキャリア受信装置の検波部は、送られてきた帯域通過信号の受信信号としての帯域通過受信信号をベースバンド信号にダウンコンバートする乗算器と、乗算器に所定周波数の信号を与える局部発振器と、乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去する  $LPF$  と、互いに直交する  $M$  個の実係数ウェーブレットフィルタで構成されると共に  $LPF$  の出力データを入力する第 1 のウェーブレット変換器と、第 1 のウェーブレット変換器からの  $2n-1$  番目の出力を複素情報の同相成分とし、 $2n$  番目の出力を直交成分として（但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を  $0 \sim M-1$  とする）複素データを生成する複素データ生成器とを有することとしたものである。

#### 【0033】

この構成により、マルチキャリア送信装置では、信号点配置器において生成された  $M/2$  個の複素座標面の初期位相を任意に与えることができ、各サブキャリアの位相が重ならないようにデータを設定することが可能なため、送信出力の際の瞬時ピーク電圧を抑制することができ、マルチキャリア受信装置では、受信信号の同相信号のみから 1 種類の実係数ウェーブレットフィルタバンクでサブキャリア毎の複素情報を得ることができるという作用を有する。

#### 【0034】

請求項 8 に記載のマルチキャリア通信装置は、マルチキャリア送信装置とマルチキャリア受信装置とを有し、正の整数  $M$  個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、マルチキャリア送信装置は、マルチキャリア受信装置にて既知のデータとなる信号を発生する同期用データ発生器と、既知のデータとなる信号を同期用データ発生器から入力する変調装置としての請求項 7 に記載のマルチキャリア送信装置とを有し、マルチキャリア受信装置は、サブキャリアデータのペアから成る隣接する複素サブキャリアデータを出力する請求項 7 に記載の検波部と、隣接する複素サブキャリアデータ間の差からシンボル同期タイミングを推定する同期推定回路とを有することとしたものである。

#### 【0035】

この構成により、1 つのウェーブレット変換器で検波部を実現することができるので、同期回路動作時（プリアンブル期間中）は演算量を抑えることができるという作用を有する。

#### 【0036】

以下、本発明の実施の形態について、図 1 ~ 図 15 を用いて説明する。また、本発明の実施の形態においては、特に断らない限り、ウェーブレット変換および逆ウェーブレット変換は、コサイン変調フィルタバンクによって行われるものとする。

#### 【0037】

（実施の形態 1）

10

20

30

40

50

図1は、本発明の実施の形態1によるマルチキャリア送信装置の変調装置を示すブロック図である。なお、マルチキャリア受信装置については、実施の形態3～6で述べる。

【0038】

図1において、101はマルチキャリア送信装置における変調装置、105は情報系列をPAMにてシンボルマッピングする信号点配置器、106はシリアルデータをパラレルデータに変換するS/P変換器、102はパラレルデータを逆ウェーブレット変換する第1の逆ウェーブレット変換器、103は第1の逆ウェーブレット変換器102の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタ(0～M-1)のうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成される第2の逆ウェーブレット変換器、104は局部発振器、107は第1の逆ウェーブレット変換器102から出力される同相信号と第2の逆ウェーブレット変換器103から出力される直交信号を使用してSSB変調を行なう変調器である。

10

【0039】

次に、扱うサブキャリアをM本とし、サブキャリア番号が0～M-1までふられているものとして、図1を用いて本実施の形態の動作について説明する。

【0040】

まず、変調装置101では、情報系列が信号点配置器105によりPAMにてシンボルマッピングされ、S/P変換器106によりシリアルデータ(上記シンボルマッピングされた情報系列)をパラレルデータに変換し、パラレルデータ出力を第1の逆ウェーブレット変換器102と第2の逆ウェーブレット変換器103の各々に入力する。第1の逆ウェーブレット変換器102より出力された信号を同相信号、第2の逆ウェーブレット変換器103より出力された信号を直交信号とする。直交信号は同相信号をヒルベルト変換したものの、つまり直交信号は同相信号に含まれる各周波数成分を $\pi/2$ シフトしたものとなる。変調器107では、局部発振器104と上記同相信号および直交信号とを使用してSSB変調を行う。なお、実係数ウェーブレットフィルタの構成は、有限長インパルス応答(finite impulse response、略してFIR)デジタルフィルタを仮定している。以上が本実施の形態における変調装置101の動作である。

20

【0041】

以上のように本実施の形態によれば、マルチキャリアを使用するマルチキャリア送信装置においてSSB変調を行うことができるので、周波数利用効率を高めることができ、マルチキャリア受信装置においては複素情報を取り扱うことが容易となり、受信精度を向上させることができる。

30

【0042】

(実施の形態2)

図2は、本発明の実施の形態2によるマルチキャリア送信装置の変調装置を構成する第1の逆ウェーブレット変換器102を示すブロック図である。本発明の実施の形態2によるマルチキャリア送信装置の変調装置の構成は実施の形態1と同様、図1の構成である。また、図3は図2の第1の逆ウェーブレット変換器102を構成するポリフェーズ構成の第1のプロトタイプフィルタを示すブロック図、図4は本実施の形態によるマルチキャリア送信装置の変調装置を構成する第2の逆ウェーブレット変換器103を示すブロック図、図5は図4の第2の逆ウェーブレット変換器103を構成するポリフェーズ構成の第2のプロトタイプフィルタを示すブロック図である。

40

【0043】

図2において、102は第1の逆ウェーブレット変換器、121は送信データを1サンプリング時間だけ遅延させる遅延素子、122は送信データのサンプリングレートをM倍にするアップサンブラ、123は第1のプロトタイプフィルタ、124は高速離散コサイン変換器(TYPE4)である。なお、図2において、遅延素子121はM-1個あり、アップサンブラ122はM個ある。

【0044】

50

また図3において、123は第1のプロトタイプフィルタ、131は第1のプロトタイプフィルタのフィルタ係数をもつ乗算器、132は2入力加算器、133は1シンボル時間(Mサンプリング時間)遅延させる遅延素子である。なお、図3に示す第1のプロトタイプフィルタ123の次数は2Mである。

【0045】

さらに図4において、103は第2の逆ウェーブレット変換器、121は送信データを1サンプリング時間だけ遅延させる遅延素子、122は送信データのサンプリングレートをM倍にするアップサンブラ、125は第2のプロトタイプフィルタ、126は高速離散サイン変換器(TYPE4)である。なお、図4において、遅延素子121はM-1個あり、アップサンブラ122はM個ある。

10

【0046】

さらに図5において、125は第2のプロトタイプフィルタ、131は第2のプロトタイプフィルタのフィルタ係数をもつ乗算器、132は2入力加算器、133は1シンボル時間(Mサンプリング時間)遅延させる遅延素子である。なお、図5に示す第2のプロトタイプフィルタの次数は2Mである。

【0047】

なお、動作については実施の形態1の場合と同様であり、異なるのは実施の形態1においてFIRフィルタによって実現している部分を、本実施の形態においては、ポリフェーズ構成で実現したプロトタイプフィルタと、高速離散コサイン変換および高速離散サイン変換を行う高速離散コサイン変換器124および高速離散サイン変換器126とによって実現していることにある。

20

【0048】

なお、本実施の形態においては、第1の逆ウェーブレット変換器(逆ウェーブレット変換器102)および第2の逆ウェーブレット変換器(逆ウェーブレット変換器103)を全く別なものとして構成したが、同一の回路構成を共有(例えばDC T4を共有してDST4を使用しない)することによっても実現可能である。このことは、お互いのプロトタイプフィルタのフィルタ係数が上下反転しているだけであること、離散コサイン変換と離散サイン変換も同様に処理における係数が異なるだけであることから明らかである。

【0049】

以上のように本実施の形態によれば、第1の逆ウェーブレット変換器102は、S/P変換器106からのパラレルデータを入力する高速離散コサイン変換器124と、実係数を有するポリフェーズフィルタで構成されると共に高速離散コサイン変換器124の出力データを入力する第1のプロトタイプフィルタ123と、第1のプロトタイプフィルタ123の出力データを入力するM個のアップサンブラ122と、アップサンブラ122の出力データを入力するM-1個の1サンプル遅延素子121とを有し、第2の逆ウェーブレット変換器103は、S/P変換器106からのパラレルデータを入力する高速離散サイン変換器126と、実係数を有するポリフェーズフィルタで構成されると共に高速離散サイン変換器126の出力データを入力する第2のプロトタイプフィルタ125と、第2のプロトタイプフィルタ125の出力データを入力するM個のアップサンブラ122と、アップサンブラ122の出力データを入力するM-1個の1サンプル遅延素子121とを有することにより、第1の逆ウェーブレット変換と第2の逆ウェーブレット変換を高速に行うことができるので、送信処理を全体として高速(実施の形態1の場合よりも更に高速)に行うことができる。

30

40

【0050】

(実施の形態3)

図6は、本発明の実施の形態3によるマルチキャリア受信装置を示すブロック図である。

【0051】

図6において、302a、302bは受信した帯域通過信号(帯域通過受信信号)をダウンコンバートするのに使用する第1、第2の乗算器、104は局部発振器、303は/2だけ位相を遅らせる/2位相推移器、304a、304bは不要波を除去する第1、

50

第2のLPF (Low Pass Filter、ローパスフィルタ、低域ろ波器)、300は同相信号および直交信号の両方をウェーブレット変換する第1のウェーブレット変換器、301は第1のウェーブレット変換器300より出力される同相信号および直交信号の各平行信号をサブキャリア毎の複素情報として等化处理を行う等化器、130は平行データをシリアルデータに変換するP/S変換器、140は判定器である。

【0052】

次に、このように構成されたマルチキャリア受信装置について、その動作を説明する。

【0053】

図6において、まず、帯域通過受信信号を同相信号および直交信号に各々ダウンコンバートしてLPF304に通す。次に、同相信号と直交信号を各々第1のウェーブレット変換器300に入力してウェーブレット変換を行う。等化器301は、第1のウェーブレット変換器300より出力される同相信号と直交信号の各々の平行データをサブキャリア毎の複素データとして、等化用にあらかじめ割り当てられた既知データと比較し等化量を求める。次に、実際のデータ伝送シンボル区間において、先に求めた等化量を用いて複素データを等化し、P/S変換器130に供給する。P/S変換器130は等化後の複素データをシリアルデータに変換し、最後に判定器140は、シリアルデータ化された等化後の複素データに基づきデータ判定を行う。これが、一連の動作である。なお、等化器301では、サブキャリアごとに既知信号からの振幅および位相ずれを等化量として求めている。また、伝送路によっては複数タップを使用した適応フィルタ(LMSやRLSなど)を使用することも可能である。

【0054】

以上のように本実施の形態によれば、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする第1の乗算器302aと第2の乗算器302bと、第1の乗算器302aに所定周波数の信号を与える局部発振器104と、局部発振器104の位相を $\pi/2$ だけ遅らせて第2の乗算器302bに直交したキャリアを生成させる $\pi/2$ 位相推移器303と、第1の乗算器302aと第2の乗算器302bから出力されるベースバンド信号の帯域外の不要な信号を除去する第1のLPF304aと第2のLPF304bと、第1のLPF304aと第2のLPF304bから出力される同相信号と直交信号をウェーブレット変換する第1のウェーブレット変換器300と、第1のウェーブレット変換器300から出力される同相信号および直交信号の各平行信号を各サブキャリアにおける複素信号として等化を行う等化器301と、等化器301より出力される平行信号をシリアル信号に変換するP/S変換器130と、P/S変換器130より出力されるシリアルデータを判定する判定器140とを有することにより、SSB変調された複素情報を含む送信信号を受信して、1種類の実係数ウェーブレットフィルタバンクで複素情報を得ることができ、その複素情報を用いて等化を行うことができるので、受信精度を高める(非線形伝送路においても高精度な復調を行う)ことができる。

【0055】

(実施の形態4)

図7は、本発明の実施の形態4によるマルチキャリア受信装置を構成する第1のウェーブレット変換器300を示すブロック図である。本発明の実施の形態4によるマルチキャリア受信装置の構成は実施の形態3と同様、図6に示す構成である。また、図8は図7におけるポリフェーズ構成の第1のプロトタイプフィルタを示すブロック図である。

【0056】

図7において、300は第1のウェーブレット変換器、121は受信信号(ここでは同相信号と直交信号)を1サンプリング時間だけ遅延させる遅延素子、127は受信信号のサンプリングレートをM分の1にするダウンサンブラ、128は第1のプロトタイプフィルタ、124は高速離散コサイン変換器(TYPE4)である。なお、図7において、遅延素子121はM-1個あり、ダウンサンブラ127はM個ある。

【0057】

また図8において、128は第1のプロトタイプフィルタ、131は第1のプロトタイプ

10

20

30

40

50

フィルタ 128 のフィルタ係数をもつ乗算器、132 は 2 入力加算器、133 は 1 シンボル時間 (M サンプル時間) 遅延させる遅延素子である。なお、図 8 に示す第 1 のプロトタイプフィルタ 128 の次数は  $2M$  である。

【0058】

なお、動作については実施の形態 3 と同様であり、異なるのは実施の形態 3 において FIR フィルタによって実現している部分を、本実施の形態においては、ポリフェーズ構成で実現した第 1 のプロトタイプフィルタと離散コサイン変換を行う高速離散コサイン変換器 24 とによって実現していることにある。

【0059】

以上のように本実施の形態によれば、第 1 のウェーブレット変換器 300 は、第 1 の LPF 304 a と第 2 の LPF 304 b から出力される同相信号と直交信号を入力する  $M-1$  個の 1 サンプル遅延素子 121 と、1 サンプル遅延素子 121 の出力データを入力する  $M$  個のアップサンプラ 127 と、 $M$  個のアップサンプラ 127 の出力データを入力する第 1 のプロトタイプフィルタ 128 と、第 1 のプロトタイプフィルタ 128 の出力データを入力する高速離散コサイン変換器 124 とを有することにより、第 1 のウェーブレット変換を高速に行うことができるので、受信処理を全体として高速 (実施の形態 3 の場合よりもさらに高速) に行うことができる。

【0060】

(実施の形態 5)

図 9 は、本発明の実施の形態 5 によるマルチキャリア受信装置を示すブロック図である。 20

【0061】

図 9 において、302 は帯域通過受信信号をダウンコンバートするのに使用する乗算器、104 は局部発振器、304 は不要波を除去する LPF、300 は同相信号をウェーブレット変換する第 1 のウェーブレット変換器、305 は第 1 のウェーブレット変換器 300 の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタ ( $0 \sim M-1$ ) のうち奇数番目の前記実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成され直交信号をウェーブレット変換する第 2 のウェーブレット変換器、301 は第 1 のウェーブレット変換器 300 より出力される同相信号と第 2 のウェーブレット変換器 305 より出力される直交信号の各パラレル信号をサブキャリア毎の複素情報として等化处理を行う等化器、130 はパラレルデータをシリアルデータに変換する P/S 変換器、140 は判定器である。 30

【0062】

次に、このように構成されたマルチキャリア受信装置について、その動作を説明する。

【0063】

図 9 において、まず、帯域通過受信信号を同相信号としてダウンコンバートして LPF 304 に通す。次にダウンコンバートした信号を第 1 のウェーブレット変換器 300 と第 2 のウェーブレット変換器 305 に入力して各々ウェーブレット変換を行う。等化器 301 は、第 1 のウェーブレット変換器 300 より出力される同相信号と第 2 のウェーブレット変換器 305 より出力される直交信号の各々のパラレルデータをサブキャリア毎の複素データとして、等化用にあらかじめ割り当てられた既知データと比較して等化量を求める。 40

次に、実際のデータ伝送シンボル区間において、先に求めた等化量を用いて複素データを等化し、P/S 変換器 130 に供給する。P/S 変換器 130 は、等化後の複素データをシリアルデータに変換し、最後に判定器 140 は、シリアルデータに変換された等化後の複素データに基づきデータ判定を行う。これが、一連の動作である。ウェーブレット変換においては 2 種類のウェーブレット変換器 300、305 を使用することになるが、ダウンコンバートは 1 系統でよい。また、第 2 のウェーブレット変換器 305 の代わりに、従来からあるヒルベルト変換器、第 1 のウェーブレット変換器 300 および符号変換器 (精度向上のためにレベル変換器を加えることもある) を使用することにより、ダウンコンバートを 1 系統でかつ 1 種類のウェーブレット変換器で図 9 と同じ動作を実現することも可能である。これは、第 2 のウェーブレット変換器 305 が第 1 のウェーブレット変換器 3 50

00の実係数ウェーブレットフィルタ(0~M-1)の各々をヒルベルト変換し、奇数番目の実係数ウェーブレットフィルタの符号を反転させて構成されていることから明らかである。なお、等化器301ではサブキャリアごとに既知信号からの振幅および位相ずれを等化量として求めている。また、伝送路によっては複数タップを使用した適応フィルタ(LMSやRLSなど)を使用することも可能である。

#### 【0064】

以上のように本実施の形態によれば、送信されてきた帯域通過信号をベースバンド信号にダウンコンバートする乗算器302と、乗算器302に所定周波数の信号を与える局部発振器104と、乗算器302から出力されるベースバンド信号の帯域外の不要な信号を除去するLPF304と、LPF304からの出力信号に対して第1のウェーブレット変換を行う第1のウェーブレット変換器300と、第1のウェーブレット変換器300の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共にLPF304からの出力信号に対して第2のウェーブレット変換を行う第2のウェーブレット変換器305と、第1のウェーブレット変換器300から出力される同相信号と第2のウェーブレット変換器305から出力される直交信号の各平行信号を各サブキャリアにおける複素信号として等化を行う等化器301と、等化器301より出力される等化後の平行信号をシリアルデータに変換するP/S変換器130と、P/S変換器130より出力されるシリアルデータを判定する判定器140とを有することにより、SSB変調された複素情報を含む送信信号を受信する時、ダウンコンバートが1系統のみの場合に2種類の実係数ウェーブレットフィルタバンクを使用することにより複素情報を得ることができ、その複素情報を用いて等化を行うことができるので、受信精度を高める(非線形伝送路においても高精度な復調を行う)ことができる。

#### 【0065】

(実施の形態6)

図10は、本発明の実施の形態6によるマルチキャリア受信装置を構成する第2のウェーブレット変換器305を示すブロック図である。本発明の実施の形態6によるマルチキャリア受信装置の構成は実施の形態5と同様、図9に示す構成である。また、本実施の形態における第1のウェーブレット変換器の構成は、実施の形態4と同様、図7、図8に示す構成である。また、図11は図10の第2のウェーブレット変換器305を構成するポリフェーズ構成の第2のプロトタイプフィルタを示すブロック図である。

#### 【0066】

図10において、305は第2のウェーブレット変換器、121は受信信号を1サンプリング時間だけ遅延させる遅延素子、127は受信信号のサンプリングレートをM分の1にするダウンサンブラ、129は第2のプロトタイプフィルタ、126は高速離散サイン変換器(TYPE4)である。なお、図10において、遅延素子121はM-1個あり、ダウンサンブラ127はM個ある。

#### 【0067】

図11において、129は第2のプロトタイプフィルタ、131は第2のプロトタイプフィルタ129のフィルタ係数をもつ乗算器、132は2入力加算器、133は1シンボル時間(Mサンプリング時間)遅延させる遅延素子である。なお、図11に示す第2のプロトタイプフィルタの次数は2Mである。

#### 【0068】

ここで、動作については実施の形態5と同様であり、異なるのは実施の形態5においてFIRフィルタによって実現している部分を、本実施の形態においては、ポリフェーズ構成で実現した第2のプロトタイプフィルタ129と離散サイン変換を行う高速離散サイン変換器126とによって実現していることにある。

#### 【0069】

なお、本実施の形態においては、第1のウェーブレット変換器(ウェーブレット変換器3

00) および第2のウェーブレット変換器(ウェーブレット変換器305)を全く別なものとして構成しているが、同一の回路構成を共有(例えばDC T4を共有してD S T4を使用しない)することによっても実現可能である。このことは、お互いのプロトタイプフィルタのフィルタ係数が上下反転しているだけであること、離散コサイン変換と離散サイン変換も同様に処理における係数が異なるだけであることから明らかである。

【0070】

以上のように本実施の形態によれば、第1のウェーブレット変換器300は、LPF304の出力信号を入力するM-1個の1サンプル遅延素子121と、1サンプル遅延素子121の出力データを入力するM個のアップサンプラ127と、M個のアップサンプラ127の出力データを入力する第1のプロトタイプフィルタ128と、第1のプロトタイプフィルタ128の出力データを入力する高速離散コサイン変換器124とを有し、第2のウェーブレット変換器305は、LPF304の出力信号を入力するM-1個の1サンプル遅延素子121と、1サンプル遅延素子121の出力データを入力するM個のアップサンプラ127と、M個のアップサンプラ127の出力データを入力する第2のプロトタイプフィルタ129と、第2のプロトタイプフィルタ129の出力データを入力する高速離散コサイン変換器126とを有することにより、第1のウェーブレット変換と第2のウェーブレット変換を高速に行うことができるので、受信処理を全体として高速(実施の形態5の場合よりもさらに高速)に行うことができる。

【0071】

(実施の形態7)

図12は、本発明の実施の形態7によるマルチキャリア通信装置を構成するマルチキャリア送信装置の変調装置を示すブロック図である。

【0072】

図12において、251はマルチキャリア送信装置におけるSSB変調装置、252はビットデータをシンボルデータに変換し、各シンボルデータに従ってM/2個の(M個の実係数ウェーブレットフィルタの半分)複素座標面にマッピング(QAM: Quadrature Amplitude Modulation)を行う信号点配置器、253はシリアルデータをパラレルデータに変換するS/P変換器、254は第1の逆ウェーブレット変換器102および第2の逆ウェーブレット変換器103への2n-1番目の入力に複素情報の同相成分(Iチャンネル)を供給し、2n番目の入力に直交成分(Qチャンネル)を(但し、1n (M/2-1)、サブキャリア番号を0~M-1とする)供給するように複素データを実部と虚部に分解する複素データ分解器、104は局部発振器、107は第1の逆ウェーブレット変換器102から出力される同相信号と第2の逆ウェーブレット変換器103から出力される直交信号を使用してSSB変調を行う変調器である。

【0073】

図13は、本発明の実施の形態7によるマルチキャリア通信装置を構成するマルチキャリア受信装置の検波部を示すブロック図である。

【0074】

図13において、151はマルチキャリア受信装置の検波部、302は帯域通過受信信号をダウンコンバートするのに使用する乗算器、104は局部発振器、304は不要波を除去するLPF、300は互いに直交するM個の実係数ウェーブレットフィルタで構成される第1のウェーブレット変換器、153は第1のウェーブレット変換器300からの2n-1番目の出力を複素情報の同相成分(Iチャンネル)とし、2n番目の出力を直交成分(Qチャンネル)として(但し、1n (M/2-1)、サブキャリア番号を0~M-1とする)複素データを生成する複素データ生成器である。

【0075】

まず、図12のSSB変調装置251について、その動作を図12、図14を用いて説明する。図14はサブキャリアを示すスペクトル図である。なお、説明を簡単にするため、サブキャリア本数を8として説明する。また、本実施の形態において、マルチキャリア送信装置の出力として図14に示す太実線部分(f1、f2、f3)を周波数とする正弦波

10

20

30

40

50

の合成波が出力されるものとし、それぞれの位相を  $\theta_1$ 、 $\theta_2$ 、 $\theta_3$  とする。このとき、各正弦波の位相  $\theta_n$  ( $n = 1, 2, 3$ ) は  $-\pi/2 \sim \pi/2$  の範囲で任意である。

【0076】

まず、SSB変調装置251は、信号点配置器252によって送信データ(ビットデータ)をシンボルデータに変換し、各シンボルデータに従ってQAM変調を行い、複素座標上に信号点を配置する。この処理により、 $\exp(j\theta_n)$ を得る。次に、S/P変換器253によってパラレル複素データに変換し、各複素データを複素データ分解器254によって実部データ( $\cos(\theta_n)$ )と虚部データ( $\sin(\theta_n)$ )に分解する。そして、第1の逆ウェーブレット変換器102および第2の逆ウェーブレット変換器103の  $2n-1$  番目の入力に対して  $\cos(\theta_n)$  を、 $2n$  番目に対して  $\sin(\theta_n)$  を割り当てる(但し、 $\theta_1 = \theta_{(M/2-1)}$  とする)。すると、各々の逆ウェーブレット変換器102、103の出力は、図14中の各  $f_n$  を周波数とし、初期位相  $\theta_n$  をもつ正弦波  $\cos(2f_n \cdot t + \theta_n)$  の合成波となる。 10

【0077】

なお、本実施の形態では、合計  $M/2-1$  個の複素データ分解器254を使用したか、1個の複素データ分解器でも実現可能である。すなわち、複素データ分解器254からの出力を並直列変換し、そのシリアルデータのうち  $2n-1$  番目と  $2n$  番目が複素データ分解器254へ入力されるようにタイミング制御を行うことにより実現可能である。また、実施の形態2を適用して逆ウェーブレット変換を高速に行うことも可能である。

【0078】

次に、本実施の形態における検波部151について、その動作を図13、図14を用いて説明する。 20

【0079】

まず、検波部151は、受信信号を第1のウェーブレット変換器300によってウェーブレット変換する。このとき、 $2n-1$  番目と  $2n$  番目のサブキャリア出力は、それぞれ図14中の各  $f_n$  を周波数とする正弦波に対する  $\cos(\theta_n)$ 、 $\sin(\theta_n)$  となる。そして、複素データ生成器153は、 $\cos(\theta_n)$  を実部データ、 $\sin(\theta_n)$  を虚部データとして複素データを生成する。この後、出力信号は通常等化器に入力される。

【0080】

なお、本実施の形態では、合計  $(M/2-1)$  個の複素データ生成器153を使用したか、ウェーブレット変換器からの出力を並直列変換し、そのシリアルデータのうち  $2n-1$  番目と  $2n$  番目が複素データ生成器へ入力されるようにタイミング制御を行うことにより、1個の複素データ生成器でも実現可能である。また、実施の形態4を適用してウェーブレット変換を高速に行うことも可能である。 30

【0081】

以上のように本実施の形態によるマルチキャリア送信装置では、信号点配置器252で配置された複素座標面の初期位相を各サブキャリアペア(正確には  $2n-1$  と  $2n$  番目のサブキャリアによるペア)に対して自由に与えることが可能となるため、各サブキャリアペアの位相が重ならないようにデータを設定することにより、送信出力の際の瞬時ピーク電圧を抑制することができる。このことにより、送信アンプの仕様を緩和することが可能となる。また、本実施の形態によるマルチキャリア受信装置では、正弦波で構成される受信信号に対してという限定はあるが、少ない演算量(実施の形態3や5と比較して約半分)で複素情報を得ることが可能となる。 40

【0082】

(実施の形態8)

図15(a)は本発明の実施の形態8によるマルチキャリア通信装置を構成するマルチキャリア送信装置を示すブロック図であり、図15(b)は本発明の実施の形態8によるマルチキャリア通信装置を構成するマルチキャリア受信装置を示すブロック図である。

【0083】

図15(a)において、256は各サブキャリアに対して同一のデータ(プリアンブルあ 50

るいはパイロット信号として使用するデータ)を発生する同期用データ発生器、251は図12と同じ構成の変調装置(ここではSSB変調装置)である。また、図15(b)において、151は図13と同じ構成の検波部、146は複素平面上で位相を回転させる位相回転器、141は1サンプリング時間遅延させる遅延回路、142は複素除算、143は入力される複素データを累積加算する複素加算、144は同期ずれ演算、145は同期タイミング推定回路、150は同期推定回路である。

#### 【0084】

このように構成されたマルチキャリア通信装置について、その動作を図14、図15を用いて説明する。なお、使用するウェーブレット変換は8点、すなわちサブキャリア数を8本とする。

#### 【0085】

まず、図15(a)のマルチキャリア送信装置において、同期用データ発生器256は、連続する数シンボルの間、各サブキャリアに対して同一のデータ(プリアンブルあるいはパイロット信号として使用するデータ)をSSB変調装置251に対して出力する。このとき、各サブキャリアに割り当てられるデータは、図15(b)のマルチキャリア受信装置で既知のデータである。そして、この同期用データをSSB変調装置251によって変調する。このとき、SSB変調装置251からの出力は、図14中に示す $f_n$ を周波数とした正弦波の合成波となる。また、各正弦波の位相は入力された同期用データに依存するが、ここでは位相は $n$ とする。以上がマルチキャリア送信装置における動作である。

#### 【0086】

次に、図15(b)のマルチキャリア受信装置において、受信された信号を検波部151によって検波し、その出力として、受信信号に含まれる複数の正弦波それぞれに対する複素信号点情報を得る。ここで得られる複素信号点情報は、マルチキャリア送信装置にて真の信号点配置から $n$ だけ位相回転させているため、位相回転器146によりその $n$ 分だけ複素座標上で位相を戻す。さらに、シンボル同期タイミングが正確に合っていれば、位相回転器146からの出力は全て等しい値となるが、同期タイミングが合っていなければ、そのずれの度合いとサブキャリア周波数 $f_c$ とによって $2 \cdot f_c \cdot$ の位相回転を受けた値となっている。次に、遅延素子141と複素除算142により、隣り合うサブキャリア間の複素除算を行い、複素座標上で位相差を演算する。隣り合うサブキャリア間の周波数間隔 $f_i$ は全て同じであるから、全てのサブキャリア間位相差(複素値)は等しい値 $2 \cdot f_i \cdot$ となる(実際には、伝送路の影響などを受け、 $2 \cdot f_i \cdot$ よりもばらついた値となる)。このサブキャリア間位相差を複素加算143によって累積加算することにより平均値 $m$ を求め、同期ずれ演算144においてサブキャリア間間隔 $f_i$ と平均サブキャリア間位相差 $m$ とから同期ずれ値を求める。その結果を同期タイミング推定回路145に与えることにより、検波部151に対し同期タイミングをフィードバックする。以上が本実施の形態における一連の動作である。

#### 【0087】

以上のように本実施の形態によれば、実施の形態3~6で2つのウェーブレット変換器によって構成された部分を1つのウェーブレット変換器によって実現できるため、同期回路動作時(プリアンブル期間中)は演算量を抑えることができる。

#### 【0088】

##### 【発明の効果】

以上説明したように本発明の請求項1に記載のマルチキャリア送信装置によれば、実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変調によりデータ送信を行うマルチキャリア送信装置であって、情報系列をシンボルマッピングする信号点配置器と、シンボルマッピングされた情報系列としてのシリアルデータをパラレルデータに変換するS/P変換器と、互いに直交する複数の実係数ウェーブレットフィルタで構成されると共にパラレルデータに対して第1の逆ウェーブレット変換を行う第1の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番

10

20

30

40

50



算器と、乗算器に所定周波数の信号を与える局部発振器と、乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、LPFからの出力信号に対して第1のウェーブレット変換を行う第1のウェーブレット変換器と、第1のウェーブレット変換器の実係数ウェーブレットフィルタの各々をヒルベルト変換し、ヒルベルト変換された実係数ウェーブレットフィルタのうち奇数番目の実係数ウェーブレットフィルタの符号を反転した実係数ウェーブレットフィルタで構成されると共にLPFからの出力信号に対して第2のウェーブレット変換を行う第2のウェーブレット変換器と、第1のウェーブレット変換器から出力される同相信号と第2のウェーブレット変換器から出力される直交信号の各パラレル信号を各サブキャリアにおける複素信号として等化を行う等化器と、等化器より出力される等化後のパラレル信号をシリアルデータに変換するP/S変換器と、P/S変換器より出力されるシリアルデータを判定する判定器とを有することにより、SSB変調された複素情報を含む送信信号を受信する時、ダウンコンバートが1系統のみの場合に2種類の実係数ウェーブレットフィルタバンクを使用することにより複素情報を得ることができ、その複素情報を用いて等化を行うことができるので、受信精度を高めることができるという有利な効果が得られる。

10

#### 【0093】

請求項6に記載のマルチキャリア受信装置によれば、請求項5に記載のマルチキャリア受信装置において、第1のウェーブレット変換器は、LPFの出力信号を入力するM-1個の1サンプル遅延素子と、1サンプル遅延素子の出力データを入力するM個のアップサンプルと、M個のアップサンプルの出力データを入力する第1のプロトタイプフィルタと、第1のプロトタイプフィルタの出力データを入力する高速離散コサイン変換器とを有し、第2のウェーブレット変換器は、LPFの出力信号を入力するM-1個の1サンプル遅延素子と、1サンプル遅延素子の出力データを入力するM個のアップサンプルと、M個のアップサンプルの出力データを入力する第2のプロトタイプフィルタと、第2のプロトタイプフィルタの出力データを入力する高速離散サイン変換器とを有することにより、第1のウェーブレット変換と第2のウェーブレット変換を高速に行うことができるので、受信処理を高速に行うことができるという有利な効果が得られる。

20

#### 【0094】

請求項7に記載のマルチキャリア通信装置によれば、マルチキャリア送信装置とマルチキャリア受信装置とを有し、正整数M個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、マルチキャリア送信装置は、ビットデータをシンボルデータに変換してシンボルデータをM/2個の複素座標面にマッピングする信号点配置器と、マッピングされたシンボルデータとしてのシリアルデータをパラレルデータに変換するS/P変換器と、パラレルデータを入力すると共に第1および第2逆ウェーブレット変換器への $2n-1$ 番目の入力に複素情報の同相成分を供給し、 $2n$ 番目の入力に直交成分を(但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を $0 \sim M-1$ とする)供給するように複素データを実部と虚部に分解する複素データ分解器と、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共に複素データの同相信号を出力する第1の逆ウェーブレット変換器と、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共に複素データの直交信号を出力する第2の逆ウェーブレット変換器と、第1の逆ウェーブレット変換器からの出力を複素情報の同相信号とし第2の逆ウェーブレット変換器からの出力を複素情報の直交信号としてSSB変調を行うSSB変調器とを有し、マルチキャリア受信装置の検波部は、送られてきた帯域通過信号の受信信号としての帯域通過受信信号をベースバンド信号にダウンコンバートする乗算器と、乗算器に所定周波数の信号を与える局部発振器と、乗算器から出力されるベースバンド信号の帯域外の不要な信号を除去するLPFと、互いに直交するM個の実係数ウェーブレットフィルタで構成されると共にLPFの出力データを入力する第1のウェーブレット変換器と、第1のウェーブレット変換器からの $2n-1$ 番目の出力を複素情報の同相成分とし、 $2n$ 番目の出力を直交成分として(但し、 $1 \leq n \leq (M/2 - 1)$ 、サブキャリア番号を $0 \sim M-1$ とす

30

40

50

る) 複素データを生成する複素データ生成器とを有することにより、マルチキャリア送信装置では、信号点配置器において生成された  $M/2$  個の複素座標面の初期位相を任意に与えることができ、各サブキャリアの位相が重ならないようにデータを設定することが可能なため、送信出力の際の瞬時ピーク電圧を抑制することができ、マルチキャリア受信装置では、受信信号の同相信号のみからサブキャリア毎の複素情報を得ることで高度な復調を行うことができるという有利な効果が得られる。

【0095】

請求項 8 に記載のマルチキャリア通信装置によれば、マルチキャリア送信装置とマルチキャリア受信装置とを有し、正の整数  $M$  個の実係数ウェーブレットフィルタから成る実係数ウェーブレットフィルタバンクを用いたデジタルマルチキャリア変復調によりデータ伝送を行うマルチキャリア通信装置であって、マルチキャリア送信装置は、マルチキャリア受信装置にて既知のデータとなる信号を発生する同期用データ発生器と、既知のデータとなる信号を同期用データ発生器から入力する変調装置としての請求項 7 に記載のマルチキャリア送信装置とを有し、マルチキャリア受信装置は、サブキャリアデータのペアから成る隣接する複素サブキャリアデータを出力する請求項 7 に記載の検波部と、隣接する複素サブキャリアデータ間の差からシンボル同期タイミングを推定する同期推定回路とを有することにより、1つのウェーブレット変換器で検波部を実現することができるので、同期回路動作時(プリアンブル期間中)は演算量を抑えることができるという有利な効果が得られる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 によるマルチキャリア送信装置の変調装置を示すブロック図

【図 2】本発明の実施の形態 2 によるマルチキャリア送信装置の変調装置を構成する第 1 の逆ウェーブレット変換器を示すブロック図

【図 3】図 2 の第 1 の逆ウェーブレット変換器を構成するポリフェーズ構成の第 1 のプロトタイプフィルタを示すブロック図

【図 4】本発明の実施の形態 2 によるマルチキャリア送信装置の変調装置を構成する第 2 の逆ウェーブレット変換器を示すブロック図

【図 5】図 4 の第 2 の逆ウェーブレット変換器を構成するポリフェーズ構成の第 2 のプロトタイプフィルタを示すブロック図

【図 6】本発明の実施の形態 3 によるマルチキャリア受信装置を示すブロック図

【図 7】本発明の実施の形態 4 によるマルチキャリア受信装置を構成する第 1 のウェーブレット変換器を示すブロック図

【図 8】図 7 におけるポリフェーズ構成の第 1 のプロトタイプフィルタを示すブロック図

【図 9】本発明の実施の形態 5 によるマルチキャリア受信装置を示すブロック図

【図 10】本発明の実施の形態 6 によるマルチキャリア受信装置を構成する第 2 のウェーブレット変換器を示すブロック図

【図 11】図 10 の第 2 のウェーブレット変換器をポリフェーズ構成の第 2 のプロトタイプフィルタを示すブロック図

【図 12】本発明の実施の形態 7 によるマルチキャリア通信装置を構成するマルチキャリア送信装置の変調装置を示すブロック図

【図 13】本発明の実施の形態 7 によるマルチキャリア通信装置を構成するマルチキャリア受信装置の検波部を示すブロック図

【図 14】サブキャリアを示すスペクトル図

【図 15】(a) 本発明の実施の形態 8 によるマルチキャリア通信装置を構成するマルチキャリア送信装置を示すブロック図

(b) 本発明の実施の形態 8 によるマルチキャリア通信装置を構成するマルチキャリア受信装置を示すブロック図

【図 16】D W M C 伝送装置を採用した場合のマルチキャリア送信装置およびマルチキャリア受信装置の概念的構成を示すブロック図

10

20

30

40

50

【図 17】 D W M C 伝送装置における各サブキャリアのインパルス応答を示すグラフ

【図 18】 各サブキャリアのインパルス応答が合成された時間波形データを示す波形図

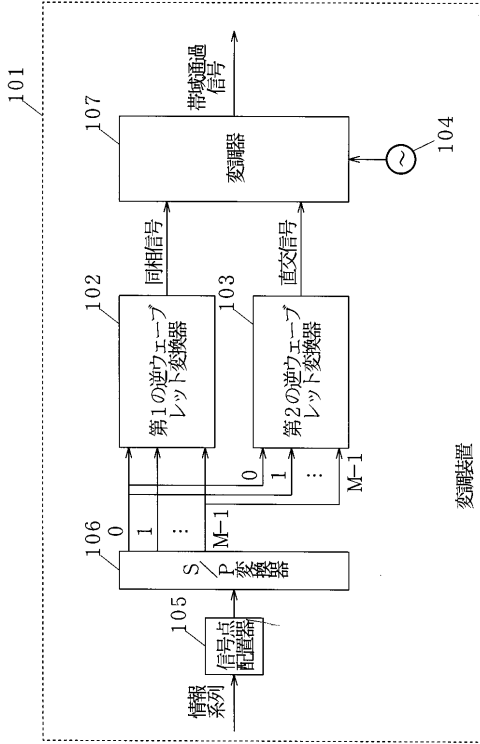
【図 19】 振幅スペクトルの例を示すスペクトル図

【図 20】 D W M C 伝送フレームの構成例を示すフレームデータ図

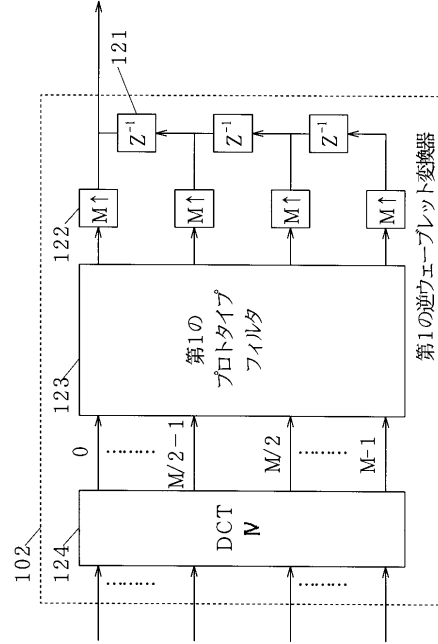
【符号の説明】

1 0 1	変調装置	
1 0 2	第 1 の逆ウェーブレット変換器	
1 0 3	第 2 の逆ウェーブレット変換器	
1 0 4	局部発振器	
1 0 5、2 5 2	信号点配置器	10
1 0 6、2 5 3	S / P 変換器 ( 直並列変換器 )	
1 0 7	変調器	
1 1 0	A / D 変換器	
1 2 1	1 サンプル時間遅延素子	
1 2 2	アップサンブラ	
1 2 3	第 1 のプロトタイプフィルタ	
1 2 4	離散コサイン変換器	
1 2 5	第 2 のプロトタイプフィルタ	
1 2 6	離散サイン変換器	
1 2 7	ダウンサンブラ	20
1 2 8	第 1 のプロトタイプフィルタ	
1 2 9	第 2 のプロトタイプフィルタ	
1 3 0	P / S 変換器 ( 並直列変換器 )	
1 3 1、3 0 2	乗算器	
1 3 2	2 入力加算器	
1 3 3	1 シンボル時間遅延素子	
1 4 0	判定器	
1 4 1	1 処理時間遅延素子	
1 4 2	複素除算	
1 4 3	複素加算	30
1 4 4	同期ずれ演算	
1 4 5	同期タイミング推定回路	
1 4 6	位相回転器	
1 5 0	同期推定回路	
1 5 1	検波部	
1 5 3	複素データ生成器	
2 5 6	同期用データ発生器	
2 5 1	S S B 変調装置	
2 5 4	複素データ分解器	
2 5 6	同期用データ発生器	40
3 0 0	第 1 のウェーブレット変換器	
3 0 1	等化器	
3 0 2 a	第 1 の乗算器	
3 0 2 b	第 2 の乗算器	
3 0 3	/ 2 位相推移器	
3 0 4	ローパスフィルタ ( L P F )	
3 0 4 a	第 1 のローパスフィルタ ( L P F )	
3 0 4 b	第 2 のローパスフィルタ ( L P F )	
3 0 5	第 2 のウェーブレット変換器	

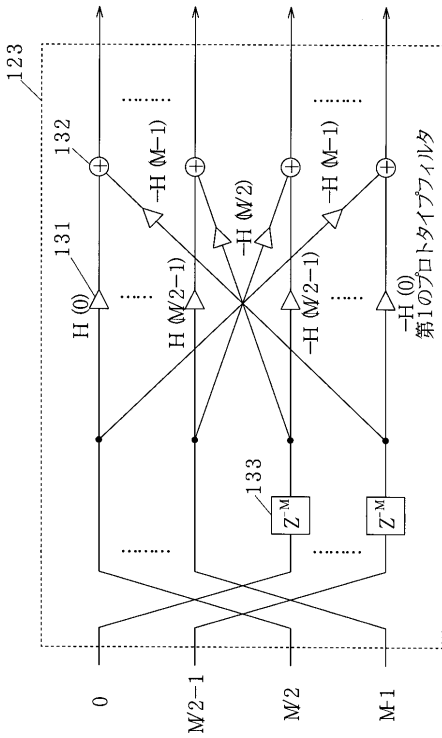
【 図 1 】



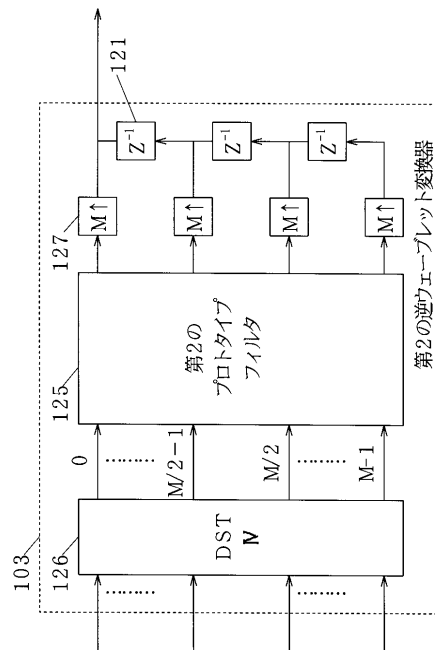
【 図 2 】



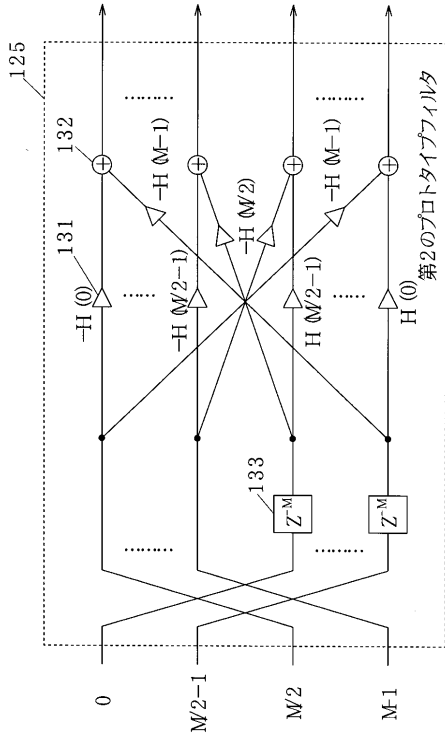
【 図 3 】



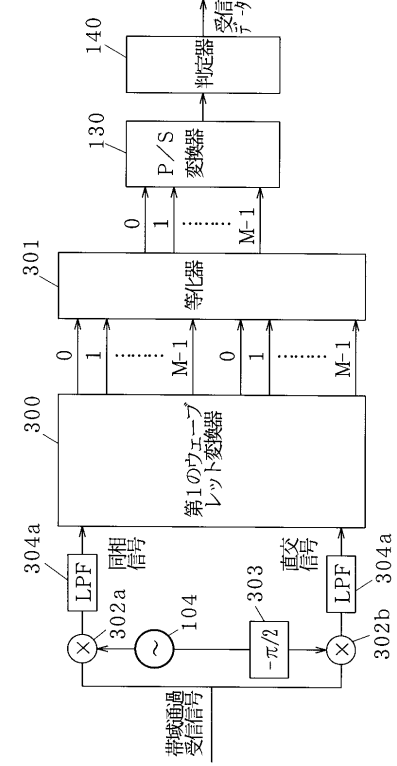
【 図 4 】



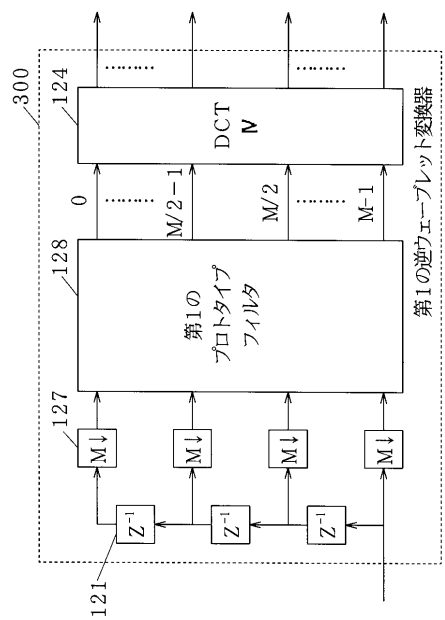
【図 5】



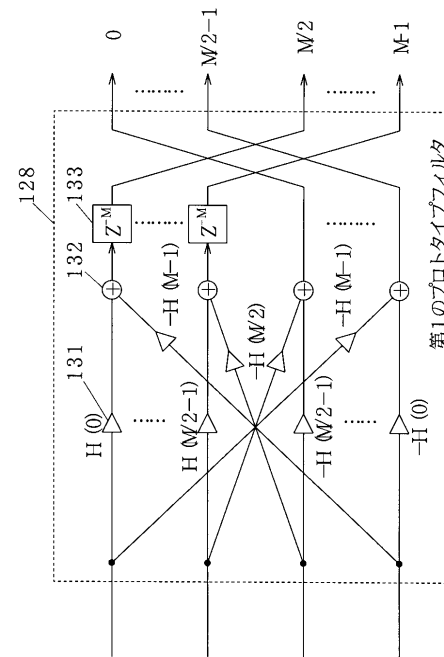
【図 6】



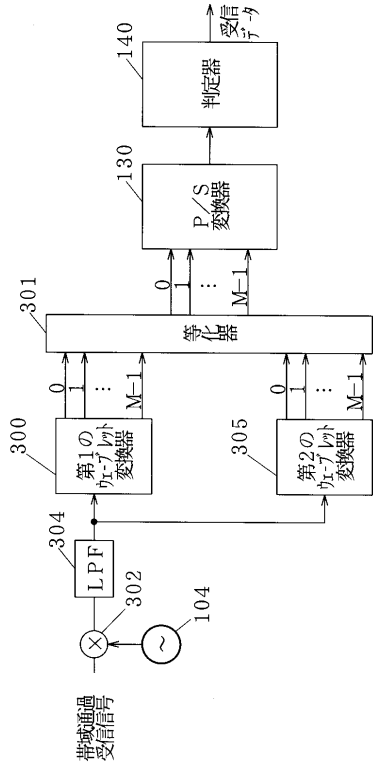
【図 7】



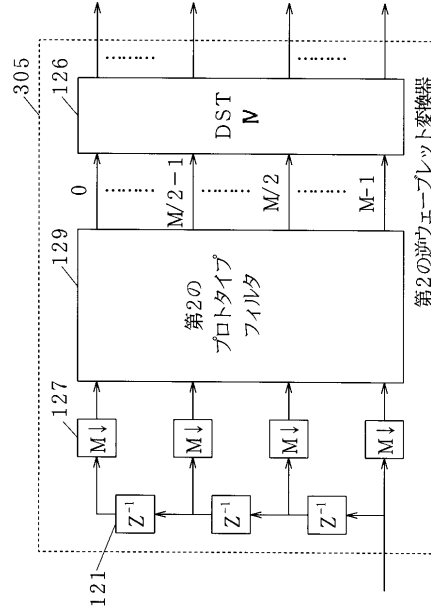
【図 8】



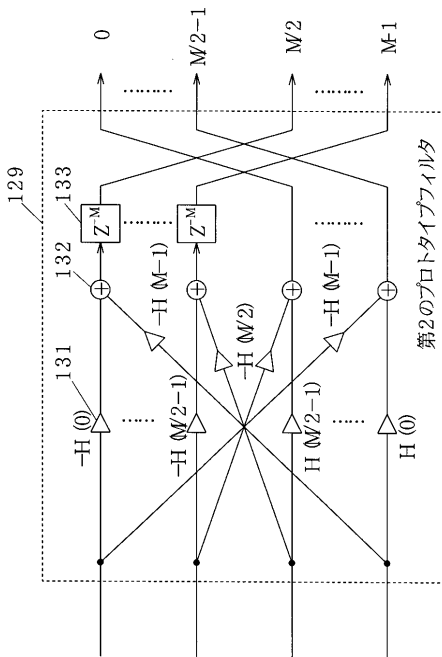
【図9】



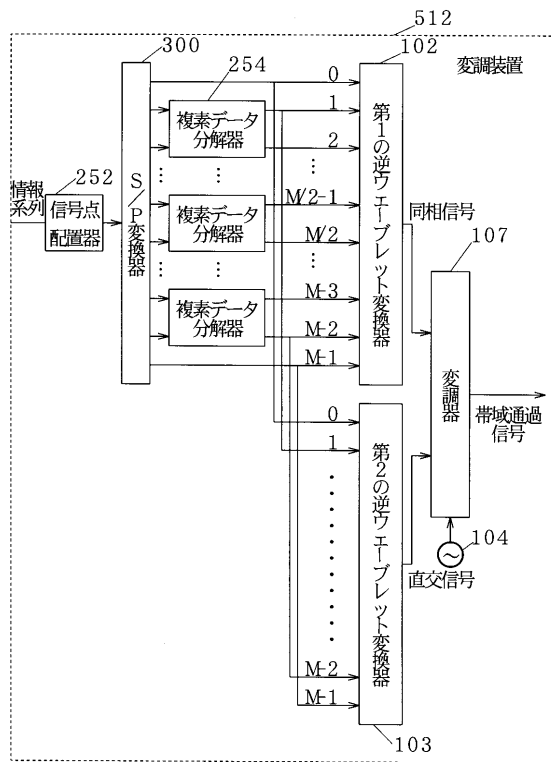
【図10】



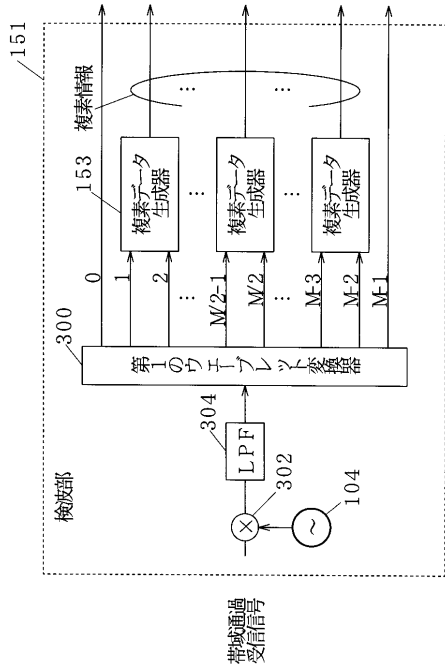
【図11】



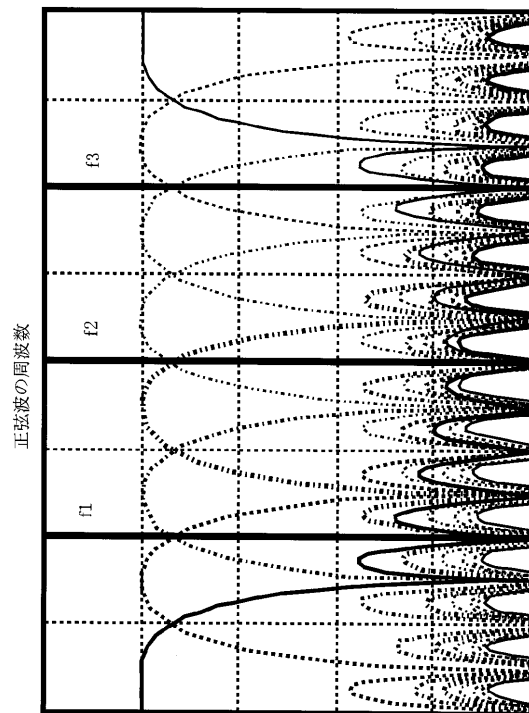
【図12】



【 図 1 3 】

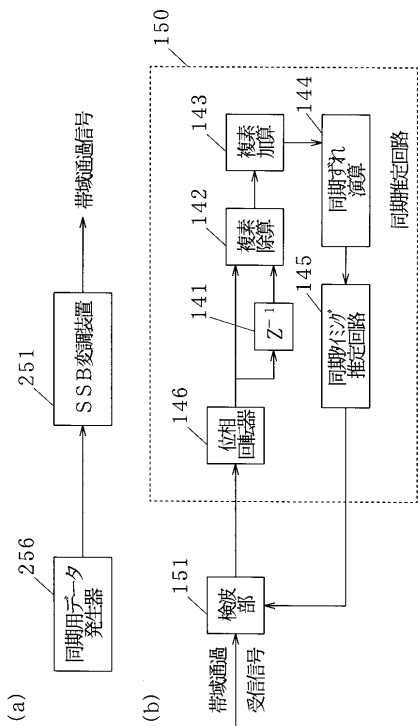


【 図 1 4 】

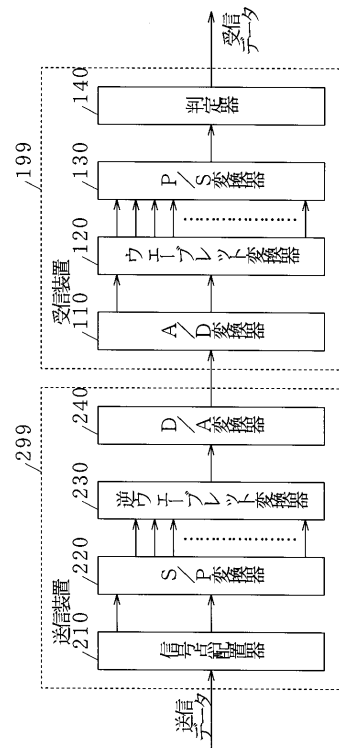


サブキャリア番号は左側から1, 2, ..., 8

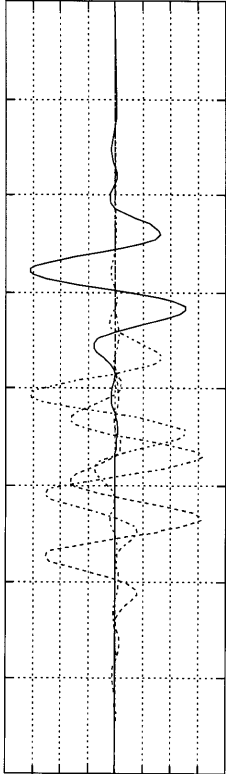
【 図 1 5 】



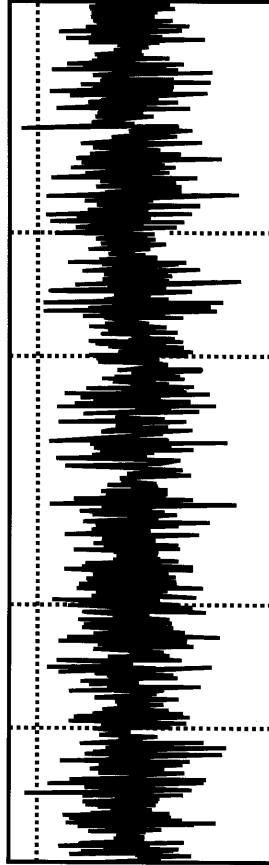
【 図 1 6 】



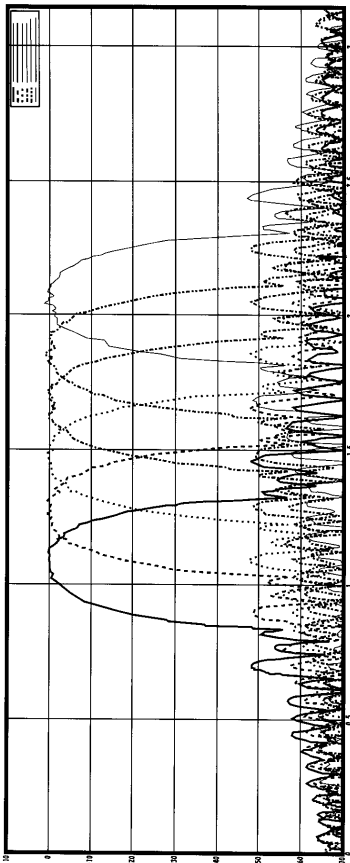
【図 17】



【図 18】



【図 19】



【図 20】

情報データ伝送用 シンボル
等化用 シンボル
フレーム 同期用 シンボル

フロントページの続き

(72)発明者 小西 泰輔

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5K022 DD01 DD21 DD31