

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4078543号

(P4078543)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl.

F I

H03F 1/26 (2006.01)

H03F 1/26

H03F 3/217 (2006.01)

H03F 3/217

請求項の数 1 (全 8 頁)

(21) 出願番号 特願2002-369703 (P2002-369703)
 (22) 出願日 平成14年12月20日(2002.12.20)
 (65) 公開番号 特開2004-201185 (P2004-201185A)
 (43) 公開日 平成16年7月15日(2004.7.15)
 審査請求日 平成16年4月21日(2004.4.21)

前置審査

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100091546
 弁理士 佐藤 正美
 (72) 発明者 大栗 一敦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 増田 稔彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 吉村 博之

最終頁に続く

(54) 【発明の名称】 オーディオアンプ

(57) 【特許請求の範囲】

【請求項1】

第1のデジタルオーディオ信号を、これに同期した第1のクロックおよび安定した所定の周波数の第2のクロックにより、この第2のクロックに同期した第2のデジタルオーディオ信号にサンプリングレート変換するサンプリングレートコンバータ回路と、

上記第2のデジタルオーディオ信号をビット数の少ない第3のデジタルオーディオ信号に再量子化する $\Delta\Sigma$ 変調回路と、

上記サンプリングレートコンバータ回路から出力される上記第2のデジタルオーディオ信号を、上記 $\Delta\Sigma$ 変調回路に供給する音量調整用の可変アッテネータ回路と、

上記第3のデジタルオーディオ信号をPWM信号に変換するPWM変調回路と、

このPWM変調回路から出力される上記PWM信号が供給されるD級パワーアンプと、

上記 $\Delta\Sigma$ 変調回路にディザ信号を供給して上記第3のデジタルオーディオ信号にディザ信号を重畳するディザ信号形成回路と、

上記第1のデジタルオーディオ信号が非同期状態になったとき、これを検出する非同期検出回路と

を有し、

上記非同期検出回路が、上記第1のデジタルオーディオ信号が非同期状態になったことを検出したとき、

上記第3のデジタルオーディオ信号に上記ディザ信号を重畳したままの状態、上記検出出力により上記サンプリングレートコンバータ回路の入力側の動作を停止させるととも

10

20

に、上記検出出力により上記可変アッテネータ回路を制御して上記 $\Delta\Sigma$ 変調回路に供給される上記第2のデジタルオーディオ信号を遮断する

ようにしたオーディオアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オーディオアンプに関する。

【0002】

【従来の技術】

オーディオアンプにおいて、その最終段のパワーアンプをいわゆるD級アンプにより構成すれば、全体をデジタル化することができ、デジタルオーディオアンプとすることができる。

10

【0003】

図3は、そのようなデジタルオーディオアンプの一例を示す。すなわち、デジタルオーディオ信号S11が、入力端子11からオーバーサンプリング回路12に供給されて、サンプリング周波数が例えば8倍のデジタル信号S12にオーバーサンプリングされ、このデジタル信号S12が、音量調整用の可変アッテネータ回路13を通じて $\Delta\Sigma$ 変調回路14に供給され、ビット数を低減したデジタル信号S14に再量子化される。そして、このデジタル信号S14がPWM変調回路15に供給されてPWM信号S15に変換され、このPWM信号S15がD級動作のパワーアンプ16に供給される。

20

【0004】

このパワーアンプ16は、PWM信号S15にしたがって電源電圧をスイッチングすることにより電力増幅をするスイッチング回路と、そのスイッチング出力を平滑することによりD/A変換および電力増幅されたアナログオーディオ信号を出力するローパスフィルタとから構成される。そして、このパワーアンプ16により電力増幅されたオーディオ信号が、出力端子17を通じてスピーカ30に供給される。

【0005】

さらに、システムコントローラ（図示せず）において、音量制御信号SVOLが形成され、この信号SVOLが可変アッテネータ回路13にその制御信号として供給される。したがって、音量調整用のスイッチを操作すると、可変アッテネータ回路13の減衰レベルが変化してスピーカ30から出力される再生音の音量が変更される。

30

【0006】

また、このとき、 $\Delta\Sigma$ 変調回路14は量子化誤差のフィードバックループを有しているので、可変アッテネータ回路13から $\Delta\Sigma$ 変調回路14に供給されるデジタル信号S12の内容がゼロのときでも、 $\Delta\Sigma$ 変調回路14からは何らか値を持つデジタル信号S14が出力されてしまい、このデジタル信号S14が特定の周波数のノイズ音としてスピーカ30から出力されてしまう。

【0007】

そこで、ディザ信号形成回路18において、微小レベルのディザ信号SDIが形成され、このディザ信号SDIが $\Delta\Sigma$ 変調回路14に供給されて再量子化されるときデジタル信号S12に重畳される。したがって、可変アッテネータ回路13から出力されるデジタル信号S12の内容がゼロのときでも、 $\Delta\Sigma$ 変調回路15の実質的な入力信号の内容はゼロにはならないので、ノイズ音の出力されることが抑制される。

40

【0008】

さらに、デジタル信号S11を提供するソース機器の切り換えなどにより、入力端子11に供給されるデジタル信号S11が切り換えられたり、途切れたりした場合、デジタル信号S11の同期が一時的に乱れ、この同期の乱れがノイズ音としてスピーカ30から出力されてしまう。

【0009】

そこで、入力端子11に供給されたデジタル信号S11が非同期検出回路19に供給されて

50

デジタル信号 S11の同期の乱れが検出される。そして、この検出信号 SDETが回路 12～14にミューティング信号として供給され、デジタル信号 S11の同期が乱れたとき、信号 S12、S14の内容がゼロとされ、この結果、スピーカ 30から出力される再生音がミューティングされる。

【0010】

以上が、最終段のパワーアンプ 17をD級アンプにより構成したオーディオアンプの一例である（例えば、特許文献 1 参照）。

【0011】

【特許文献 1】

特開 2002-158543 号公報

10

【0012】

【発明が解決しようとする課題】

ところで、図 3に示すようなオーディオアンプの場合、非同期検出回路 19の検出信号 SDETによりミューティングがかかったとき、 $\Delta\Sigma$ 変調回路 14において、デジタル信号 S12がミューティングされると同時に、ディザ信号 SDIもミューティングされる。したがって、ミューティング時には、ディザ信号 SDIが急激に遮断されることになるので、この急激な遮断によりノイズ信号が発生してしまい、これがスピーカ 30からノイズ音として出力されてしまう。

【0013】

また、ディザ信号 SDIは微小レベルであるが、ディザ信号 SDIの有無はノイズレベルの違いとして知覚できる。このため、ミューティングがかかると、ディザ信号 SDIがミューティングされてノイズレベルが変化するが、入力デジタル信号 S11の内容がゼロ（ないし微小レベル）の場合には、そのノイズレベルの変化が知覚されてしまい、違和感を生じてしまう。

20

【0014】

この発明は、このような問題点を解決しようとするものである。

【0015】

【課題を解決するための手段】

この発明においては、

第 1のデジタルオーディオ信号を、これに同期した第 1のクロックおよび安定した所定の周波数の第 2のクロックにより、この第 2のクロックに同期した第 2のデジタルオーディオ信号にサンプリングレート変換するサンプリングレートコンバータ回路と、

30

上記第 2のデジタルオーディオ信号をビット数の少ない第 3のデジタルオーディオ信号に再量子化する $\Delta\Sigma$ 変調回路と、

上記サンプリングレートコンバータ回路から出力される上記第 2のデジタルオーディオ信号を、上記 $\Delta\Sigma$ 変調回路に供給する音量調整用の可変アッテネータ回路と、

上記第 3のデジタルオーディオ信号を PWM信号に変換する PWM変調回路と、

この PWM変調回路から出力される上記 PWM信号が供給される D級パワーアンプと、

上記 $\Delta\Sigma$ 変調回路にディザ信号を供給して上記第 3のデジタルオーディオ信号にディザ信号を重畳するディザ信号形成回路と、

40

上記第 1のデジタルオーディオ信号が非同期状態になったとき、これを検出する非同期検出回路と

を有し、

上記非同期検出回路が、上記第 1のデジタルオーディオ信号が非同期状態になったことを検出したとき、

上記第 3のデジタルオーディオ信号に上記ディザ信号を重畳したままの状態、上記検出出力により上記サンプリングレートコンバータ回路の入力側の動作を停止させるとともに、上記検出出力により上記可変アッテネータ回路を制御して上記 $\Delta\Sigma$ 変調回路に供給される上記第 2のデジタルオーディオ信号を遮断する

ようにしたオーディオアンプ

50

とするものである。

したがって、ミューティングにおいても、ディザ信号が継続して $\Delta\Sigma$ 変調回路に供給され、このディザ信号を有するデジタルオーディオ信号がPWM信号にコンバータされてD級パワーアンプに供給される。

【0016】

【発明の実施の形態】

図1は、この発明によるデジタルオーディオアンプ10の一例を示し、デジタルオーディオ信号S11が、入力端子11からオーバーサンプリング回路12に供給される。また、入力端子11のデジタル信号S11がPLL21に供給されてデジタル信号S11に同期し、かつ、そのサンプリング周波数のn倍の周波数のクロックSPLLが形成され、このクロックSPLLがオーバーサンプリング回路12にそのオーバーサンプリング用のクロックとして供給される。この場合、オーバーサンプリングの倍率nは、デジタル信号S11のサンプリング周波数に対応して、例えば図2に示すような値とされる。

10

【0017】

こうして、オーバーサンプリング回路12において、これに供給されたデジタル信号S11は、信号S11に同期し、かつ、n倍のサンプリング周波数のデジタル信号S12にオーバーサンプリングされる。

【0018】

そして、このデジタル信号S12が、サンプリングレートコンバータ回路23に変換入力として供給される。また、PLL21からのクロックSPLLがサンプリングレートコンバータ回路23に変換入力側のクロックとして供給される。

20

【0019】

さらに、クロック形成回路22が、例えば水晶発振回路および分周回路により構成され、このクロック形成回路22からは、周波数が例えば49.152MHz(=48kHz×1024)で、安定な周波数および位相のクロックSGENが取り出される。そして、このクロックSGENが、サンプリングレートコンバータ回路23に変換出力側のクロックとして供給される。こうして、サンプリングレートコンバータ回路23において、これに供給されたデジタル信号S12は、サンプリング周波数が例えば周波数384kHz(=48kHz×8)で、安定な周波数および位相のデジタル信号S23に変換される。

【0020】

30

そして、このサンプリングレートの変換されたデジタル信号S23が、音量調整用の可変アッテネータ回路13に供給され、システムコントローラ(図示せず)からの制御信号SVOLによりレベルが制御され、このレベルの制御されたデジタル信号S12が $\Delta\Sigma$ 変調回路14に供給され、ビット数を低減したデジタル信号S14に再量子化される。なお、このとき、ディザ信号形成回路18において、微小レベルのディザ信号SDIが形成され、このディザ信号SDIが $\Delta\Sigma$ 変調回路14に供給されるデジタル信号S23に重畳される。

【0021】

そして、 $\Delta\Sigma$ 変調回路14により再量子化されたデジタル信号S14が、PWM変調回路15に供給されてPWM信号S15に変換され、このPWM信号S15がD級動作のパワーアンプ16に供給されて電力増幅され、その増幅出力が出力端子17を通じてスピーカ30に供給される。

40

【0022】

なお、このとき、形成回路22からのクロックSGENが、回路13～15、18にそれらのクロックとして供給される。したがって、サンプリングレートコンバータ回路23の出力側および回路13～15、18は、クロックSGENに同期して動作していることになる。

【0023】

さらに、入力端子11に供給されたデジタル信号S11が非同期検出回路19に供給されるとともに、PLL21から入力デジタル信号S11のサンプリング周波数に等しく、かつ、同期したクロックが取り出され、このクロックが非同期検出回路19に供給され、入力端

50

子 1 1 に供給されたデジタル信号 S 11 の同期の乱れが検出される。

【 0 0 2 4 】

そして、この検出信号 S DET が、オーバーサンプリング回路 1 2、サンプリングレートコンバータ回路 2 3 の入力側および可変アッテネータ回路 1 3 にミューティング信号として供給され、デジタル信号 S 11 の同期が乱れたとき、信号 S 12 の内容がゼロとされるとともに、サンプリングレートコンバータ回路 2 3 の入力側の動作が停止させられる。

【 0 0 2 5 】

このような構成によれば、入力端子 1 1 に供給されたデジタルオーディオ信号 S 11 は、そのサンプリング周波数にかかわらず、サンプリングレートコンバータ回路 2 3 によりサンプリング周波数が 384 kHz のデジタル信号にサンプリングレート変換され、その後、P W M 信号 S 15 に変換されてから電力増幅され、スピーカ 3 0 に供給される。

10

【 0 0 2 6 】

そして、ソース機器の切り換えなどにより、入力端子 1 1 に供給されるデジタル信号 S 11 が切り換えられたり、途切れたりした結果、デジタル信号 S 11 の同期が一時的に乱れた場合、この同期の乱れが非同期検出回路 1 9 により検出され、その検出信号 S DET によりオーバーサンプリング回路 1 2 およびサンプリングレートコンバータ回路 2 3 の入力側の動作が停止させられる。したがって、検出信号 S DET の期間には、デジタル信号 S 12 が遮断されることになる。

【 0 0 2 7 】

しかし、この検出信号 S DET の期間にサンプリングレートコンバータ回路 2 3 の入力側の動作が停止しても、その出力側はクロック S GEN が供給されているとともに、動作が継続しているので、サンプリングレートコンバータ回路 2 3 からはデジタル信号 S 23 が連続して出力される。ただし、このとき、サンプリングレートコンバータ回路 2 3 は入力側の動作が停止しているので、サンプリングレートコンバータ回路 2 3 は無入力と等価であり、その出力の内容はゼロとなる。また、可変アッテネータ回路 1 3 にも検出信号 S DET が供給されているので、可変アッテネータ回路 1 3 から出力されるデジタル信号 S 23 の内容はゼロである。

20

【 0 0 2 8 】

そして、このようなデジタル信号 S 23 が $\Delta \Sigma$ 変調回路 1 4 に供給されるとともに、この $\Delta \Sigma$ 変調回路 1 4 には検出信号 S DET は供給されていないので、検出信号 S DET の期間には、 $\Delta \Sigma$ 変調回路 1 4 から内容がゼロのデジタル信号 S 14 が出力され、このデジタル信号 S 14 が P W M 変調回路 1 5 に供給される。したがって、検出信号 S DET の期間には、入力オーディオ信号 S 11 に対してミューティングがかかったことになる。つまり、検出信号 S DET の期間はミューティング期間である。

30

【 0 0 2 9 】

以上のようにして、図 1 に示すデジタルオーディオアンプにおいては、ミューティングが実行されるが、ミューティング期間にも、 $\Delta \Sigma$ 変調回路 1 4 にはディザ信号 S DI が供給されているので、これに供給されるデジタル信号 S 23 の内容がゼロであっても、 $\Delta \Sigma$ 変調回路 1 4 から特定の周波数のノイズ音となる信号成分の出力されることがない。

【 0 0 3 0 】

また、ミューティング期間にもディザ信号 S DI が $\Delta \Sigma$ 変調回路 1 4 に供給されるので、ミューティングがかかっていないときと、かかっているときとで、ノイズレベルとは等しくなる。したがって、入力デジタル信号 S 11 の内容がゼロ（ないし微小レベル）の場合に、ミューティングがかかっても、ノイズレベルの変化が知覚されて違和感を生じることがない。

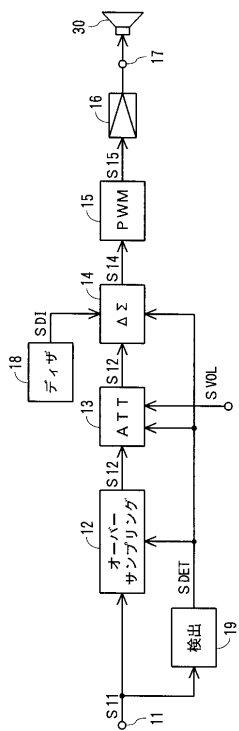
40

【 0 0 3 1 】

さらに、ミューティングがかかっていない状態からミューティングがかかるとき、およびミューティング状態からミューティングが解除されるとき、ディザ信号 S DI は継続しているので、ノイズ信号の発生することがなく、スピーカ 3 0 からノイズ音の出力されることがない。

50

【図 3】



フロントページの続き

- (56)参考文献 特開2000-196375 (JP, A)
特開2002-158550 (JP, A)
特開平10-051312 (JP, A)
特開2000-332611 (JP, A)
特開昭61-198469 (JP, A)
特開平08-331066 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03G 1/00-3/34

H03F 1/00-3/72