

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 21/336

(45) 공고일자 2005년12월27일
(11) 등록번호 10-0539265
(24) 등록일자 2005년12월21일

(21) 출원번호 10-2004-0038206
(22) 출원일자 2004년05월28일

(65) 공개번호 10-2005-0112790
(43) 공개일자 2005년12월01일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정성훈
경기도수원시팔달구영통동1033-13번지202호

남병윤
경기도수원시권선구곡반정동삼성아파트104-403

지경구
서울특별시강남구대치동500번지개포우성아파트11-1202

(74) 대리인 리엔목특허법인
이해영

심사관 : 정회환

(54) 리세스 채널 MOSFET 제조방법

요약

리세스 채널 MOSFET 제조방법을 개시한다. 본 발명에 따른 리세스 채널 MOSFET 제조방법에서는, 반도체 기판 상에 절연막 패턴들을 형성한 다음, 그 위로 실리콘 산화막을 증착한다. 절연막 패턴들을 평탄화 종료점으로 삼아 실리콘 산화막을 평탄화시킴으로써, 절연막 패턴들 사이사이에 실리콘 산화막 마스크 패턴들을 형성하고, 절연막 패턴들은 제거한다. 실리콘 산화막 마스크 패턴들을 식각 마스크로 이용하여 기판을 식각함으로써 리세스 트렌치들을 형성한다. 실리콘 산화막 증착시, 기판에 형성되어 있을 수 있는 리세스를 제거하는 효과가 있다.

대표도

도 10a

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래 리세스 채널 MOSFET의 리세스 트렌치 형성방법을 단계별로 도시한 단면도들이다.

도 5는 본 발명 제조방법에 따라 제조하려는 리세스 채널 MOSFET의 셀 어레이 레이아웃이다.

도 6a, 도 7a, 도 8a, 도 9a, 도 10a 및 도 11a는 도 5의 A-A' 단면에 대응하는 본 발명 제조방법에 따른 공정별 단면도들이다.

도 6b, 도 7b, 도 8b, 도 9b, 도 10b 및 도 11b는 도 5의 B-B' 단면에 대응하는 본 발명 제조방법에 따른 공정별 단면도들이다.

도 12는 본 발명 방법으로 형성한 리세스 트랜치에 게이트를 형성한 상태를 도시한다.

도면의 주요 부분에 대한 부호의 설명

110...반도체 기판 115...소자분리막

120...패드 산화막 125...실리콘 산화질화막

130...절연막 135...포토리저스트 패턴

140...리세스 142...실리콘 산화막 마스크 패턴

145...리세스 트랜치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 제조방법에 관한 것으로, 특히 고집적 반도체 회로에 더욱 적당한 구조를 가진 리세스 채널 MOSFET 제조방법에 관한 것이다.

MOSFET이 고집적화됨에 따라 채널의 길이도 작아지고 있으며, 단채널 효과(short channel effect) 및 소오스/드레인 펀치쓰루(punchthrough) 현상에 의한 영향을 배제하기 어렵다. 특히, 디자인 룰(design rule)이 점진적으로 축소됨에 따라 이러한 단채널 효과 및 이온 주입량의 증가 등으로 인해 누설 전류(leakage current)가 증가하여, DRAM의 리프레시 타임(refresh time) 확보가 어려워진다.

리세스 채널 MOSFET은 디바이스 축소에 따른 채널 길이 축소를 극복하기 위해서, 트랜지스터의 채널이 될 영역에 리세스 트랜치를 형성하여 채널 길이를 증가시킴으로써, 종국적으로 디바이스 면적을 축소하는 구조의 소자이다. 그리고, 소오스와 드레인간의 거리를 길게 하여 셀의 문턱전압을 확보한 상태에서 채널 영역에의 카운터 도핑(B/BF₂ 이온주입)을 최소화함으로써 동적 리프레시(dynamic refresh)는 물론 정적 리프레시(static refresh)까지도 향상시킬 수 있는 소자이다.

종래에는 도 1 내지 도 4에 도시한 것과 같은 방법으로 리세스 채널 MOSFET의 리세스 채널 형성을 위한 리세스 트랜치를 형성하고 있다.

먼저 도 1을 참조하면, 실리콘 산화막을 이용하여 기판(10)에 소자의 활성영역을 정의하도록 소자분리막(15)을 형성한 다음, 리세스 트랜치를 형성하기 위한 마스크층(30)으로서 패드 산화막(20)과 실리콘 산화질화막(SiON)(25)을 기판(10) 전면에 형성한다. 이어서, 리세스 트랜치 정의를 위해 마스크층(30) 상에 포토리저스트 패턴(35)을 형성한다. 여기서, 포토리저스트 패턴(35) 사이의 간격(d)이 곧 리세스 트랜치의 너비가 된다. 그런데, 소자 디자인 룰의 축소에 따라, 좁은 간격의 포토리저스트 패턴(35)을 형성하는 것은 브릿지 문제로 점점 더 어려워지고 있다.

다음 도 2에서와 같이, 포토레지스트 패턴(35)을 식각 마스크로 이용하여 마스크층(30)을 식각함으로써, 패드 산화막 패턴(20a)과 실리콘 산화질화막 패턴(25a)으로 이루어진 마스크 패턴(30a)을 형성한다. 그런데, 이 과정에서 실리콘 산화질화막(25)과 소자분리막(15) 사이에 선택비 부족에 의해 소자분리막(15)이 움푹 패여 리세스(40)가 발생하는 문제가 있다.

포토레지스트 패턴(35)을 제거한 후, 도 3을 참조하여, 마스크 패턴(30a)을 식각 마스크로 이용하여 기판(10)을 식각함으로써 리세스 트렌치(45)를 형성한다. 이 때, 도 2의 단계에서 발생한 리세스(40) 깊이가 더욱 증가될 염려가 있다.

도 4는 마스크 패턴(30a)을 제거한 상태의 도면이다. 도 2의 단계에서 발생한 리세스(40)는 마스크 패턴(30a) 제거를 위한 세정에 의해 더욱 더 깊이가 증가하게 된다. 이러한 리세스(40)는 소자분리막(15) 부위에 기생 트랜지스터 형성을 유발하거나, 정적 리프레스 저하를 야기할 수 있다. 뿐만 아니라, 후속 공정에서 리세스(40)에 게이트 도전층이 채워지게 되어, 리세스 트렌치(45)에 채워지는 게이트 도전층과 단락을 일으킬 우려도 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 기판의 소자분리막 부위에 리세스를 발생시키지 않으면서 리세스 트렌치를 형성할 수 있는 리세스 채널 MOSFET 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 리세스 채널 MOSFET 제조방법에 따르면, 반도체 기판 상에 절연막 패턴들을 형성한다. 상기 절연막 패턴들이 형성된 기판 위로 실리콘 산화막을 증착한 다음, 상기 절연막 패턴들을 평탄화 종료점으로 삼아 상기 실리콘 산화막을 평탄화시킴으로써, 상기 절연막 패턴들 사이사이에 실리콘 산화막 마스크 패턴들을 형성한다. 상기 실리콘 산화막 마스크 패턴들이 형성된 결과물에서 상기 절연막 패턴들을 제거한 다음, 상기 실리콘 산화막 마스크 패턴들을 식각 마스크로 이용하여 상기 기판을 식각함으로써 리세스 트렌치들을 형성한다. 상기 리세스 트렌치들이 형성된 결과물에서 상기 실리콘 산화막 마스크 패턴들을 제거한다.

여기서, 상기 절연막 패턴들은 각 절연막 패턴의 너비보다 절연막 패턴들 사이의 간격이 크게 형성하는 것이 바람직하다.

바람직한 실시예에서는, 반도체 기판 상에 패드 산화막과 실리콘 산화질화막을 차례로 형성하여 절연막을 형성한다. 상기 절연막 상에 리세스 트렌치가 형성될 영역을 덮는 포토레지스트 패턴들을 형성한다. 상기 포토레지스트 패턴들을 식각 마스크로 이용하여 상기 절연막을 식각함으로써, 각기 패드 산화막 패턴과 실리콘 산화질화막 패턴으로 이루어진 절연막 패턴들을 형성한다. 상기 포토레지스트 패턴들을 제거하고 난 후, 상기 절연막 패턴들이 형성된 기판 위로 실리콘 산화막을 증착한 다음, 상기 실리콘 산화질화막 패턴들을 평탄화 종료점으로 삼아 상기 실리콘 산화막을 평탄화시킴으로써, 상기 절연막 패턴들 사이사이에 실리콘 산화막 마스크 패턴들을 형성한다. 상기 실리콘 산화막 마스크 패턴들이 형성된 결과물에서 상기 실리콘 산화질화막 패턴들을 제거하고 나서, 상기 실리콘 산화막 마스크 패턴들을 식각 마스크로 이용하여 상기 패드 산화막 패턴들과 상기 기판을 식각함으로써 리세스 트렌치들을 형성한다. 상기 리세스 트렌치들이 형성된 결과물에서 상기 실리콘 산화막 마스크 패턴들을 제거한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 기술하는 실시예에 한정되는 것으로 해석되어서는 안된다.

도 5는 본 발명 제조방법에 따라 제조하려는 리세스 채널 MOSFET의 셀 어레이 레이아웃이다.

도 5를 참조하면, 행 및 열을 따라 활성영역(112)이 반복적으로 배치되어 있다. 활성영역(112) 이외의 부분은 소자분리막(115)이다. 활성영역(112)당 2개씩의 게이트(G)가 활성영역(112)을 가로질러 연장하도록 배치된다.

도 6a, 도 7a, 도 8a, 도 9a, 도 10a 및 도 11a는 도 5의 A-A' 단면에 대응하는 본 발명 제조방법에 따른 공정별 단면도들이다. 그리고, 도 6b, 도 7b, 도 8b, 도 9b, 도 10b 및 도 11b는 도 5의 B-B' 단면에 대응하는 본 발명 제조방법에 따른 공정별 단면도들이다.

먼저 도 6a와 도 6b를 참조하면, 실리콘 산화막을 이용하여 반도체 기판(110)에 소자의 활성영역(도 5의 112)을 정의하는 소자분리막(115)을 형성한다. 그런 다음, 패드 산화막(120)과 실리콘 산화질화막(SiON)(125)을 기판(110) 전면에 차례로 형성하여 절연막(130)을 형성한다.

소자분리막(115)으로는 이 분야에서 잘 알려진 STI(Shallow Trench Isolation)를 형성할 수 있다. 그리고, 절연막(130)을 형성하기 전에, 원하는 리세스 트렌치 깊이에 맞게 채널 조정용 이온주입과 표면 소오스/드레인 이온주입을 실시할 수도 있다.

절연막(130) 중의 패드 산화막(120)은 실리콘 산화막 등으로 형성할 수 있으며, 통상적인 증착 방법, 예컨대 CVD(Chemical Vapor Deposition), SACVD(Sub-Atmospheric CVD), LPCVD(Low Pressure CVD) 또는 PECVD(Plasma Enhanced CVD)에 의하거나, 열산화법에 의할 수 있다. CVD를 이용하는 경우에 SiH_4 , Si_2H_6 및 N_2O 가스를 반응가스로 사용하여 MTO(middle temperature oxide)로 형성할 수 있다. 패드 산화막(120)은 예컨대 100Å 정도의 두께로 형성한다.

절연막(130) 중의 실리콘 산화질화막(125)의 두께는 예를 들어 약 800 내지 850Å 정도로 형성한다. 그러나 이보다 작게 형성할 수도 있다. 여기서, 실리콘 산화질화막(125) 대신에 실리콘 질화막을 형성하여도 된다. 실리콘 질화막은 500°C 내지 850°C의 온도에서 SiH_4 와 NH_3 의 반응을 이용하여 증착할 수 있다. 실리콘 산화질화막은 실리콘 질화막을 증착하는 공정 조건에 산소 소스를 더 추가하여 증착하면 된다.

이어서, 절연막(130) 상에 리세스 트렌치가 형성될 영역을 덮는 포토레지스트 패턴(135)들을 형성한다. 포토레지스트 패턴(135)의 너비보다 포토레지스트 패턴(135) 패턴들 사이의 간격이 크도록 형성한다. 이와 같은 구조에서는, 포토레지스트 패턴(135)의 너비(CD)가 곧 리세스 트렌치의 너비가 된다. 그러나, 종래에는 포토레지스트 패턴 사이의 간격에 의해 리세스 트렌치의 너비가 결정되었고, 좁은 간격의 포토레지스트 패턴을 구현하는 것이 어렵기 때문에 소자 디자인 룰 축소에 어려움이 있었다. 본 발명에서와 같이, 작은 CD의 포토레지스트 패턴을 구현하는 것은 작은 CD의 바 타입(bar type)의 포토리소그래피 프로파일을 구현하거나 구현 가능한 크기(즉, 목표 너비보다 큰 너비)의 포토리소그래피 공정 후 포토레지스트 트리밍(PR trimming) 등의 공정 진행으로 목표 너비를 맞추는 것이 가능하므로, 포토레지스트 패턴(135)의 너비(CD)로써 리세스 트렌치의 너비가 결정되는 본 발명의 방법이 소자 디자인 룰 축소에 더 적합하다는 장점이 있다.

다음 도 7a와 도 7b에서와 같이, 포토레지스트 패턴(135)들을 식각 마스크로 이용하여 절연막(130)을 식각함으로써, 각각 패드 산화막 패턴(120a)과 실리콘 산화질화막 패턴(125a)으로 이루어진 절연막 패턴(130a)들을 형성한다. 실리콘 산화질화막(125)을 식각할 때에는 불화 탄소계 가스를 사용한다. 예를 들면, C_xF_y 계, $\text{C}_a\text{H}_b\text{F}_c$ 계 가스, 예를 들면 CF_4 , CHF_3 , C_2F_6 , C_4F_8 , CH_2F_2 , CH_3F , CH_4 , C_2H_2 , C_4F_6 등과 같은 가스 또는 이들의 혼합가스를 사용한다. 이 때, 분위기 가스로는 Ar 가스를 사용할 수 있다. 절연막 패턴(130a)은 포토레지스트 패턴(135) 모양대로 식각되므로, 절연막 패턴(130a)의 너비보다 절연막 패턴(130a) 패턴들 사이의 간격이 크게 형성한다. 이 과정에서 실리콘 산화질화막(125)과 소자분리막(115) 사이에 선택비 부족에 의해 소자분리막(115)에 리세스(140)가 발생할 수도 있다.

포토레지스트 패턴(135)들을 제거한 후, 도 8a와 도 8b를 참조하면, 기판(110) 위로 실리콘 산화막을 증착한다. 실리콘 산화막으로는 BPSG(Boron Phosphorus Silicate Glass)막, SOG(Spin On Glass)막, USG(Undoped Silicate Glass)막, FOX(Flowable Oxide; Si-O-H계)막, HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용하여 형성한 실리콘 산화막, 플라즈마를 이용하여 형성한 TEOS(tetraethylorthosilicate)막 등을 증착할 수 있다. 그런 다음, 실리콘 산화질화막 패턴(125a)들을 평탄화 종료점으로 삼아 실리콘 산화막을 평탄화시킴으로써, 절연막 패턴(130a)들 사이에 실리콘 산화막 마스크 패턴(142)들을 형성한다. 이와 같이, 본 발명에서, 실리콘 산화막 마스크 패턴(142)들은 일종의 다마신(damascene) 공정을 이용하여 형성한다.

실리콘 산화막 마스크 패턴(142)들을 위한 실리콘 산화막 증착에 의해, 도 7a 및 도 7b를 참조하여 설명한 단계에서 발생한 리세스(140)는 실리콘 산화막으로 메워진다. 따라서, 종래 방법대비 소자분리막 리세스가 최소화되며, 후속 공정에서 리세스(140)가 더욱 깊어지거나 하는 문제가 없다. 리세스(140)가 기판(110) 표면으로 노출되지 않으므로, 소자분리막(115) 부위에 기생 트랜지스터 형성이 유발되거나, 정적 리프레시가 저하되는 문제도 없다. 뿐만 아니라, 후속 공정에서 리세스(140)에 게이트 도전층이 채워질 염려가 없으므로, 리세스 트렌치에 채워지는 게이트 도전층과 단락을 일으킬 우려도 전혀 없다.

도 9a와 도 9b는 도 8a와 도 8b의 결과물에서 실리콘 산화질화막 패턴(125a)들을 제거한 상태의 도면들이다. 실리콘 산화질화막 패턴(125a)들을 제거하는 데에는 인산 스트립 등의 습식 식각 방법을 이용할 수 있다. 이렇게 하여 리세스 트렌치가 형성될 영역에는 패드 산화막 패턴(120a)들이 덮고 있는 상태가 되며, 리세스 트렌치를 위한 식각 마스크로는 실리콘 산화막 마스크 패턴(142)들이 남게 된다.

도 10a와 도 10b를 참조하여, 실리콘 산화막 마스크 패턴(142)들을 식각 마스크로 이용하여 패드 산화막 패턴(120a)들과 기관(110)을 식각함으로써 리세스 트렌치(145)들을 형성한다. 이 때, 실리콘 산화막 마스크 패턴(142)을 이용하여 노출된 패드 산화막 패턴(120a)을 먼저 제거한 후에, 기관(110)을 식각하여 리세스 트렌치(145)를 형성하는 2 단계 방법에 의할 수 있다. 대신에 패드 산화막 패턴(120a)과 기관(110)을 동시에 식각할 수도 있다. 리세스 트렌치(145)들의 깊이는 예컨대 1000-1500Å 정도로 형성할 수 있다. 기관(110)의 식각에는 Cl₂와 SF₆의 혼합 가스를 사용하는 반응성 이온 식각(RIE)법을 이용할 수 있다. 리세스 트렌치(145)들 형성 후, 실리콘 산화막 마스크 패턴(142)들이 있는 상태에서 리세스 트렌치(145)들 바닥에 로컬 이온주입을 실시할 수도 있다.

이와 같이 본 발명에 따르면, 종래의 마스크층 패터닝 공정을 응용하여 실리콘 산화질화막 패턴(125a)들 형성 후에, 실리콘 산화막 증착 및 실리콘 산화질화막 패턴(125a)들 제거를 통해 실리콘 산화막 마스크 패턴(142)들 구조를 형성하여 소자분리막(115)의 리세스를 보완하며, 차세대급 DRAM에서 종래와 같은 작은 간격의 포토리소그래피 공정의 어려움을 극복할 수 있다.

도 11a와 도 11b는 실리콘 산화막 마스크 패턴(142)들을 제거한 상태의 도면이다. 실리콘 산화막 마스크 패턴(142)들을 제거하는 데에는 HF 희석액 또는 BOE(Buffered Oxide Etchant)를 이용할 수 있다. 기관(110) 위의 실리콘 산화막 마스크 패턴(142)들이 제거되고, 일부 실리콘 산화막 마스크 패턴 잔류물(142')의 소자분리막(115)의 일부를 이루게 된다. 리세스 트렌치(145)들 식각 후 남은 실리콘 산화막 마스크 패턴(142)들의 제거시, 소자분리막(115) 리세스가 발생할 수도 있다. 그러나, 이러한 문제는 실리콘 산화막 마스크 패턴(142)들의 높이를 최소화하여, 식각 후 남은 양을 최소로 함으로써 극복할 수 있다. 실리콘 산화막 마스크 패턴(142)들은 리세스 트렌치(145)들 식각이 진행되는 동안 선택비를 고려하여 그 높이를 결정하는데, 기존의 리세스 트렌치 식각 조건의 경우 산화막 선택비가 10:1 이상이므로 본 발명에서는 약 300Å이면 충분하다고 판단된다. 이는 최초 절연막(130) 특히, 실리콘 산화질화막(125)의 증착 두께를 종래 공정 대비 감소하여 구현할 수도 있다.

후속적으로, CDE(chemical dry etch)법을 이용하여 반도체 기관(110)을 선택적으로 더 식각할 수도 있다. 이 CDE의 목적은 리세스 트렌치(145)들의 각진 상부 모서리 쪽에서 식각되지 않은 실리콘을 제거하는 것과, 각진 하부 모서리를 둥글게 만들기 위한 것이다.

도 12는 본 발명에 따른 방법으로 형성한 리세스 트렌치(145)들에 각기 게이트(G)를 형성한 상태를 도시한다. 이러한 게이트(G)를 형성하기 위해서는, 리세스 트렌치(145) 내벽에 게이트 산화막(150)을 형성한다. 게이트 산화막(150)은 예를 들어, 실리콘 산화막, 티타늄 산화막 혹은 탄탈륨 산화막을 증착하여 형성한다. 게이트 폴리실리콘층(155)을 충분히 증착하여 리세스 트렌치(145)를 완전히 채운 다음, 금속층, 예컨대 게이트 WSi층(160)과 캡핑막(165)을 순차 적층하여 패터닝한다. 게이트 폴리실리콘층(155)은 LPCVD로 500°C 내지 700°C의 온도에서 증착할 수 있다. 불순물이 도핑되지 않은 상태로 증착한 후, 비소(As) 또는 인(P)을 이온주입으로 도핑시켜 도전성을 갖도록 할 수도 있고, 증착시 인-시츄(in-situ)로 불순물을 도핑하여 도프트(doped) 폴리실리콘 상태로 증착할 수도 있다. 캡핑막(165)은 게이트 폴리실리콘층(155)과 게이트 WSi층(160)을 보호하기 위하여 형성하는 것으로, 캡핑막용 절연물질로는 실리콘 질화물을 증착할 수 있다.

이렇게 게이트 폴리실리콘층(155), 게이트 WSi층(160)과 캡핑막(165)으로 이루어진 게이트 스택 측벽을 감싸는 스페이서(170)를 형성한다. 캡핑막(165)과 스페이서(170)를 이온주입 마스크로 하여 소오스/드레인 이온주입을 실시함으로써, 기관(110) 내부에 소오스/드레인(175)을 형성한다. 소오스/드레인(175)은 게이트 산화막(150)에 의해 게이트 폴리실리콘층(155), 게이트 WSi층(160)과 절연되어 있다.

이상에서는 본 발명의 실시예에 대하여 설명하였으나, 본 발명은 상기한 실시예에만 한정되는 것은 아니고 다양한 변형이나 변형이 가능하다. 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 사상 및 범주 내에 포함될 수 있는 대안, 변형 및 등가를 포함한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 리세스 채널 MOSFET은 작은 CD의 바 타입의 포토리소그래피 프로파일을 구현하거나 구현 가능한 크기의 포토리소그래피 공정 후 포토레지스트 트리밍 등의 공정을 진행하여 리세스 트렌치 너비를 줄일 수 있으므로, 소자 디자인 룰 축소에 적합하다.

마스크 패턴을 위한 실리콘 산화막 증착에 의해, 소자분리막에 발생되었을 수도 있는 리세스가 메워진다. 따라서, 종래 방법대비 소자분리막 리세스가 최소화되며, 후속 공정에서 리세스가 더욱 깊어지거나 하는 문제가 없다. 리세스가 기판 표면으로 노출되지 않으므로, 소자분리막 부위에 기생 트랜지스터 형성이 유발되거나, 정적 리프레시가 저하되는 문제도 없다. 뿐만 아니라, 후속 공정에서 리세스에 게이트 도전층이 채워질 염려가 없으므로, 리세스 트렌치에 채워지는 게이트 도전층과 단락을 일으킬 우려가 전혀 없다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 절연막 패턴들을 형성하는 단계;

상기 절연막 패턴들이 형성된 기판 위로 실리콘 산화막을 증착한 다음, 상기 절연막 패턴들을 평탄화 종료점으로 삼아 상기 실리콘 산화막을 평탄화시킴으로써, 상기 절연막 패턴들 사이사이에 실리콘 산화막 마스크 패턴들을 형성하는 단계;

상기 실리콘 산화막 마스크 패턴들이 형성된 결과물에서 상기 절연막 패턴들을 제거하는 단계;

상기 실리콘 산화막 마스크 패턴들을 식각 마스크로 이용하여 상기 기판을 식각함으로써 리세스 트렌치들을 형성하는 단계; 및

상기 리세스 트렌치들이 형성된 결과물에서 상기 실리콘 산화막 마스크 패턴들을 제거하는 단계를 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 2.

제1항에 있어서, 상기 절연막은 패드 산화막과 실리콘 질화막의 조합 또는 패드 산화막과 실리콘 산화질화막의 조합으로 형성하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 3.

제1항에 있어서, 상기 절연막 패턴들은 각 절연막 패턴의 너비보다 절연막 패턴들 사이의 간격이 크도록 형성하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 4.

제1항에 있어서, 상기 절연막 패턴들을 형성하는 동안 상기 기판에 리세스가 형성되고, 상기 실리콘 산화막 마스크 패턴들을 형성하는 단계에서 실리콘 산화막으로 상기 리세스를 메우는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 5.

반도체 기판 상에 패드 산화막과 실리콘 산화질화막을 차례로 형성하여 절연막을 형성하는 단계;

상기 절연막 상에 리세스 트렌치가 형성될 영역을 덮는 포토레지스트 패턴들을 형성하는 단계;

상기 포토레지스트 패턴들을 식각 마스크로 이용하여 상기 절연막을 식각함으로써, 각기 패드 산화막 패턴과 실리콘 산화질화막 패턴으로 이루어진 절연막 패턴들을 형성하는 단계;

상기 포토레지스트 패턴들을 제거하는 단계;

상기 절연막 패턴들이 형성된 기판 위로 실리콘 산화막을 증착한 다음, 상기 실리콘 산화질화막 패턴들을 평탄화 종료점으로 삼아 상기 실리콘 산화막을 평탄화시킴으로써, 상기 절연막 패턴들 사이사이에 실리콘 산화막 마스크 패턴들을 형성하는 단계;

상기 실리콘 산화막 마스크 패턴들이 형성된 결과물에서 상기 실리콘 산화질화막 패턴들을 제거하는 단계;

상기 실리콘 산화막 마스크 패턴들을 식각 마스크로 이용하여 상기 패드 산화막 패턴들과 상기 기판을 식각함으로써 리세스 트렌치들을 형성하는 단계; 및

상기 리세스 트렌치들이 형성된 결과물에서 상기 실리콘 산화막 마스크 패턴들을 제거하는 단계를 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 6.

제5항에 있어서, 상기 포토레지스트 패턴들은 각 포토레지스트 패턴의 너비보다 절연막 패턴들 사이의 간격이 크도록 형성하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 7.

제6항에 있어서, 상기 포토레지스트 패턴들은 목표 너비보다 큰 너비로 형성한 후 포토레지스트 트리밍(PR trimming)의 공정으로 목표 너비로 맞추는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 8.

제5항에 있어서, 상기 절연막 패턴들을 형성하는 동안 상기 기판에 리세스가 형성되고, 상기 실리콘 산화막 마스크 패턴들을 형성하는 단계에서 실리콘 산화막으로 상기 리세스를 메우는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 9.

제8항에 있어서, 상기 기판에 소자분리막을 형성하는 단계를 더 포함하고, 상기 리세스가 상기 소자분리막에 형성되는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 10.

제5항에 있어서, 상기 리세스 트렌치들을 형성하는 단계는,

상기 실리콘 산화막 마스크 패턴들을 이용하여 노출된 상기 패드 산화막 패턴들을 먼저 제거한 후에, 상기 기판을 식각하여 상기 리세스 트렌치들을 형성하는 2 단계 방법에 의하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 11.

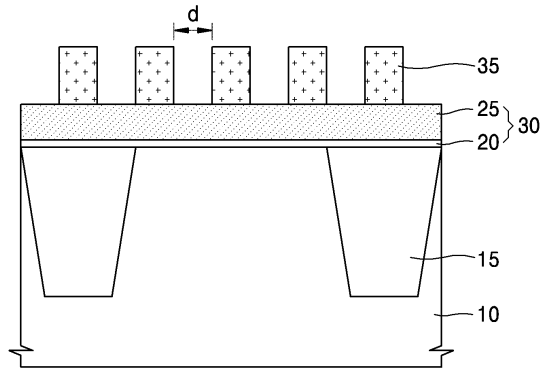
제5항에 있어서, 상기 리세스 트렌치들을 형성하는 단계에서는, 상기 패드 산화막 패턴들과 상기 기판을 동시에 식각하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

청구항 12.

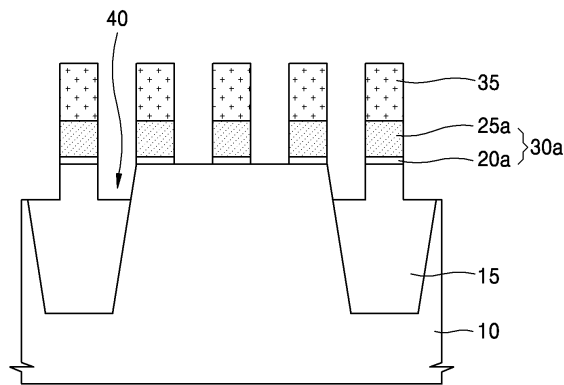
제5항에 있어서, 상기 리세스 트렌치 형성 후, 상기 실리콘 산화막 마스크 패턴이 있는 상태에서 상기 리세스 트렌치 바닥에 로컬 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 리세스 채널 MOSFET 제조방법.

도면

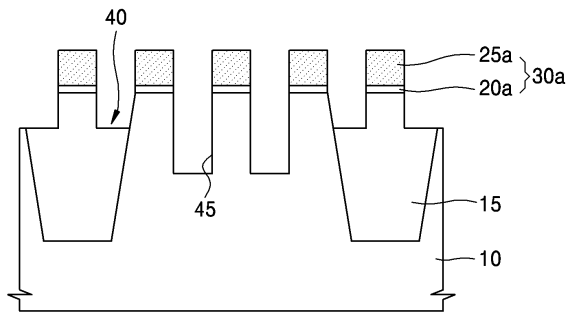
도면1



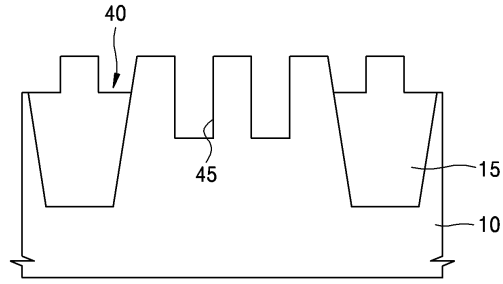
도면2



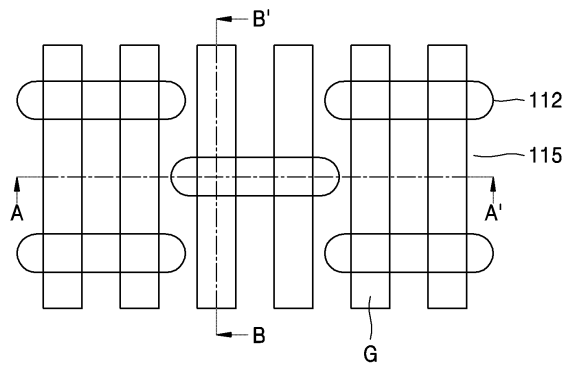
도면3



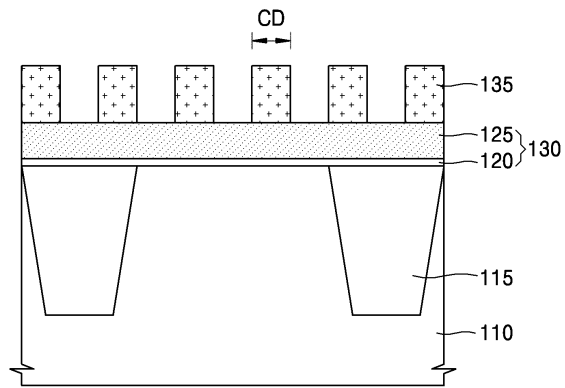
도면4



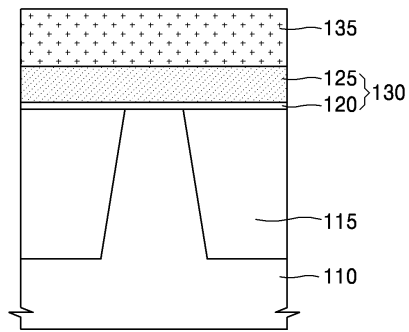
도면5



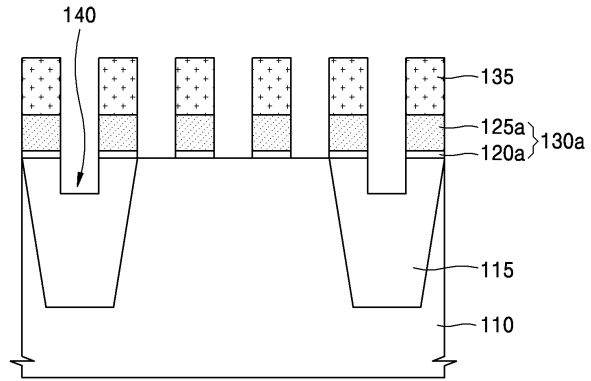
도면6a



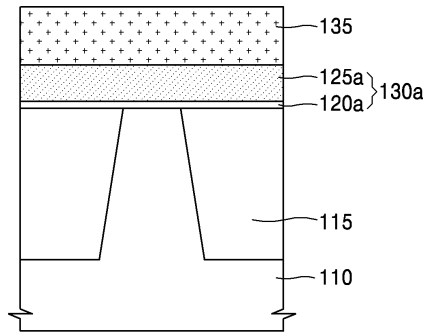
도면6b



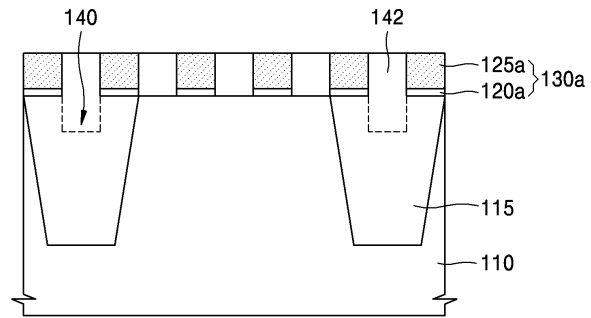
도면7a



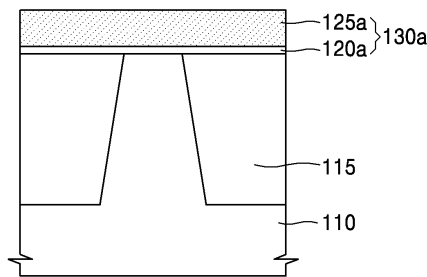
도면7b



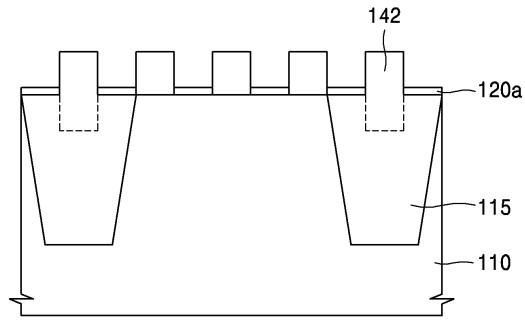
도면8a



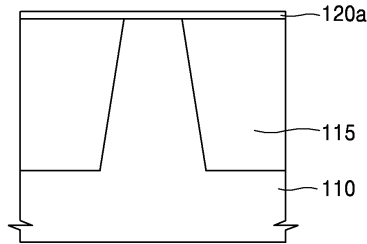
도면8b



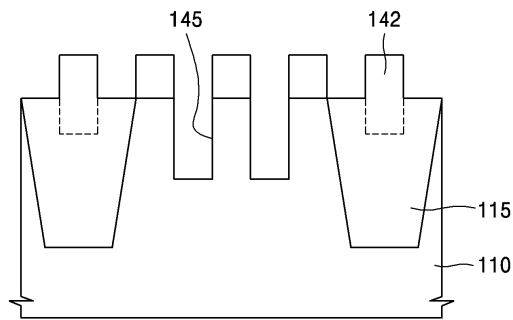
도면9a



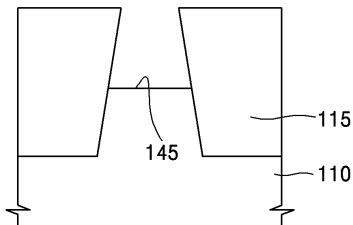
도면9b



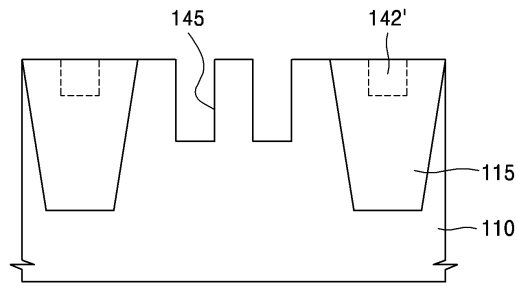
도면10a



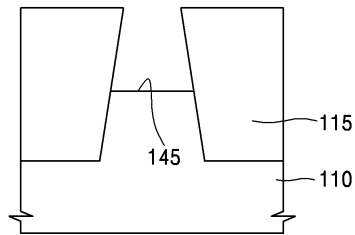
도면10b



도면11a



도면11b



도면12

