

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 29/73	(11) 공개번호 특2000-0076628	(43) 공개일자 2000년 12월 26일
(21) 출원번호 10-2000-0005888		
(22) 출원일자 2000년 02월 09일		
(30) 우선권주장 99-038166 1999년 02월 17일 일본(JP)		
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무		
(72) 발명자 일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치 오야마카즈히로 일본국이바라키켄히타치시아유카와쵸6-20-3유호료 사카노준이치 일본국이바라키켄히타치시이나자카쵸1-19-5-203 모리무쓰히로 일본국이바라키켄미토시케야키다이1-124-6		
(74) 대리인 특허법인 원전 임석재		

심사청구 : 없음

(54) 반도체 장치 및 전력변환 장치

요약

인접하는 절연게이트 사이의 간격이 좁은 영역과 넓은 영역을 설치하여, 넓은 간격의 영역에서는 p형 베이스층보다도 깊은 p형 웰층이 설치된다. 본 구성에 의하면 인접하는 절연게이트 사이의 간격이 좁은 영역과 넓은 영역을 설치하여도 내압이 저하하지 않는다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 관한 제1의 실시예의 구성을 설명하는 단면도,
- 도 2는 실시예의 효과를 설명하는 그래프,
- 도 3은 본 발명에 관한 제2의 실시예의 구성을 설명하는 단면도,
- 도 4는 본 발명에 관한 제3의 실시예의 구성을 설명하는 단면도,
- 도 5는 본 발명에 관한 제1의 실시예의 종단구성을 설명하는 평면도,
- 도 6은 도 5, 도 8, 도 9에서의 A-A' 단면도,
- 도 7은 도 5, 도 8, 도 9에서의 B-B' 단면도,
- 도 8은 본 발명에 관한 트렌치 게이트구조를 설명하는 평면도,
- 도 9는 본 발명에 관한 다른 트렌치 게이트구조를 설명하는 평면도,
- 도 10은 본 발명에 관한 압접형소자의 실시예를 설명하는 단면도,
- 도 11은 본 발명에 관한 다른 압접형소자의 실시예를 설명하는 단면도,
- 도 12는 본 발명에 관한 절연게이트형 트렌치형 IGBT를 사용한 3상인버터의 실시예를 설명하는 회로도,
- 도 13은 본 발명에 관한 제8의 실시예의 평면도,
- 도 14는 도 13에서의 A-A' 단면도,
- 도 15는 본 발명에 관한 제9의 실시예의 단면도,
- 도 16은 본 발명에 관한 제9의 실시예의 입체사시도 이다.

(부호의 설명)

1	n형 베이스층	2	콜렉터층
3	n형 버퍼층	4	p형 베이스층
5	n형 소스층	6	PPL층
7	트렌치 절연게이트	8	n형 반도체층
9, 12, 13, 62, 63, 91, 151	p형 웰층		
10	에미터전극	11	콜렉터전극
61, 171	게이트배선	64, 161	절연막
65	게이트 보강배선	66	금속전극
67	콘택트영역	152	La 교차영역
231, 232	압접전극	C	콜렉터단자
G	게이트단자	E	에미터단자
D1	제너 다이오드	La	좁은 영역(La)
Lb	넓은 영역(Lb)	Lc	p형 웰층(9) 깊이
Le	p형 웰층(9) - 트렌치 절연게이트(7) 간거리		
Lp	p형 웰층(62) - p형 웰층(63) 간거리		

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 트렌치 절연게이트 구조를 가지는 절연게이트형 바이폴라 트랜지스터 및 그것을 이용한 전력변환 장치에 관한 것이다.

종래부터 전력용 반도체 소자로서 절연게이트형 바이폴라 트랜지스터(이하 IGBT라고 칭함)가 알려져 있다. IGBT는 온 동작시에 pnp 트랜지스터가 동작하여 전도도 변조를 일으키므로, 온 전압을 낮게 할 수 있다는 이점이 있다. 그러나 트랜지스터 동작이므로 사이리스터 동작에 비해 전도도 변조가 충분하지 않고, GTO 사이리스터 등에 비해 온 전압이 높다.

최근 전력용 반도체 소자로서, 트렌치 절연게이트형 IGBT가 주목되기 시작하고 있다. 트렌치형 IGBT는 절연게이트가 반도체에 매립된 구조를 하고 있다. 기본적 구성으로서, 먼저 고저항의 n형 베이스층의 한 쪽의 면에 n형 버퍼층을 끼워서 p형 콜렉터층이 형성되어 있다. n형 베이스층의 다른 쪽 면측에는 p형 베이스층이 형성되어 있다. p형 베이스층에는 평면형상이 스트라이프 형상을 이루는 복수개의 같은 형상을 가지는 트렌치 게이트전극이 형성되어 있다. 트렌치 게이트전극은 전극과 그 주위를 절연막으로 덮은 형상을 하고 있다. 따라서, 트렌치 게이트전극의 측벽이 MOS 채널이 되는 구조를 하고 있다.

트렌치 절연게이트형 IGBT는 절연게이트를 플레이너 IGBT에 비해서, 조밀하게 형성할 수 있는 결과, 채널 폭이 넓고, 채널 저항이 낮다. 그 때문에 종래의 플레이너 IGBT에 비해, 낮은 온 전압(온 전압 : 콜렉터-에미터간 포화전압)이 얻어진다.

그러나, 트렌치 절연게이트형 IGBT는 채널 폭의 증대와 함께 포화전류가 크게 되며, 단락 내양(耐量)이 낮게 된다.

또 트렌치 절연게이트를 채용한 구조가 일본특허공개 평 5-243561호 공보에 기재되어 있다. 이것은 홀의 n형 베이스층으로의 주입효과를 높이는 구조를 채용하고 있다. 구체적으로는 등간격 또는 폭 넓게 형성된 트렌치 절연게이트를 가지는 트렌치 절연게이트형 IGBT에서, 트렌치 절연게이트의 측벽에 형성하는 채널의 수를 감소시켜 채널 폭을 좁게 한다. 또한, 다른 쪽 면에 위치하는 채널을 형성하고 있지 않은 측의 p형 베이스층은 절연막으로 덮고, 주 전극과 격리되어 있다. 이 구조가 주입효과를 높여 사이리스터에 가까운 전도도 변조가 얻어진다고 말하고 있다. 그 결과, 채널 저항은 증가하지만, n형 베이스층에서의 저항이 낮게 되며, 낮은 온 전압이 얻어진다. 그러나 게이트의 입력용량이 크고, 그 때문에 스위칭이 늦으므로 특히 고주파에서 스위칭 손실이 크다는 문제가 있다. 또 구동전압이 크다는 문제도 있다.

이러한 문제를 해결하는 구조가 일본특허공개 평 10-178176호 공보에 기재되어 있다. 이 구조의 특징은 채널을 형성하지 않는 쪽의 게이트의 간격이 형성한 쪽의 간격보다 넓고, 그들이 반복되는 것이다.

이것에 의해 게이트 입력용량, 스위칭 손실, 구동전력의 저감이 가능하게 된다. 그러나, 충분한 저손실화를 위해서는 채널을 형성하지 않는 쪽의 게이트 간격을 넓게 취하지 않으면 안되고, 소자의 내압이 저하하는 문제가 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 고려하여 행한 것이며, 전기적 특성을 향상시킬 수 있는 트렌치 절연게

이트형의 반도체 장치를 제공한다.

본 발명에 의한 반도체 장치는 제1 도전형의 제1 반도체층과, 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과, 제2 반도체층과 인접하는 제1 도전형의 제3 반도체층과, 제3 반도체층을 관통하여 제2 반도체층에 도달하는 복수의 절연게이트를 구비한다. 또한 본 반도체 장치는 인접하는 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역을 가지며, 제1 영역에서의 제3 반도체층 내에서, 절연게이트에 접하는 제2 도전형의 제4 반도체층을 구비한다. 제1의 영역에서의 제3 반도체층 및 제4 반도체층에는 제1 주 전극의 주 전극이 전기적으로 접속한다. 또 제1 반도체층에는 제2 주 전극이 전기적으로 접속한다. 여기서, 제2 영역에서의 인접하는 절연게이트 사이의 간격(Lb)은 제1 영역에서의 인접하는 상기 절연게이트 사이의 간격(La)보다도 크다. $Lb/La > 1$ 로 하는 것에 의해, 낮은 온 전압을 확보하면서 포화전류 밀도가 저감된다. 낮은 온 전압을 위해서는 $6 > Lb > La > 2$ 가 바람직하다. 또한 $La \leq 5\mu m$ 가 바람직하다.

바람직하게는 제2 영역에서 제3 반도체층보다도 깊은 제1 도전형의 제5 반도체층이 설치되어 있다. 이 제5 반도체층에 의하면 제2 영역에서의 인접하는 절연게이트 사이의 간격을 제1 영역에서의 인접하는 절연게이트 사이의 간격보다 크게 하여도, 내압이 그다지 저하하지 않는다.

본 발명에 의한 상기의 반도체 장치는 제2 영역에서의 인접하는 절연게이트 사이의 간격을 제1 영역에서의 인접하는 절연게이트 사이의 간격보다 크게 함으로써, 포화전류 밀도를 저감하여 단락 내양을 향상하는 효과, 혹은 온 전압 또는 전력손실을 저감하는 효과를 구비할 수 있다. 단, 충분한 단락 내양을 얻기 위해서는 포화전류 밀도가 $1000A/cm^2$ 이하인 것이 바람직하다. 또 온 전압 또는 전력손실을 저감하기 위해서는 제2 영역의 제3 반도체층 및 제5 반도체층과 제1 주 전극이 절연막에 의해 절연되어 있는 것이 나. 또 제1 영역의 제3 반도체층과 제2 영역의 상기 제3 반도체층이 분리되어 있는 것이 바람직하다. 또 제1 영역에서 제2 반도체층이 제1 반도체층 측의 제1 부분과, 제1 부분보다도 고불순물 농도의 제3 반도체층 측의 제2 부분을 가지는 것도, 온 전압 또는 전력손실의 저감에 유효하다. 다른 한편, 턴오프 손실의 저감이나 턴오프 시간의 단축 등과 같은 턴오프 성능의 향상을 위해서는 제5 반도체층과 제1 주 전극과의 사이에 제너 다이오드가 접속되는 것이 바람직하다. 이것에 의해 턴오프 시에 고전압이 인가되면, 제너 다이오드가 브레이크 오버하여 전류가 흐르는 것에 의해, 깊은 제5 반도체층에서 반도체 장치 내의 축적 캐리어가 빠져나간다. 이 때문에 턴오프 성능이 향상한다.

또한 본 발명에 의한 상기의 반도체 장치에서 제1 도전형 및 제2 도전형은 p형 또는 n형이며, 서로 반대 도전형이다. 절연게이트로서는 제3 반도체층을 관통하여 제2 반도체층에 도달하는 홈을 형성하고, 홈 내의 측벽 및 바닥면을 덮는 절연막에 의해서 절연되는 게이트전극이 홈 내에 형성되게 즉, 트렌치 홈 내에 형성되는 트렌치 절연게이트 등을 적용할 수 있다. 또 제2 반도체층이 제1 반도체층과 접촉하는 제1 부분과, 제1 부분보다도 저불순물 농도의 제3 반도체층 측의 제2 부분을 가지고 있어도 좋다. 또한 이 제1 부분은 이른바, 버퍼층에 상당한다.

상술한 구성의 중, 다음의 구성 a, b, c는 제5 반도체층의 유무에 관계없이 각각 단독으로도 그 효과를 나타낸다.

- a. 제2 영역의 제3 반도체층과, 제1 주 전극이 절연막에 의해 절연되며, 또한 제1 영역의 제3 반도체층과 제2 영역의 제3 반도체층이 분리되어 있다.
- b. 제1 영역에서 제2 반도체층이 제1 반도체층 측의 제1 부분과, 제1 부분보다도 고불순물 농도의 제3 반도체층 측의 제2 부분을 가진다.
- c. 제2 영역의 제3 반도체층과 제1 주 전극과의 사이에 제너 다이오드가 접속되며, 더욱 바람직하게는 또 제2 영역의 제3 반도체층과 제1 주 전극이 절연막에 의해 절연된다.

즉, 이들의 각 구성은 제1 도전형의 제1 반도체층과, 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과, 제2 반도체층과 인접하는 제1 도전형의 제3 반도체층과, 제3 반도체층을 관통하여 제2 반도체층에 도달하는 복수의 절연게이트와, 인접하는 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과, 제1 영역에서의 제3 반도체층 내에서 절연게이트에 접하는 제2 도전형의 제4 반도체층과, 제1 영역에서 제3 반도체층 및 제4 반도체층에 접촉하는 제1 주 전극과, 제1 반도체층에 접촉하는 제2 주 전극을 구비하며, 제2 영역에서 인접하는 절연게이트 사이의 간격이 제1 영역에서의 인접하는 절연게이트 사이의 간격보다도 큰 반도체 장치에 적용되어 각각 단독으로 효과를 발생한다.

본 발명에 의한 반도체 장치는 반도체 스위칭 소자의 온·오프에 의해 전력의 변환을 행하는 전력변환 장치에 이용할 수 있다. 이 전력변환 장치는 한쌍의 직류단자와, 직류단자 사이에 접속되어 복수의 반도체 스위칭 소자가 직렬 접속되는 복수의 직렬 접속회로와, 복수의 직렬 접속회로의 각 직렬 접속점에 접속되는 복수의 교류단자를 구비한다. 그리고, 이들 복수의 반도체 스위칭 소자를 본 발명에 의한 반도체 장치로 한다. 이와 같은 전력변환 장치에 의하면, 전력변환 장치의 신뢰성이나 효율을 향상시킬 수 있다. 또한 전력변환 장치로서는 직류전력을 교류전력으로 변환하는 인버터나, 교류전력을 직류전력으로 변환하는 컨버터 등이 있다.

발명의 구성 및 작용

도 1은 본 발명의 제1 실시예이며, 트렌치 절연게이트형 IGBT의 셀의 단면도이다.

이 트렌치 절연게이트형 IGBT는 고저항의 n형 베이스층(1)(제2 반도체층)의 한쪽의 면에 n형 베이스층(1)보다도 고불순물 농도의 n형 버퍼층(3)을 끼워서 p형 콜렉터층(2)(제1 반도체층)이 형성된다. n형 베이스층(1)의 다른 쪽 면측에는 p형 베이스층(4)(제3 반도체층)이 형성된다.

p형 베이스층(4)에는 평면형상이 스트라이프 형상을 이루는 복수개의 같은 형상을 가지는 트렌치 절연게이트 전극(7)(절연게이트)이 n형 베이스층(1)에 도달하는 깊이로 형성되어 있다. 트렌치 절연게이트 전

극(7)은 p형 베이스층(4)의 표면에서 n형 베이스층(1)까지 도달하는 홈 내에 게이트전극이 매립되어, 게이트전극의 주위가 절연막으로 덮여진 형상을 하고 있다. 이들의 트렌치 절연게이트 전극(7)은 인접하는 트렌치 절연게이트의 상호 간격이 좁은 L_a 와 넓은 L_b 가 서로 번갈아 반복하는 구조를 가지고 있다. 또한 본 실시예에는 트렌치 홈의 측벽을 기점으로 하여 상호 간격을 나타내고 있지만, 트렌치 절연게이트의 폭 방향의 중심을 기점으로 해도 좋다.

영역 L_a 내에는 트렌치 절연게이트에 접하여 p형 베이스층(4)보다도 고불순물 농도의 n형 소스층(5)(제4 반도체층)이 평면형상이 스트라이프 형상으로 불순물 확산에 의해 형성된다. 이것에 의해 p형 베이스층(4)의 측면이 트렌치 게이트전극(7)에 의해 제어되는 채널 영역이 되는 n 채널 MOSFET부가 구성된다. 또 영역 L_a 에는 n형 소스층(5)에 끼워져 p형 베이스층(4)보다도 고불순물 농도의 p^+ 층(6)이 n형 소스층(5)보다 깊게 형성된다.

영역 L_b 내에는 영역 L_a 과 같은 깊이로 p형 베이스층(4)이 영역 L_a 에서의 p형 베이스층과는 분리되도록 형성됨과 동시에, p형 베이스층(4)의 중앙부에 p형 웰층(9)(제5 반도체층)이 p형 베이스층(4)보다도 깊고, 또한 트렌치 절연게이트 전극(7)과 동등하던지, 혹은 그것보다 깊게($L_c \geq 0$)되도록 형성된다. 또 트렌치 게이트 전극(7)의 바닥부에서의 트렌치 게이트전극(7)과 p형 웰층(9)의 거리(L_e)는 소자의 내압이 낮게되지 않는 넓이로 설정하고 있다.

주 전극(10)(에미터전극, 제1 주 전극)은 L_a 내에서, n형 소스층(5)과 p^+ 층(6)에 동시에 접촉한다. 다른 주 전극(11)(콜렉터전극, 제2 주 전극)은 p형 콜렉터층(2)에 접촉한다. 영역 L_b 에서, 주 전극(10)은 절연막에 의해 p형 베이스층(4) 및 p형 웰층(9)으로 절연되어 있다.

본 실시예의 동작은 이하와 같다. 주 전극(11)의 전위를 주 전극(10)의 전위보다 높고, 또한 트렌치 절연게이트 전극(7)의 전위가 주 전극(10)보다 높게되도록 전압을 인가한다. 트렌치 절연게이트 전극(7)의 전압이 문턱치전압을 초과하면 p형 베이스층(4)의 게이트 절연막과 접하는 표면에 n채널이 형성하고, n형 소스층(5)에서 채널을 통해 n형 베이스층(1)에 전자가 흘러들어 온(on) 한다. 이때 p형 콜렉터층(2)에서 홀이 n형 베이스층(1)에 주입되어 n형 베이스층(1)에서 전도도 변조가 발생한다. 본 실시예에서는 영역 L_b 에 채널이 형성되지 않기 때문에 깊은 전도도 변조가 발생한다. 이 때문에 본 실시예의 소자는 낮은 온 전압의 특징을 가진다. 또한 $L_a < L_b$ 로 하는 것에 의해, 게이트가 점유하는 면적이 저감하므로 게이트 입력용량을 작게 할 수 있다. 또한 본 실시예에서는 주된 도통영역은 L_a 영역이지만, p형 콜렉터층(2)이 영역 L_a 에서 영역 L_b 으로 연장하고 있기 때문에, 영역 L_b 에서의 p형 콜렉터층(2)에서도 홀이 n형 베이스층(1)으로 주입된다. 이 홀도 전도도 변조에 기여한다. 또한, 주 전극(11)이 영역 L_b 에서 p형 콜렉터층(2)과 오믹 접촉하고 있으므로 보다 많은 홀이 영역 L_b 의 p형 콜렉터층(2)에서 주입된다.

채널저항은 거의 채널 폭의 넓이에 반비례 한다. 본 실시예에서는 종래의 트렌치 IGBT에 비해 채널 폭이 작게 되며, 채널 저항이 증가한다. 그러나, 본 실시예의 구조를 취하는 것에 의해, n형 베이스층(1)의 온 전압이 저감하며, 채널저항의 증가분은 상쇄된다. 그 결과, 게이트의 입력용량이 낮음에도 불구하고, 낮은 온 전압을 얻을 수 있다.

오프 상태에서는 n형 베이스층(1)과 p형 베이스층(4)의 접합으로 내압을 유지한다. 트렌치 절연게이트(7)는 n형 베이스층(1) 내에 돌출하고 있으므로 전계강도는 트렌치 절연게이트(7)의 각(角)으로 세게 된다. $L_b > L_a$ 에서 전계강도는 L_b 측이 세게 된다. 고내압의 소자일수록 충분한 손실저감 및 단락내압 확보를 위해서는 L_b 를 넓게 취하는 것이 유효하지만, 소자의 내압이 L_b 측의 전계강도에 의해 결정되도록 L_b 를 넓게 취하면 소자의 내압이 저하하여 버린다. p형 웰층(9)의 트렌치 절연게이트(7) 바닥 부로부터의 깊이(L_c)를 $L_c \geq 0$ 으로 하고, 트렌치 절연게이트(7)와 p형 웰층(9)의 거리(L_e)를 조정하면, L_b 측의 전계강도를 약하게 할 수 있으므로 소자의 내압이 저하하지 않는다.

부하단락 상태에서는 영역 L_a 내에 위치하는 n채널 MOSFET가 핀치오프하여 주 전극(10)과 주 전극(11)에는 포화전류가 흐른다. 포화전류는 채널 폭의 크기에 거의 비례한다. 종래의 트렌치 IGBT에 비하여 채널 폭이 작기 때문에 포화전류가 종래의 트렌치 절연게이트형 IGBT보다 낮게 된다.

본 실시예에서는 게이트의 입력용량을 저감할 수 있다. 또 게이트 절연막의 소자에서의 총 면적이 작기 때문에 소자의 제조 수율이 향상하는 이점도 동시에 가진다.

여기서 본 실시예와 종래의 트렌치 절연게이트형 IGBT의 비교를 위해 도 2에서 특성의 간격비(L_b/L_a)의 존성을 나타낸다. 값은 종래의 트렌치 절연게이트 IGBT를 1로 규격화하여 나타내고 있다. 도면에는 온 전압(V_{on}), 게이트 입력용량(C_{in}), 포화전류(I_{csat}), 소자내압(V_{BCE0} , V_{BCE02})의 본 실시예의 간격비(L_b/L_a) 의존성을 나타내고 있다. 소자내압(V_{BCE02})은 도 1과 같이 영역 L_b 에 p형 웰층(9)이 형성되는 경우이며, 소자내압(V_{BCE0})은 p형 웰층(9)이 형성되지 않고 p형 베이스층이 연속하여 형성되는 경우이다. 또한 본 발명자의 검토에 의하면, 온 전압, 게이트 입력용량 및 포화전류는 p형 웰층의 유무에 관계없이 도 2와 같은 간격비(L_b/L_a) 의존성을 나타낸다.

본 발명자의 검토에 의하면, $L_a \leq 5\mu m$ 를 만족했을 때 도 2에 나타내는 경향의 특성을 얻을 수 있다. $L_b/L_a > 1$ 에서는 L_b/L_a 가 크게 됨에 따라서 입력용량(C_{in})과 포화전류(I_{csat})가 작게 되며, $L_b/L_a = 12$ 에서 거의 극소로 된다. 즉, $L_b/L_a > 1$ 에서는 트렌치 절연게이트형 IGBT의 고속 스위칭 성능 및 단락 내량이 향상한다. 더욱이 $12 > L_b/L_a > 1$ 에서는 온 전압이 저감한다. 즉 $12 > L_b/L_a > 1$ 에서는 낮은 온 저항이라는 트렌치 절연게이트형 본래의 특성이 손실되지 않고 오히려 향상되면서 입력용량(C_{in})과 포화전류(I_{csat})가 저감한다. 또한 $6 \geq L_b/L_a \geq 2$ 로 하는 것에 의해 온 전압이 극소로 된다.

도 2가 나타내는 바와 같이 도 1의 IGBT에서 p형 웰층(9)이 형성되지 않는 경우, L_b/L_a 를 크게 하면 소자내압(V_{BCE0})이 저하한다. 그러나, 이와 같은 소자내압(V_{BCE0})의 저하가 실용상 영향이 없으면, p형 웰층(9)이 없어도 상술한 바와 같은 L_b/L_a 를 크게 하는 효과가 발휘된다. 다른 한편, 도 2에서의 V_{BCE02} 가

나타내는 바와 같이 p형 웰층(9)에 의하면, Lb/La를 크게 하여도 소자내압은 거의 변화하지 않는다. 따라서 상술한 Lb/La에 의한 온 전압 저감이 보다 유효하게 된다.

일반적으로 인버터 장치 등의 전력변환 장치에서는 사고 시의 전원단락에 대하여, IGBT로 전류를 차단함으로써 인버터 장치의 과도한 파괴를 방지하는 것이 행하여져 있다. 이것을 실현하기 위해서는 인버터 장치의 용량, 전원, 전압에 의하지 않고, IGBT가 단락상태에서 10 마이크로초 이상 견디는 것이 요구되고 있다. 본 발명자의 검토에 의하면, 본 실시예에 의한 IGBT에서 10 마이크로초 이상을 얻도록 하기 위해서는 포화전류 밀도를 1000A/cm² 이하로 하면 된다. 예를들면 600V의 내압을 가지는 소자에서 La=3.2 μm, Lb=23.2 μm일때, 온 전압은 종래의 트렌치 절연게이트 IGBT보다도 낮고, 게이트의 입력용량은 1/3배로 감소하며, 또한 포화전류를 1000A/cm²로 할 수 있다.

1200V의 내압을 가지는 소자는 Lb를 보다 넓게 취하여 31.8 μm로 한다. 포화전류는 750A/cm²가 된다. 그 때문에 이 2개의 소자는 함께 단락 내압을 확보하기 위해서 최대 전류를 제한하는 IC 등을 IGBT 칩 내에 집적 또 외부에는 부가할 필요가 없게 된다. 그 결과, 종래의 트렌치 절연게이트 IGBT에 비하여, 제조코스트를 저감할 수 있는 이점도 있다.

이상 본 실시예와 같이 트렌치 절연게이트를 다른 간격으로 배치하고, 트렌치 상호 간격의 넓은 쪽에 채널을 형성하며, P형 웰층을 트렌치 상호 간격의 넓은 쪽에 형성하는 구조로 함으로써, 소자 내압의 저하를 동반하지 않고, 게이트의 입력용량을 종래의 트렌치 절연게이트를 등간격으로 배치한 IGBT에 비하여 저감하며, 스위칭 손실이 작고, 트렌치 절연게이트형 IGBT와 동등한 낮은 온 전압에서 포화전류가 종래의 트렌치 절연게이트형 IGBT보다 낮은 절연게이트형 바이폴라 트랜지스터를 실현할 수 있다. 결국, 본 실시예의 구조를 가지는 소자는 소자 내압의 저하를 동반하지 않고, 고주파 영역에서도 손실이 작은 소자를 얻을 수 있다.

도 3은 본 발명의 제2의 실시예이며, 기본 구성은 제1의 실시예와 같다. 본 실시예에서는 영역 La 내에 위치하는 p형 베이스층(4)과 n형 베이스층(1)과의 사이에 n형 베이스층(1)보다 불순물 농도가 높은 n형 반도체층(8)이 설치되어 있다. p형 베이스층(4)의 아래에 균일한 n형 반도체층(8)을 형성하기 위해, n형 반도체층(8)의 일부가 Lb 내에 도달해도 좋고, 트렌치 절연게이트(7) 바닥부보다 아래에 도달해도 좋다.

p형 콜렉터층(2)에서 n형 베이스층(1)에 주입된 홀은 영역 La 내의 n형 소스층(5)에서 배출된다. 홀의 이동경로중 n형 반도체층(8)에 의해 홀은 p형 베이스층(4)으로 이동하는 것이 제한되며, n형 반도체층(8)의 근처의 n형 베이스층(1) 중에 축적하여 전도도 변조가 촉진된다. 그 결과 온 전압의 저감을 도모할 수 있다. 턴오프 상태에서는 주 전극(11)에 고전압이 인가되고, n형 반도체층(8)은 공핍화하기 때문에 홀 통과에 장애는 되지 않고, 턴오프 손실은 크게 되지 않는다.

소자내압은 n형 반도체층(8) 중의 불순물 농도에 의존한다. p형 베이스층(4)과 n형 반도체층(8)의 접합 근방에서의 전계강도가 n형 반도체층(8) 중의 불순물 농도에 의존하기 때문이다. 본 발명자의 검토에 의하면, n형 반도체층(8) 중의 불순물 농도가 높게 될수록 온 전압은 저하한다. 그러나 1×10^{12} /cm³를 초과하면 크게 소자내압이 저하한다. 따라서 n형 반도체층(8) 중의 캐리어 농도는 1×10^{12} /cm³ 이하로 하는 것이 바람직하다.

도 4는 본 발명의 제3의 실시예이며, 기본 구성은 제1의 실시예와 같다. 본 실시예에서는 p형 웰층(9)과, 주 전극(10)과의 사이에 제너 다이오드(D1)가 접속된다.

본 실시예는 p형 베이스층(4)과, 주 전극(10)과의 사이에 제너 다이오드(D1)를 설치함으로써, 트렌치 절연게이트(7)와 영역 La 내에 위치하는 p형 베이스층(4)의 사이의 전위차의 상한을 설정할 수 있고, 절연막(71)의 내압을 초과하는 전계집중이 발생하는 것을 방지한다. 또, 턴오프 시, n형 베이스층(4) 중의 홀은 p형 웰층(9)을 통과하여 주 전극(10)에 흐른다. 그 때문에 n형 베이스층(4) 중의 홀을 적게 할 수 있고, 턴오프 손실을 작게 할 수 있다. 또 영역 La 내의 n형 소스층에서 배출되는 홀을 적게 할 수 있으므로 래치업을 방지할 수 있다.

도 5는 본 발명의 제4의 실시예이며, 본 발명의 제1의 실시예에 관한 트렌치 절연게이트형 IGBT의 셀 및 셀 종단의 평면도이다. 도 6, 도 7은 각각 도 5의 A-A', B-B'의 단면도이다.

트렌치 절연게이트(7)의 채널 폭 방향(도 7 참조)에는 트렌치 절연게이트(7)의 종단에 접하여 P형 베이스층(4)과 분리되도록, p형 베이스층(4)과 거리(Lp)를 두고 p형 웰층(91)이 형성된다. 거리(Lp)는 p형 베이스층(4)과 p형 웰층(91)이 IGBT의 전압저지 상태에서 펀치스루(punch-through)하는 거리로 설정하고 있다. 트렌치 절연게이트(7)의 채널 장방향(도 6 참조)에는 최외주의 p형 베이스층(4)과 접하는 p형 웰층(9)과 분리되도록 p형 웰층(9)과 거리(Lp)를 두고 p형 웰층(91)이 형성된다. 거리(Lp)는 p 웰층(9)과 p형 웰층(91)이 IGBT의 전압저지 상태에서 펀치스루하는 거리로 설정하고 있다. p형 웰층(91)은 전극(66)을 통해서 주 전극(10)과 전기적으로 접속된다. 최 외주의 p 웰층(9)에는 턴오프 시 홀을 빼내기 때문에 콘택트(67)와 같이 전극(10)과 콘택트를 취해도 좋다.

본 실시예에서는 주 전극(11)에 플러스, 주 전극(10)에 마이너스 전압을 인가한 상태에서, p형 베이스층(4) 및 p형 웰층(9)과 p형 웰층(91)이 펀치스루 하고 있고, p형 베이스층(4)의 종단에서 전계의 집중이 방지되어 내압의 감소가 방지된다. 본 실시예와 같이 주 내압을 감소시키지 않고, 영역 Lb 내에 위치하는 p형 베이스층(4)을 p형 웰층(91)과 전기적으로 절연할 수 있어 p형 베이스층(4)에 축적된 홀이 소자 밖으로 배출함 없이 온 전압이 낮게 된다.

도 8은 본 발명의 제4의 실시예의 평면형상이며, 기본 구성은 제1의 실시예와 같다. 도 8의 A-A', B-B'에서의 단면형상은 각각 도 6, 도 7에 나타난 것으로 된다.

영역 La - 영역 Lb과 같이 서로 번갈아 반복하도록 형성된 트렌치 절연게이트(7)가 제2의 실시예에 나타난 트렌치 절연게이트(7)와 교차하도록 배치되어 있다. 트렌치 절연게이트는 실제의 소자에서는 합쳐서

100에서 20000개 정도 형성된다. 영역 Lb 내에는 p형 웰층(9)을 형성하지 않아도 좋다.

본 실시예에 의하면, 게이트 배선저항을 저감할 수 있다.

따라서, 게이트전극 패드 또는 게이트 입력단자에서 가까운 IGBT와 먼 IGBT에서의 게이트신호의 지연의 차가 작게 되기 때문에 소자 내에서 스위칭 동작의 균일성이 향상된다. 이 때문에 불균일 동작에 따른 전류집중에 의한 소자파괴를 방지할 수 있다.

본 실시예의 변형예로서, 도 9에 나타난 바와 같이 좁은 영역 La 2개가 교차하는 영역(101)에 트렌치 절연게이트 전극을 구성할 수도 있고, 또한 게이트저항을 저감할 수 있다.

도 10은 본 발명의 제 6의 실시예이며, IGBT 칩의 단면도이다. 기본 구성은 제 1의 실시예와 같다. 트렌치 절연게이트는 도 8과 같이, 평면형상은 메시(mesh)형상으로 형성되어 있다. 231, 232는 각각 에미터 전극부재, 콜렉터 전극부재이다. 에미터 전극부재(231)와 콜렉터 전극부재(232)는 각각 주 전극(10,11)을 가압하으로서 접촉시키고 있다. 이들 전극부재는 본 실시예에서는 반도체층에 열팽창 계수가 가까운 몰리브덴(Mo)을 재료로 하고 있다. 61은 게이트배선으로, 가압부와는 분리되어 전도성의 금속배선(65)을 붙여 저(低) 저항화하고 있다. 주 전극(10)의 아래에는 절연막(161)이 게이트배선(61)과 그 주위의 절연막보다도 두껍거나 혹은 높게 형성되어 있다. 그 때문에 주 전극(10)의 정부(頂部)는 게이트배선(61) 상의 금속배선(65)보다도 높게 형성되며, 에미터 전극부재(231)는 게이트배선 상의 금속배선(65)과 접촉하지 않는다. 게이트배선 저항을 저감하기 위한, 금속배선(65)을 설치하고 있으므로 IGBT에 전달되는 게이트신호의 지연을 억제할 수 있다. 따라서, 게이트 패드(6)에 가까운 IGBT 유닛과, 떨어진 IGBT 유닛과의 스위칭 지연이 작게 되며, IGBT 유닛으로의 전류집중 및 그것에 의한 열 파괴를 방지할 수 있다. 본 실시예는 트렌치 절연게이트(7)가 교차하도록 배치되어 있다. 또 본 실시예 1에 나타난 바와 같이, 본 구조에서 게이트의 입력용량을 저감할 수 있는 것과 더불어 게이트신호의 지연을 억제할 수 있고, 주 전극(10,11)을 가압하으로서 각각 에미터전극과 콜렉터전극을 접촉시키는 것이 가능하게 된다.

도 11은 본 발명의 제 7의 실시예이며, IGBT 칩의 단면도이다. 기본 구성은 제 6의 실시예와 같다. 절연막(161)의 하방에서 p형 베이스층(4) 및 p형 웰층(9)과는 절연막에 의해 분리되도록, 트렌치 절연게이트 전극과 접촉하며 영역 Lb 상에서 절연게이트 사이를 연결하는 전극(17)이 형성되어 있다. 전극(17)은 주 전극(10)을 높게 유지하여 게이트를 보다 저 저항으로 한다. 게이트의 입력용량은 증가하므로, 게이트의 입력용량과 귀환용량의 차는 증가하지 않기 때문에 본 구조의 채용으로 더욱 게이트신호의 지연을 억제할 수 있다. 따라서, 주 전극(10,11)을 가압하으로서 각각 에미터전극과 콜렉터전극을 접촉시키는 것이 가능하게 된다.

도 12는 본 발명에 의한 트렌치 절연게이트형 IGBT를 사용한 전력변환 장치의 일예인 유도전동기를 구동하는 3상 인버터의 실시예를 나타내는 회로도이다. IGBT의 콜렉터-에미터 사이에 극성을 역으로 하여 병렬로 부하전류를 귀환시키는 다이오드와, 게이트-에미터 사이에는 게이트 드라이버가 접속되어 있다. 2개 직렬로 접속된 IGBT는 병렬로 3상분 접속되어 있다. 본 발명에 의한 IGBT를 사용함으로써, 입력용량이 저감하기 때문에 게이트 드라이버의 출력용량을 작게 할 수 있고, 게이트 드라이버의 소형, 경량화가 가능하다. 또 포화전류가 종래의 플레이어 IGBT와 동등하기 때문에 전류제한 회로를 부가할 필요가 없고, 간단한 회로로 고신뢰성의 손실이 적은 인버터 회로를 실현할 수 있다.

도 13은 본 발명의 제 8의 실시예이며, 트렌치 절연게이트형 IGBT의 셀 및 셀의 종단의 평면도이다. 도 14는 도 13의 A-A'의 단면도이다.

기본 구성은 제 4의 실시예와 같지만, 트렌치 절연게이트(7)의 채널 폭 방향에서 최외주에 위치하는 p형 웰층(9)이 없는 대신에 p형 베이스층(4)과 p형 웰층(91)이 중첩되어 접촉하고 있다. p형 베이스층(4)과 p형 웰층(91)은 콘택트(67)와 같이 주 전극(10)과 콘택트를 취하고 있다.

p형 웰층(9)과 p형 웰층(91)은 동일한 공정에서 동일 층으로 형성하는 것이 바람직하다. 제조 코스트를 저감할 수 있기 때문이다.

도 15는 본 발명의 제 9의 실시예이며, 기본 구성은 제 1의 실시예와 같다. 본 실시예에서는 p형 MOS인 M1의 소스전극이 p형 웰층(9)과 전기적으로 접속되며, 드레인전극이 주 전극(10)과 전기적으로 접속되어 있다. M1의 게이트전극은 트렌치 절연게이트(7)와 전기적으로 접속되어 있다.

IGBT의 턴오프 시에는 트렌치 절연게이트(7)에 마이너스 또는 0 전위를 인가한다.

IGBT의 트렌치 절연게이트(7)에 마이너스의 전위를 인가하여 오프하는 경우는 M1은 인핸스먼트, 디플리션형 어느 것이라도 좋지만, 0 전위를 인가하여 오프하는 경우는 M1은 디플리션형으로 하는 것이 필요하다. 어느 경우라도, IGBT의 온 시에는 M1을 오프로 하고, IGBT의 오프 시에는 M1을 온으로 한다.

IGBT의 턴오프 시에는 p형 웰층(9) 및 p형 베이스층(4)에 축적된 홀이 M1을 통과한다. 그 결과, 재빠르게 홀을 소자 밖으로 배출할 수 있기 때문에 턴오프 손실이 작게 된다. 그 결과, P형 베이스층(4)의 전위가 높게 되는 일없이, 트렌치 절연게이트(7)의 게이트 산화막의 절연파괴를 방지할 수 있다. 또 IGBT의 온 시에는 M1은 오프되기 때문에 홀은 M1에서 소자 밖으로는 흐르지 않는다.

도 16은 본 발명의 제 9의 실시예이며, 입체사시도를 나타내는 것이다. 기본 구성은 도 1과 동일하지만, 영역 Lb 내에 p형 웰층(9)은 형성되지 않고, p형 베이스층(4)이 연속적으로 형성된다. 트렌치 절연게이트(7)의 장변방향 즉 영역 La의 장변방향에 따라 n형 소스층(5)은 복수의 영역으로 분할되어 있다. 인접하는 영역 사이에는 p형 베이스층(4)의 일부가 위치한다. 즉, n형 소스층(5)은 단속적으로 형성된다. 영역 La의 폭 방향의 거의 중앙부에는 장변방향에 따라 콘택트 홀(201)로 되는 홀이 n형 소스층(5)을 관통하는 깊이로 형성된다. 이 홀에 의해 영역 La는 2개의 영역으로 분할된다. 이들 2개의 영역에서 n형 소스층(5)이 동일하게 형성된다. 도시하고 있지 않지만, 주 전극(10)(소스전극)은 도 1과 동일하게 n형 소스층(5) 및 p형 베이스층(4)과 전기적으로 접속된다. 또한 본 실시예에서는 콘택트 홀(201) 내에서도 주 전극(10)(소스전극)은 n형 소스층(5) 및 p형 베이스층(4)과 전기적으로 접속된다. 콘택트 홀(201)의 바

닥부에서는 p형 베이스층(4)보다도 고불순물 농도의 p⁺층(6)이 형성되어 p형 베이스층(4)은 p⁺층(6)을 통해서 주 전극과 전기적으로 접속된다.

본 실시예에서 Lb/La는 도 1의 실시예와 동일하게 설정되며, 도 2를 이용하여 상술한 바와 같은 작용·효과가 있다. 또한 영역 La 내에서 n형 소스층(5)이 단속적으로 형성되기 때문에 포화전류(Icsat)가 저감한다. 즉, 단락 내량이 향상한다. 따라서 도 2에 나타난 바와 같이 온 전압(Von)이 크소가 되는 $6 > Lb > La > 2$ 의 범위에서 Icsat가 Lb/La를 크게 한 경우(예를들면 Lb/La=12)와 동일하게 저감한다. 따라서 본 실시예의 트렌치 절연게이트형 IGBT는 Lb/La의 소자내압으로의 영향이 비교적 작은 범위에서 낮은 온 전압과 높은 단락 내량을 겸하여 구비한다. 또한 본 실시예에서는 p형 베이스층(4)이 컨덕터 홀(201)의 바닥부에서 주 전극과 전기적으로 접속되므로 IGBT가 턴오프 할 때에 홀 전류가 n형 소스층(5)의 근처를 거의 통과하는 일없이 주 전극(10)으로 배출된다. 따라서 턴오프 시에서의 렛치업 현상이 발생하기 어렵다.

발명의 효과

본 발명에 의하면 고성능의 트렌치 절연게이트형 IGBT를 실현할 수 있다.

(57) 청구의 범위

청구항 1

제1 도전형의 제1 반도체층과,
 상기 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과,
 상기 제2 반도체층과 인접하는 상기 제1 도전형의 제3 반도체층과,
 상기 제3 반도체층을 관통하여 상기 제2 반도체층에 도달하는 복수의 절연게이트와,
 인접하는 상기 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과,
 상기 제1의 영역에서의 상기 제3 반도체층 내에서 상기 절연게이트에 접하는 제2 도전형의 제4 반도체층과,
 상기 제1 영역에서 상기 제3 반도체층 및 상기 제4 반도체층에 전기적으로 접속하는 제1 주 전극과,
 상기 제1 반도체층에 전기적으로 접속하는 제2 주 전극을 구비하며,
 상기 제2 영역에서 인접하는 상기 절연게이트 사이의 간격을 상기 제1 영역에서 인접하는 상기 절연게이트 사이의 간격보다도 크고,
 상기 제1 영역에서 인접하는 상기 절연게이트 사이의 상기 간격을 La로 하고, 상기 제2 영역에서 인접하는 상기 절연게이트 사이의 상기 간격을 Lb로 할 때, $La \leq 5\mu\text{m}$ 또 $Lb/La > 1$ 인 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,
 $6 \geq Lb/La \geq 2$ 인 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제2 영역의 상기 제3 반도체층과 상기 제1 주 전극이 절연막에 의해 절연되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4

제 3 항에 있어서,
 상기 제1 영역의 상기 제3 반도체층과 상기 제2 영역의 상기 제3 반도체층이 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,
 상기 제2 영역에 상기 제3 반도체층보다도 깊은 상기 제1 도전형의 제5 반도체층이 설치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

제1 도전형의 제1 반도체층과,
 상기 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과,
 상기 제2 반도체층과 인접하는 상기 제1 도전형의 제3 반도체층과,

상기 제3 반도체층을 관통하여 상기 제2 반도체층에 도달하는 복수의 절연게이트와,
 인접하는 상기 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과,
 상기 제1의 영역에서의 상기 제3 반도체층 내에서 상기 절연게이트에 접하는 제2 도전형의 제4 반도체층과,
 상기 제1 영역에서 상기 제3 반도체층 및 상기 제4 반도체층에 접촉하는 제1 주 전극과,
 상기 제1 반도체층에 접촉하는 제2 주 전극을 구비하며,
 상기 제2 영역에서 인접하는 상기 절연게이트 사이의 간격은 상기 제1 영역에서 인접하는 상기 절연게이트 사이의 간격보다도 크고,
 상기 제2 영역에서는 상기 제3 반도체층보다도 깊은 상기 제1 도전형의 제5 반도체층이 설치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제 6 항에 있어서,
 상기 제2 영역의 상기 제3 반도체층 및 제5 반도체층과 제1 주 전극이 절연막에 의해 절연되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제 7 항에 있어서,
 상기 제1 영역의 상기 제3 반도체층과 상기 제2 영역의 상기 제3 반도체층이 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제 6 항에 있어서,
 상기 제5 반도체층과 상기 제1 주 전극과의 사이에 제너 다이오드가 접속되는 것을 특징으로 하는 반도체 장치.

청구항 10

제1 도전형의 제1 반도체층과,
 상기 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과,
 상기 제2 반도체층과 인접하는 상기 제1 도전형의 제3 반도체층과,
 상기 제3 반도체층을 관통하여 상기 제2 반도체층에 도달하는 복수의 절연게이트와,
 인접하는 상기 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과,
 상기 제1의 영역에서의 상기 제3 반도체층 내에서 상기 절연게이트에 접하는 상기 제2 도전형의 제4 반도체층과,
 상기 제1 영역에서 상기 제3 반도체층 및 상기 제4 반도체층에 접촉하는 제1 주 전극과,
 상기 제1 반도체층에 접촉하는 제2 주 전극을 구비하며,
 상기 제2 영역에서 인접하는 상기 절연게이트 사이의 간격은 상기 제1 영역에서 인접하는 상기 절연게이트 사이의 간격보다도 크고,
 상기 제2 영역의 상기 제3 반도체층과 상기 제1 주 전극이 절연막에 의해 절연되며,
 상기 제1 영역의 상기 제3 반도체층과 상기 제2 영역의 상기 제3 반도체층이 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

제1 도전형의 제1 반도체층과,
 상기 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과,
 상기 제2 반도체층과 인접하는 상기 제1 도전형의 제3 반도체층과,
 상기 제3 반도체층을 관통하여 상기 제2 반도체층에 도달하는 복수의 절연게이트와,
 인접하는 상기 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과,
 상기 제1의 영역에서의 상기 제3 반도체층 내에서 상기 절연게이트에 접하는 상기 제2 도전형의 제4 반도체층과,
 상기 제1 영역에서 상기 제3 반도체층 및 상기 제4 반도체층에 접촉하는 제1 주 전극과,
 상기 제1 반도체층에 접촉하는 제2 주 전극을 구비하며,
 상기 제2 영역에서 인접하는 상기 절연게이트 사이의 간격은 상기 제1 영역에서 인접하는 상기 절연게이트

트 사이의 간격보다도 크고,

상기 제1 영역에서, 상기 제2 반도체층이 상기 제1 반도체층 측의 제1 부분과, 상기 제1 부분보다도 고 불순물 농도의 상기 제3 반도체층 측의 제2 부분을 가지는 것을 특징으로 하는 반도체 장치.

청구항 12

제1 도전형의 제1 반도체층과,

상기 제1 반도체층과 인접하는 제2 도전형의 제2 반도체층과,

상기 제2 반도체층과 인접하는 상기 제1 도전형의 제3 반도체층과,

상기 제3 반도체층을 관통하여 상기 제2 반도체층에 도달하는 복수의 절연게이트와,

인접하는 상기 절연게이트 사이의 영역에서 서로 인접하는 제1 영역 및 제2 영역과,

상기 제1의 영역에서의 상기 제3 반도체층 내에 상기 절연게이트에 접하는 상기 제2 도전형의 제4 반도체층과,

상기 제1 영역에서 상기 제3 반도체층 및 상기 제4 반도체층에 접촉하는 제1 주 전극과,

상기 제1 반도체층에 전기적으로 접속하는 제2 주 전극을 구비하며,

상기 제2 영역에서 인접하는 상기 절연게이트 사이의 간격은 상기 제1 영역에서 인접하는 상기 절연게이트 사이의 간격보다도 크고,

상기 제2 영역의 상기 제3 반도체층과 상기 제1 주 전극과의 사이에 제너 다이오드가 접속되는 것을 특징으로 하는 반도체 장치.

청구항 13

제 11 항 또는 제 12 항에 있어서,

상기 제2 영역의 상기 제3 반도체층과, 제1 주 전극이 절연막에 의해 절연되어 있는 것을 특징으로 하는 반도체 장치.

청구항 14

제 1, 2, 6, 10, 11 및 12 항 중 어느 한 항에 있어서,

한쌍의 직류단자와,

상기 직류단자 사이에 접속되어 복수의 반도체 스위칭소자가 직렬 접속되는 복수의 직렬 접속회로와,

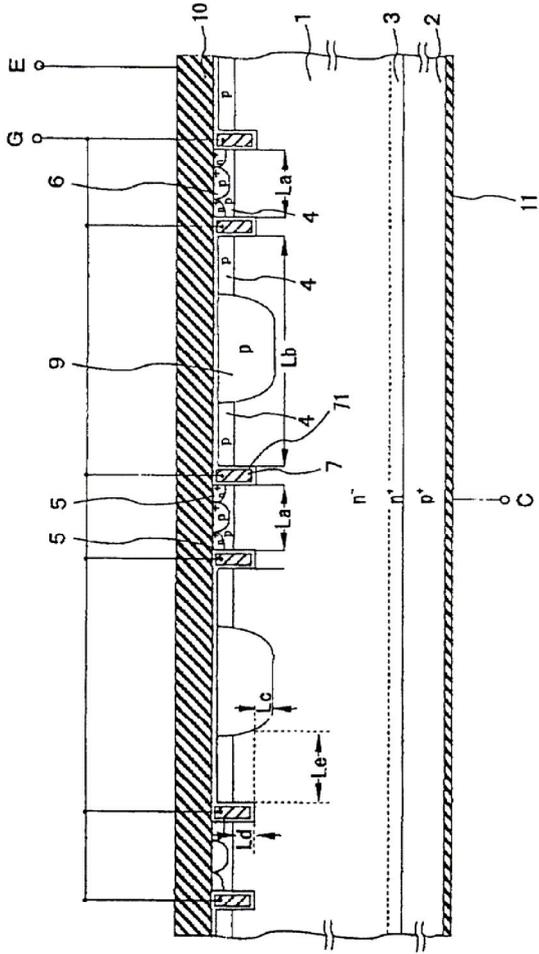
상기 복수의 직렬 접속회로의 각 직렬 접속점에 접속되는 복수의 교류단자를 구비하며,

상기 복수의 반도체 스위칭소자가 온·오프 하는 것에 의해 전력의 변환을 행하는 전력변환 장치에서,

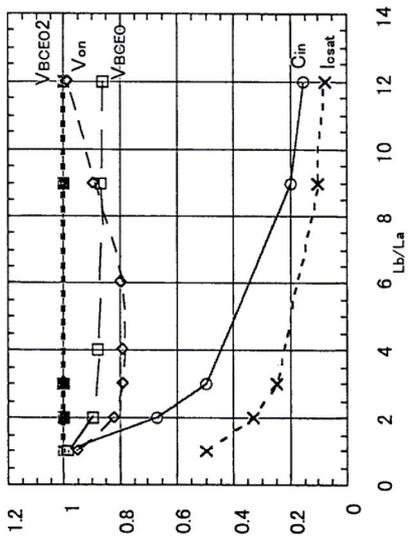
상기 복수의 반도체 스위칭소자의 각각이 반도체 장치인 것을 특징으로 하는 전력변환 장치.

도면

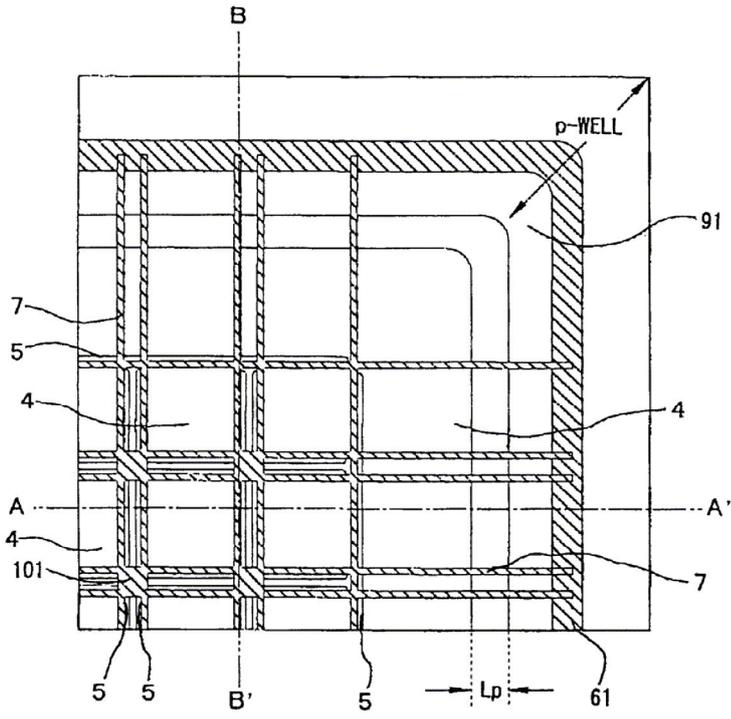
도면1



도면2



도면9



도면10

