

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 31 日 (31.03.2022)



(10) 国际公布号
WO 2022/062373 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2021/087414

(22) 国际申请日: 2021 年 4 月 15 日 (15.04.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011007792.7 2020 年 9 月 23 日 (23.09.2020) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 杨斌 (YANG, Bin); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 李春

旭 (LI, Chunxu); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 刘晨晨 (LIU, Chenchen); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 黄刚 (HUANG, Gang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 黄宇 (HUANG, Yu); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 曹瑞彬 (CAO, Ruibin); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: PREPARATION METHOD FOR SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制备方法及半导体结构

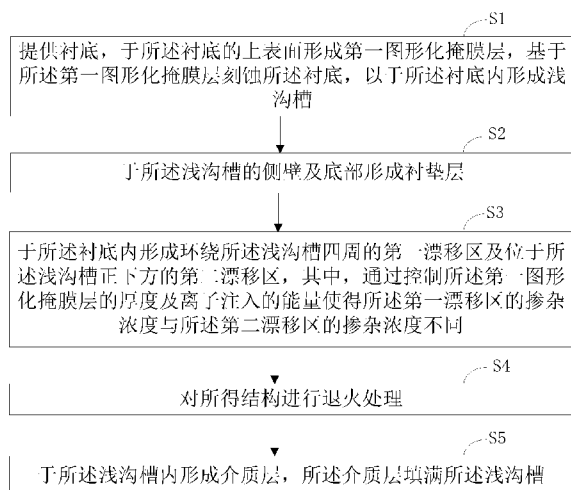


图 1

- S1 Provide a substrate, form a first patterned mask layer on an upper surface of the substrate, and etch the substrate based on the first patterned mask layer to form a shallow trench in the substrate
S2 Form a liner layer on a side wall and the bottom of the shallow trench
S3 Form, in the substrate, a first drift region surrounding the periphery of the shallow trench and a second drift region located directly below the shallow trench, with the doping concentration of the first drift region being different from the doping concentration of the second drift region by means of controlling the thickness of the first patterned mask layer and the energy of ion implantation
S4 Carry out an annealing treatment on the obtained structure
S5 Form, in the shallow trench, a dielectric layer which fills up the shallow trench

(57) Abstract: A preparation method for a semiconductor structure, the method comprising: providing a substrate, forming a first patterned mask layer on an upper surface of the substrate, and etching the substrate based on the first patterned mask layer to form a shallow trench in the substrate; forming a liner layer on a side wall and the bottom of the shallow trench; forming, in the substrate, a first drift region surrounding the periphery of the shallow trench and a second drift region located directly below the shallow trench, with the doping concentration of the first drift region being different from the doping concentration of the second drift region by means of controlling the thickness of the first patterned mask layer and the energy of ion implantation; carrying out an annealing treatment on the obtained structure; and forming, in the shallow trench, a dielectric layer which fills up the shallow trench. The present application can reduce the on-resistance of the semiconductor device also while ensuring the high withstand voltage value of the device, and can reduce the steps in the process flow.

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体结构的制备方法, 包括: 提供衬底, 于所述衬底的上表面形成第一图形化掩膜层, 基于所述第一图形化掩膜层刻蚀所述衬底, 以于所述衬底内形成浅沟槽; 于所述浅沟槽的侧壁及底部形成衬垫层; 于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区, 其中, 通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同; 对所得结构进行退火处理; 于所述浅沟槽内形成介质层, 所述介质层填满所述浅沟槽。本申请能够在保证制成半导体器件的高耐压值的情况下降低器件的导通电阻, 并减少了工艺流程步骤。

半导体结构的制备方法及其半导体结构

本申请要求于 2020 年 09 月 23 日提交中国专利局、申请号为 2020110077927、发明名称为“半导体结构的制备方法及其半导体结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体制造技术领域，特别是涉及半导体结构的制备方法及其半导体结构。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成示例性技术。

随着集成电路制程的快速发展，对半导体产品的集成度的要求越来越高。而随着半导体产品的积集化，半导体器件的尺寸及半导体器件的隔离结构的尺寸也随之减小。现有的中高压 BCD 工艺为了在获取较高的器件集成度的同时提高器件的击穿电压，往往在漂移区离子注入后增加一步长时间的高温退火，来形成浓度均匀变化的漂移区掺杂。

并且，传统的半导体制造工艺中为了弥补浅沟槽内的多晶硅边缘栅氧耐压不足的问题，一般会采用浅沟槽隔离结构(Shallow Trench Isolation, STI)等作为场板。但是这种工艺做出来的 BCD 器件，因为开态时的电流需要从场板底部“绕行”，一般都有很大的导通电阻，并且增加了工艺流程，在增加半导体器件制造成本的同时容易降低器件的良品率。

发明内容

根据本申请的各种实施例，提供一种半导体结构的制备方法。

一种半导体结构的制备方法，包括：

提供衬底，于所述衬底的上表面形成第一图形化掩膜层，基于所述第一图形化掩膜层刻蚀所述衬底，以于所述衬底内形成浅沟槽；

于所述浅沟槽的侧壁及底部形成衬垫层；

于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，其中，通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同；

对所得结构进行退火处理；

于所述浅沟槽内形成介质层，所述介质层填满所述浅沟槽。

上述半导体结构的制备方法，首先于衬底内形成浅沟槽，然后于所述浅沟槽的侧壁及底部形成衬垫层，以消除刻蚀浅沟槽的过程形成的损伤，同时为后续填充所述浅沟槽时提供保护层；然后于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，并通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同，来改善电流路径上的杂质浓度，可以有效改善器件的导通电阻。利用形成浅沟槽隔离结构后的衬底表面具备显著台阶差异的特性，使得形成于浅沟槽正下方第二漂移区的深度较传统半导体制备工艺中该部位形成的漂移区的深度更深，可以增加过电流的横截面积，能够进一步改善器件的导通电阻。由于在对衬垫层进行退火处理的过程中同时实现了对漂移区高温推阱的过程，相对于传统工艺流程中对衬垫层进行高温退火及对离子注入区进行高温推阱需要分别在两个不同的工艺步骤中进行，有效地减少了工艺流程的步骤。因此，本申请在保证制成半导体器件的高耐压值的情况下降低器件的导通电阻，并且减少了工艺流程步骤，在减少半导体器件制造成本的同时提高制成器件的良品率。

一种半导体结构，包括衬底及漂移区，所述衬底内设置有浅沟槽隔离结

构，所述浅沟槽隔离结构包括浅沟槽、衬垫层及介质层，所述衬垫层位于所述浅沟槽的侧壁及底部，所述介质层位于所述浅沟槽内，且填满所述浅沟槽；所述漂移区位于所述衬底内，所述漂移区包括环绕所述浅沟槽四周的第一漂移区、位于所述浅沟槽的正下方的第二漂移区及形成于所述第二漂移区内的第三漂移区，其中，所述第三漂移区临近所述浅沟槽底部区域的掺杂浓度大于所述第一漂移区的掺杂浓度。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例或示例性技术中的技术方案，下面将对实施例或示例性技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 显示为本申请一实施例中提供的一种半导体结构的制备方法的流程图。

图 2 至图 4 显示为本申请一实施例中提供的一种半导体结构的制备方法中步骤 S1 所得结构的截面结构示意图。

图 5 显示为本申请一实施例中提供的一种半导体结构的制备方法中步骤 S2 所得结构的截面结构示意图。

图 6 至图 7 显示为本申请一实施例中提供的一种半导体结构的制备方法中步骤 S3 所得结构的截面结构示意图。

图 8 至图 9 显示为本申请一实施例中提供的一种半导体结构的制备方法中步骤 S5 所得结构的截面结构示意图。

图 10 至图 11 显示为本申请另一实施例中提供的一种半导体结构的制备方法所得结构的截面结构示意图。

图 12 显示为图 11 中所示实施例中采用传统的一种在衬底内形成 STI 之后形成漂移区的工艺中所得结构的截面结构示意图。

图 13 显示为图 11 中所示实施例中采用传统的一种在衬底内形成 STI 之前形成漂移区的工艺中所得结构的截面结构示意图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。

这里参阅作为本申请的理想实施例(和中间结构)的示意图的横截面图来描述申请的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本申请的范围。

请参阅图 1-图 13。需要说明的是，本实施例中所提供的图示仅以示意方式说明本申请的基本构想，虽图示中仅显示与本申请中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

请参阅图 1，在本申请的一个实施例中提供的一种半导体结构的制备方法中，包括如下步骤：

步骤 S1：提供衬底，于所述衬底的上表面形成第一图形化掩膜层，基于所述第一图形化掩膜层刻蚀所述衬底，以于所述衬底内形成浅沟槽；

步骤 S2：于所述浅沟槽的侧壁及底部形成衬垫层；

步骤 S3：于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，其中，通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺

杂浓度不同；

步骤 S4：对所得结构进行退火处理；

步骤 S5：于所述浅沟槽内形成介质层，所述介质层填满所述浅沟槽。

具体地，于上述实施例中的半导体结构的制备方法中，首先于衬底内形成浅沟槽，然后于所述浅沟槽的侧壁及底部形成衬垫层，以消除刻蚀浅沟槽的过程形成的损伤，同时为后续填充所述浅沟槽时提供保护层；然后于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，并通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同，来改善电流路径上的杂质浓度，可以有效改善器件的导通电阻。利用形成浅沟槽隔离结构后的衬底表面具备显著台阶差异的特性，使得形成于浅沟槽正下方第二漂移区的深度较传统半导体制备工艺中该部位形成的漂移区的深度更深，可以增加过电流的横截面积，能够进一步改善器件的导通电阻。由于在对衬垫层进行退火处理的过程中同时实现了对漂移区高温推阱的过程，相对于传统工艺流程中对衬垫层进行高温退火及对离子注入区进行高温推阱需要分别在两个不同的工艺步骤中进行，有效地减少了工艺流程的步骤。因此，本申请在保证制成半导体器件的高耐压值的情况下降低器件的导通电阻，并且减少了工艺流程步骤，在减少半导体器件制造成本的同时提高制成器件的良品率。

在步骤 S1 中，请参阅图 1 中的 S1 步骤、图 2 及图 3，提供衬底 10，于所述衬底 10 的上表面形成第一图形化掩膜层 11，基于所述第一图形化掩膜层 11 刻蚀所述衬底 10，以于所述衬底 10 内形成浅沟槽 20。

作为示例，所述衬底 10 可以包括但不限于硅衬底、硅锗衬底及绝缘体上硅衬底等。所述半导体层的材料为硅、锗或硅锗，本领域的技术人员可以根据衬底 10 上形成的晶体管类型选择衬底类型，因此衬底 10 的类型不应限制本申请的保护范围。

作为示例，步骤 S1 可以包括如下步骤：

步骤 S10：于衬底 10 的上表面形成第一图形化掩膜层 11，所述图形化掩

膜层 11 内形成有开口（未示出），所述开口定义出所述浅沟槽 20 的位置及形状。

步骤 S12：基于所述第一图形化掩膜层 11 采用干法刻蚀工艺或湿法刻蚀工艺对衬底 10 的上表面进行刻蚀，以得到浅沟槽 20。

在本实施例中，采用的干法刻蚀工艺的参数包括：气体包括碳氟气体、HBr 和 C12 中的一种或多种、以及载气，所述碳氟气体包括 CF₄、CHF₃、CH₂F₂ 或 CH₃F，所述载气为惰性气体，例如 He，气体流量为 50sccm-400sccm，压力为 3 毫托-8 毫托。采用的湿法刻蚀工艺的刻蚀液可以为氢氟酸和双氧水的混合溶液。

作为示例，步骤 S12 中的浅沟槽 20 的数量可以为多个，各浅沟槽的深度可以相同，也可以不同；各浅沟槽 20 的宽度可以相同，也可以不同；浅沟槽 20 的深度小于衬底 10 的厚度。

作为示例，步骤 S10 中于衬底 10 的上表面形成第一图形化掩膜层可以包括如下步骤：

步骤 S101：于所述衬底 10 的上表面形成第一掩膜层（未图示）；

步骤 S102：于所述第一掩膜层（未图示）的上表面涂覆第一光刻胶层（未图示），并进行图形化处理，以形成第一图形化光刻胶层（未图示）；

步骤 S103：基于所述第一图形化光刻胶层刻蚀所述第一掩膜层，以形成所述第一图形化掩膜层 11，所述第一图形化掩膜层 11 内形成有第一开口图形，所述第一开口图形定义出所述浅沟槽的位置及形状；

步骤 S104：去除所述第一图形化光刻胶层 11。

作为示例，形成的第一图形化掩膜层可以包括硬掩膜层，硬掩膜层可以是单层结构，也可以是多层堆叠结构，其材质可以是氧化硅；之后在所述硬掩膜层上涂覆光刻胶，并经曝光、显影等一系列步骤，形成图形化的光刻胶层，图形化的光刻胶层定义浅沟槽的位置及形状，再基于图形化的光刻胶层刻蚀硬掩膜层以形成图形化掩膜层，然后去除图形化的光刻胶层。当然，在本申请的其他实施例中，也可以在形成第一图形化掩膜层的过程中保留图形

化的光刻胶层，在刻蚀衬底后，再去除所述图形化的光刻胶层。

在步骤 S2 中，请参阅图 1 中的 S2 步骤及图 4，于浅沟槽 20 的侧壁及底部形成衬垫层 30，衬垫层 30 覆盖浅沟槽 20 的表面及衬底 10 的上表面。

作为示例，可以采用氧化工艺于浅沟槽 20 的侧壁及底部形成衬垫层 30。所述氧化工艺包括热氧化工艺、湿法氧化工艺或化学氧化工艺。本申请中优选采用热氧化工艺于浅沟槽 20 的表面及衬底 10 的上表面形成衬垫层 30，衬垫层 30 可以包括但不限于氧化硅层。

作为示例，可以采用热氧化工艺于浅沟槽 20 的侧壁及底部形成衬垫层 30。热氧化形成衬垫层 30 的过程中能够修复衬底 10 表面在前序刻蚀工艺过程中受到的损伤。而且，衬垫层 30 还能够在后续制程中保护衬底 10 的表面。

作为示例，请参阅图 5，步骤 S3 中可以包括如下步骤：

步骤 S32：于衬底的上表面形成第二图形化掩膜层（未图示），所述第二图形化掩膜层内形成有第二开口图形（未图示），所述第二开口图形定义出第一漂移区 41 及第二漂移区 42 的位置及形状。

步骤 S34：基于所述第二图形化掩膜层对所述衬底 10 进行离子注入，以形成所述第一漂移区 41 及所述第二漂移区 42。

作为示例，请参阅图 6-图 7，步骤 S3 中可以包括如下步骤：

对图 5 中所得结构采用离子注入工艺处理，于所述衬底 10 内形成环绕所述浅沟槽 20 四周的第一漂移区 41 及位于所述浅沟槽正下方的第二漂移区 42，其中，通过控制所述第一图形化掩膜层 11 的厚度及离子注入的能量使得所述第一漂移区 41 的掺杂浓度与所述第二漂移区 42 的掺杂浓度不同。

作为示例，请参阅图 6，在对图 5 中所得结构采用离子注入工艺处理的过程中，由于第一图形化掩膜层 11 的阻挡，使得形成的第一漂移区 41 的掺杂浓度比第二漂移区 42 的掺杂浓度小。由于浅沟槽隔离结构的存在，在采用离子注入工艺形成第二漂移区 42 的过程中，相比于在形成浅沟槽隔离结构之前采用离子注入工艺处理，可以采用较小的离子注入能量来使得形成的第二漂移区 42 具备较大的深度值，有利于拓宽漂移区电流路径。

作为示例，请参阅图 7，可以在对图 5 中所得结构采用离子注入工艺处理的过程中，控制形成第一漂移区 41 与形成第二漂移区 42 的离子注入的能量值不同，例如，可以增加一步低能量的离子注入工序，在第二漂移区 42 内形成第三漂移区 43，并使得形成的第三漂移区 43 包括位于浅沟槽 20 正下方的第三上漂移区 431 及第三下漂移区 432，其中，第三上漂移区 431 位于浅沟槽 20 与第三下漂移区 432 之间，第三漂移区 43 的底部低于第三下漂移区 432 的底部；而在所述低能量的离子注入工序中，所述第一漂移区 41 因顶面的第一图形化掩膜层的遮挡，使得在低能量的离子注入工序之后，第一漂移区 41 的掺杂浓度小于第三上漂移区 431 的掺杂浓度，第三上漂移区 431 的掺杂浓度大于第三下漂移区 432 的掺杂浓度，有利于减小导通电阻的同时增大电流流通路径的横截面积。图 7 中示意第一漂移区 41 的底部低于浅沟槽 20 的底部，在本申请的其他实施例中，也可以设置第一漂移区 41 的底部高于或等于浅沟槽 20 的底部。

作为示例，步骤 S4 中可以对图 7 中所得结构进行高温退火处理，同时实现了对第一漂移区 41 及第二漂移区 42 进行高温推阱的过程，使得衬垫层 30 表面致密（densify）化，修复衬垫层 30 中的空隙。退火工艺可以为湿法退火工艺或干法退火工艺；所述退火工艺的参数可以包括：温度为 800℃-1500℃，例如退火温度可以为 800℃、900℃、1000℃、1100℃、1200℃、1300℃、1400℃或 1500℃；退火气体包括 H₂、O₂、N₂、Ar 和 He 中的一种或多种组合，退火时间为 1.5 小时-2.5 小时，例如退火时间可以为 1.5 小时、2.0 小时或 2.5 小时。其中，当退火气体包括 H₂ 和 O₂ 时，所述退火工艺为湿法退火工艺。

作为示例，请参阅图 8 及图 9，步骤 S5 中可以包括如下步骤：

步骤 S52：于衬垫层 30 的表面形成介质材料层 51；

步骤 S54：去除位于所述衬底 10 的上表面的第一图形化掩膜层 11 及位于所述第一图形化掩膜层 11 上表面的所述介质材料层 51，使得保留于所述浅沟槽内的所述介质材料层为所述介质层 50。

作为示例，参阅图 8，步骤 S52 中介质材料层 51 的形成工艺可以为流体化学气相沉积 (Flowable Chemical Vapor Deposition, FCVD) 工艺、高密度等离子沉积 (High Density Plasma, HDP) 工艺、等离子体增强沉积工艺中的一种或多种。本申请中优选采用 HDP 工艺于衬垫层 30 的表面形成介质材料层 51。介质材料层 51 包括但不限于氧化硅。

作为示例，请参阅图 10，步骤 S54 中可以采用化学机械研磨工艺去除位于所述衬底 10 的上表面的第一图形化掩膜层 11 及位于所述第一图形化掩膜层 11 上表面的所述介质材料层 51；较佳的，在化学机械研磨之前，对介质材料层 51 进行水蒸汽退火，以释放应力，并使介质材料层 51 致密 (densify) 化，修复介质材料层 51 中的空隙。

作为示例，请继续参阅图 10，于所述浅沟槽内形成所述介质层之后还包括：

步骤 S62：于所述衬底内形成阱区，所述阱区位于所述第一漂移区的一侧。

作为示例，请继续参阅图 10，可以采用离子注入工艺于衬底 10 内形成阱区 43，阱区 43 位于所述第一漂移区的一侧。

步骤 S64：于所述衬底 10 的上表面形成栅极 70；

步骤 S66：于所述衬底 10 内形成源区 80、漏区 60 及体区 90；源区 80 位于阱区 43 内，且位于栅极 70 远离所述第一漂移区的一侧；漏区 60 位于所述第一漂移区内，且位于所述浅沟槽远离阱区 43 的一侧；体区 90 位于阱区 43 内，且位于源区 80 远离所述浅沟槽的一侧。

作为示例，请参阅图 11，在本申请的一个实施例中提供一种半导体结构，包括衬底 10 及漂移区，衬底 10 内设置有浅沟槽隔离结构，所述浅沟槽隔离结构包括：浅沟槽、衬垫层 30 及介质层 50，衬垫层 30 位于所述浅沟槽的侧壁及底部，所述介质层 50 位于所述浅沟槽内，且填满所述浅沟槽；漂移区位于所述衬底 10 内；所述漂移区包括环绕所述浅沟槽四周的第一漂移区 41、位于所述浅沟槽的正下方的第二漂移区 42 及形成于所述第二漂移区 42 内的

第三漂移区 43，其中，所述第三漂移区 43 临近所述浅沟槽底部区域的掺杂浓度大于所述第一漂移区的掺杂浓度。

具体地，请继续参阅图 11，在形成衬垫层 30 的过程中消除了刻蚀浅沟槽的过程形成的损伤，同时为后续填充所述浅沟槽时提供保护层；所述第一漂移区 41 的掺杂浓度与所述第二漂移区 42 的掺杂浓度不同，改善了电流路径上的杂质浓度，可以有效改善器件的导通电阻。对比图 11 与图 12、13 可以发现，本申请提供的半导体结构中不仅临近浅沟槽底部的漂移区的掺杂浓度明显比传统工艺中制备半导体结构中对应部位的掺杂浓度更高，而且第二漂移区的深度较传统半导体制备工艺中该部位形成的漂移区的深度更深，有利于拓宽电流路径，能够有效减小器件导通电阻。因此，基于本申请提供的半导体器件结构制备的半导体器件具备较高耐压值的同时具备较低的导通电阻；并且本申请提供的半导体器件结构具备较少的工艺流程步骤，因而具备较低的制造成本且具备较高的器件制成的良品率。

作为示例，请继续参阅图 11，形成的所述第三漂移区 43 包括位于所述浅沟槽正下方的第三上漂移区 431 及第三下漂移区 432，所述第三上漂移区 431 位于所述浅沟槽与所述第三下漂移区 432 之间，可以设置所述第三上漂移区 431 的掺杂浓度大于所述第一掺杂区 41 的掺杂浓度，在保证半导体器件的高耐压值的情况下降低器件的导通电阻，同时增加电流流通路径的横截面积。

在本申请的一个实施例中，请继续参阅图 11，所述半导体结构还包括漏极 60、栅极 70、源区 80、体区 90 及阱区 43，栅极 70 位于所述衬底 10 的上表面；阱区 43 位于衬底 10 内，且位于所述第一漂移区的一侧；源区 80 位于阱区 43 内，且位于栅极 70 远离所述第一漂移区的一侧；漏极 60 位于所述第一漂移区内，且位于所述浅沟槽远离阱区 43 的一侧；体区 90 位于阱区 43 内，且位于源区 80 远离所述浅沟槽的一侧。

作为示例，衬底 10 内形成的浅沟槽 20 的数量可以根据实际需要进行设定，浅沟槽 20 的数量可以为一个，也可以为多个。

综上所述，本申请提供一种半导体结构的制备方法及半导体结构，在形成衬垫层的过程中消除了刻蚀浅沟槽的过程形成的损伤，同时为后续填充所述浅沟槽时提供保护层；然后于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，并通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同，来改善电流路径上的杂质浓度；可以设置形成于所述第二漂移区内的第三漂移区临近所述浅沟槽底部区域的掺杂浓度大于所述第一漂移区的掺杂浓度，可以有效改善器件的导通电阻。利用形成浅沟槽隔离结构后的衬底表面具备显著台阶差异的特性，使得形成于浅沟槽正下方第二漂移区的深度较传统半导体制备工艺中该部位形成的漂移区的深度更深，可以增加过电流的横截面积，能够进一步改善器件的导通电阻。由于在对衬垫层进行退火处理的过程中同时实现了对漂移区高温推阱的过程，相对于传统工艺流程中对衬垫层进行高温退火及对离子注入区进行高温推阱需要分别在两个不同的工艺步骤中进行，有效地减少了工艺流程的步骤。因此，本申请在保证制成半导体器件的高耐压值的情况下降低器件的导通电阻，并且减少了工艺流程步骤，在减少半导体器件制造成本的同时提高制成器件的良品率。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体结构的制备方法，其特征在于，包括如下步骤：

提供衬底，于所述衬底的上表面形成第一图形化掩膜层，基于所述第一图形化掩膜层刻蚀所述衬底，以于所述衬底内形成浅沟槽；

于所述浅沟槽的侧壁及底部形成衬垫层；

于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区，其中，通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同；

对所得结构进行退火处理；

于所述浅沟槽内形成介质层，所述介质层填满所述浅沟槽。

2、根据权利要求1所述的半导体结构的制备方法，其特征在于，于所述衬底的上表面形成第一图形化掩膜层包括：

于所述衬底的上表面形成第一掩膜层；

于所述第一掩膜层的上表面涂覆第一光刻胶层，并进行图形化处理，以形成第一图形化光刻胶层；

基于所述第一图形化光刻胶层刻蚀所述第一掩膜层，以形成所述第一图形化掩膜层，所述第一图形化掩膜层内形成有第一开口图形，所述第一开口图形定义出所述浅沟槽的位置及形状。

3、根据权利要求1所述的半导体结构的制备方法，其特征在于，采用热氧化工艺于所述浅沟槽的侧壁及底部形成氧化层作为所述衬垫层。

4、根据权利要求1所述的半导体结构的制备方法，其特征在于，于所述衬底内形成环绕所述浅沟槽四周的第一漂移区及位于所述浅沟槽正下方的第二漂移区的步骤包括：

于所述衬底的上表面形成第二图形化掩膜层，所述第二图形化掩膜层内形成有第二开口图形，所述第二开口图形定义出所述第一漂移区及所述第二漂移区的位置及形状；

基于所述第二图形化掩膜层对所述衬底进行离子注入，以形成所述第一漂移区及所述第二漂移区；

去除所述第二图形化掩膜层。

5、根据权利要求1所述的半导体结构的制备方法，其特征在于，于所述浅沟槽内形成所述介质层包括：

于所述衬垫层的表面形成介质材料层；

去除位于所述衬底的上表面的第一图形化掩膜层及位于所述第一图形化掩膜层上表面的所述介质材料层，使得保留于所述浅沟槽内的所述介质材料层为所述介质层。

6、根据权利要求1所述的半导体结构的制备方法，其特征在于，对所得结构进行退火处理的步骤包括：

采用湿法退火工艺或干法退火工艺对所得结构进行退火处理的同时，对所述第一漂移区及所述第二漂移区进行高温推阱。

7、根据权利要求1所述的半导体结构的制备方法，其特征在于，于所述衬底内形成的所述第一漂移区的掺杂浓度小于所述第二漂移区的掺杂浓度。

8、根据权利要求1至7任一项所述的半导体结构的制备方法，其特征在于，通过控制所述第一图形化掩膜层的厚度及离子注入的能量使得所述第一漂移区的掺杂浓度与所述第二漂移区的掺杂浓度不同的步骤包括：

采用低能量的离子注入工序于所述第二漂移区内形成第三漂移区，并使得所述第三漂移区包括位于所述浅沟槽正下方的第三上漂移区及第三下漂移区，所述第三上漂移区位于所述浅沟槽与所述第三下漂移区之间。

9、根据权利要求8所述的半导体结构的制备方法，其特征在于，形成的所述第三上漂移区的掺杂浓度大于所述第三下漂移区的掺杂浓度。

10、根据权利要求9所述的半导体结构的制备方法，其特征在于，于所述浅沟槽内形成所述介质层之后还包括：

于所述衬底内形成阱区，所述阱区位于所述第一漂移区的一侧；

于所述衬底的上表面形成栅极；

于所述衬底内形成源区、漏区及体区；所述源区位于所述阱区内，且位于所述栅极远离所述第一漂移区的一侧；所述漏区位于所述第一漂移区内，且位于所述浅沟槽远离所述阱区的一侧；所述体区位于所述阱区内，且位于所述源区远离所述浅沟槽的一侧。

11、一种半导体结构，其特征在于，所述半导体结构包括：

衬底，所述衬底内设置有浅沟槽隔离结构，所述浅沟槽隔离结构包括：浅沟槽、衬垫层及介质层，所述衬垫层位于所述浅沟槽的侧壁及底部，所述介质层位于所述浅沟槽内，且填满所述浅沟槽；

漂移区，位于所述衬底内，所述漂移区包括环绕所述浅沟槽四周的第一漂移区、位于所述浅沟槽的正下方的第二漂移区及形成于所述第二漂移区内的第三漂移区，其中，所述第三漂移区临近所述浅沟槽底部区域的掺杂浓度大于所述第一漂移区的掺杂浓度。

12、根据权利要求 11 所述的半导体结构，其特征在于，还包括：

栅极，位于所述衬底的上表面；

阱区，位于所述衬底内，且位于所述第一漂移区的一侧；

源区，位于所述阱区内，且位于所述栅极远离所述第一漂移区的一侧；

漏极，位于所述第一漂移区内，且位于所述浅沟槽远离所述阱区的一侧；

体区，位于所述阱区内，且位于所述源区远离所述浅沟槽的一侧。

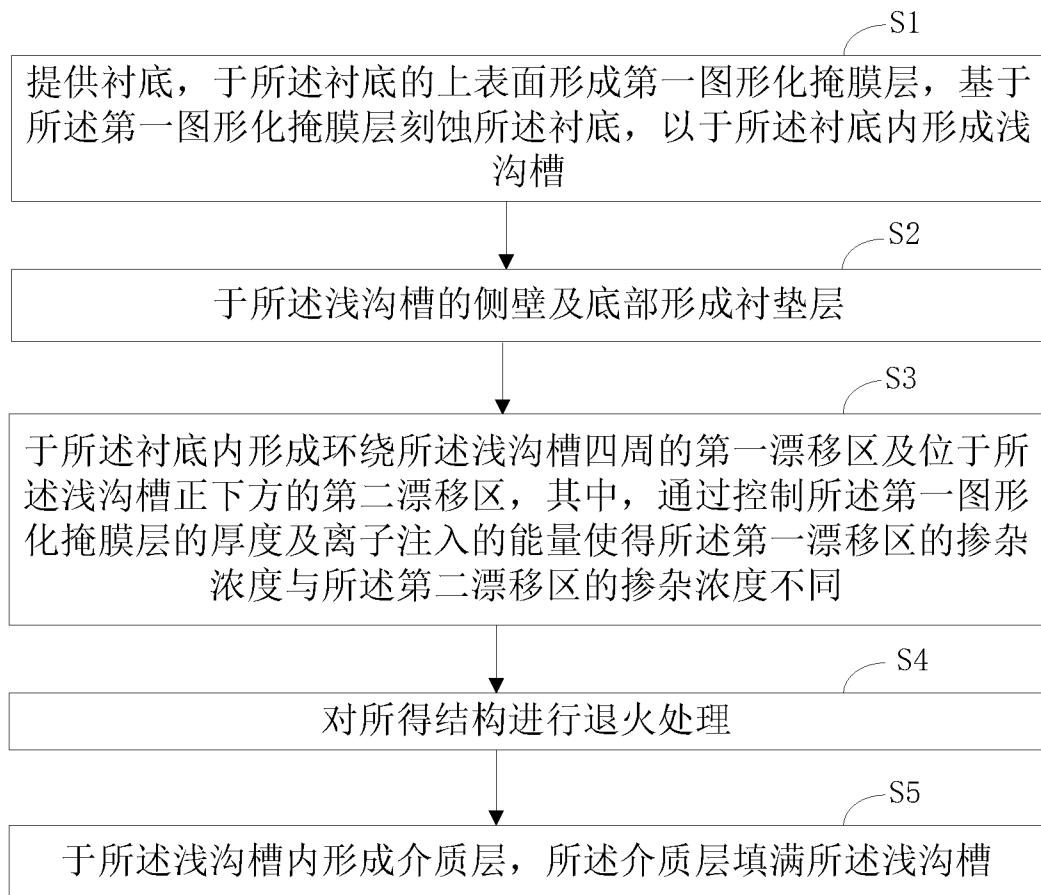


图 1

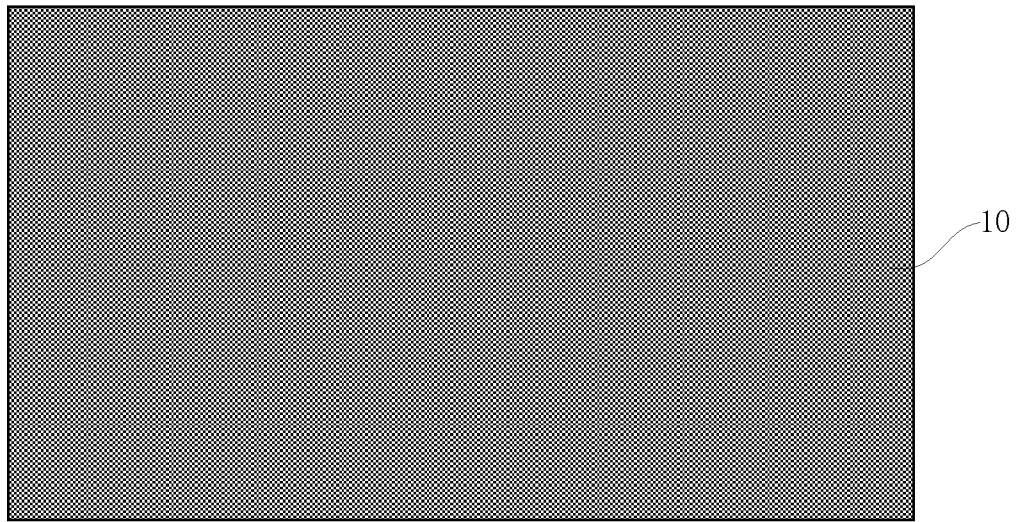


图 2

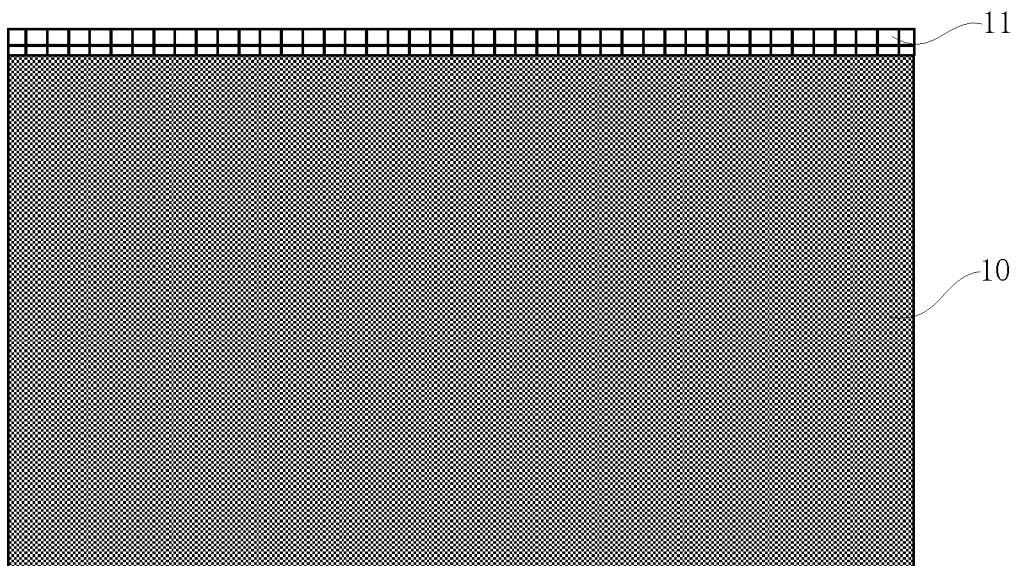


图 3

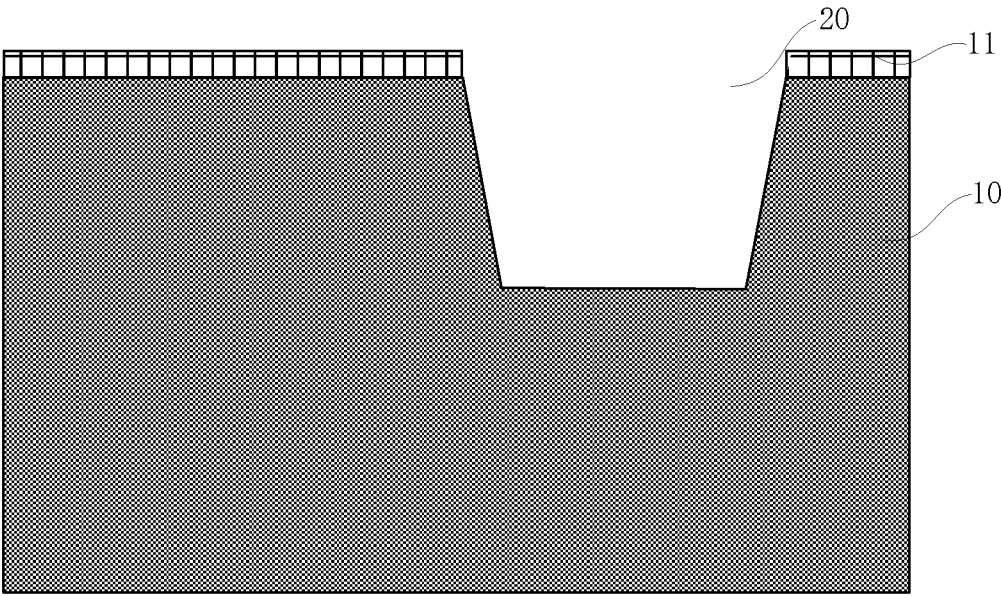


图 4

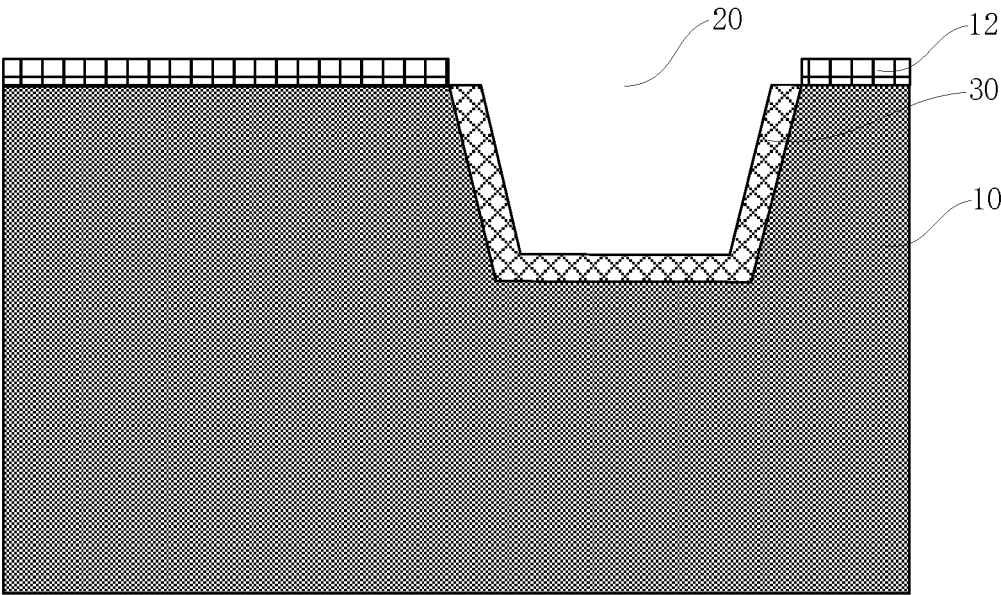


图 5

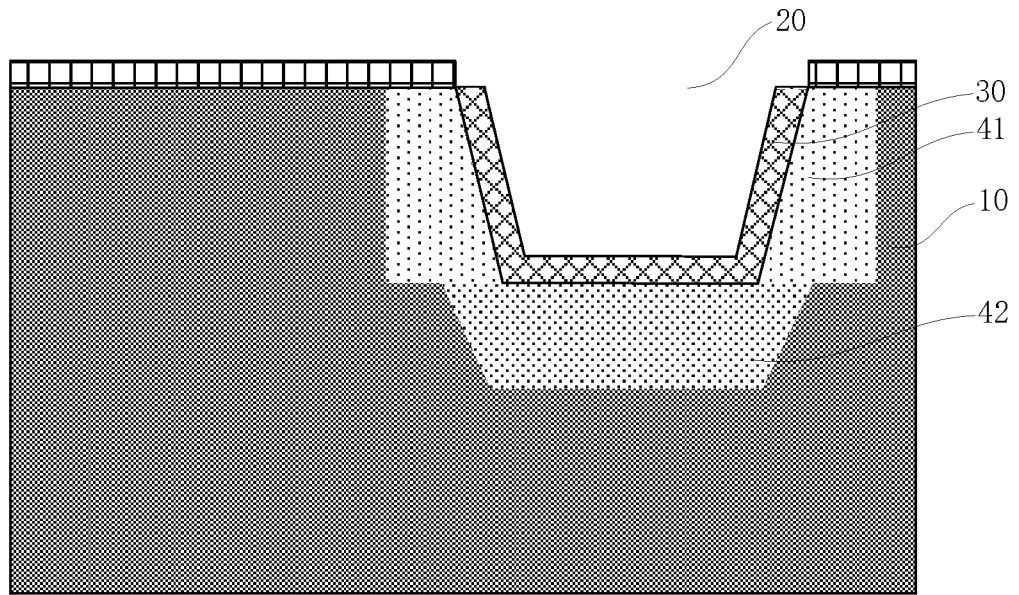


图 6

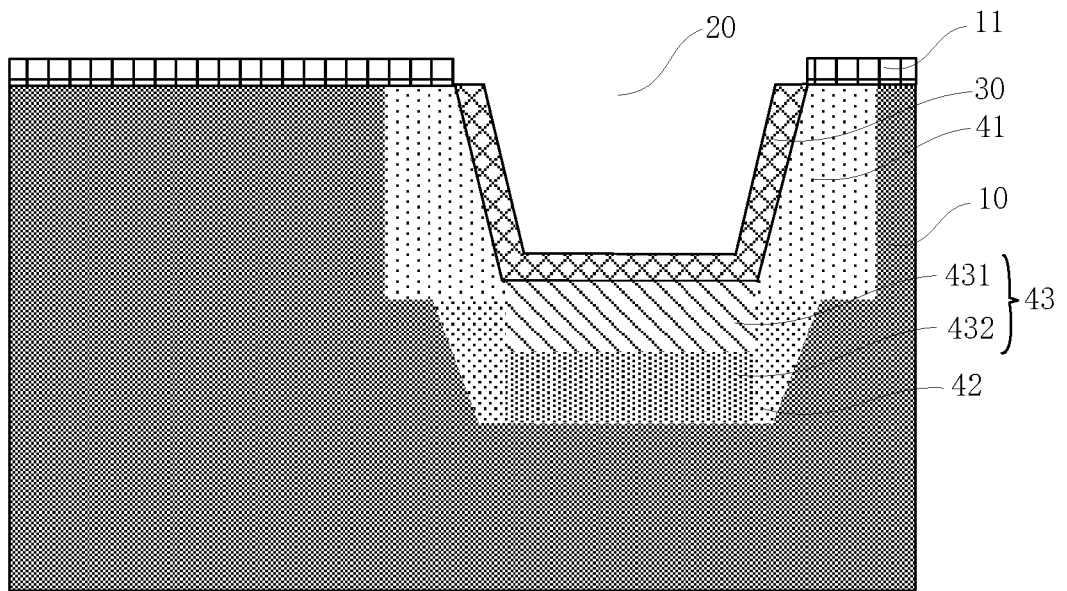


图 7

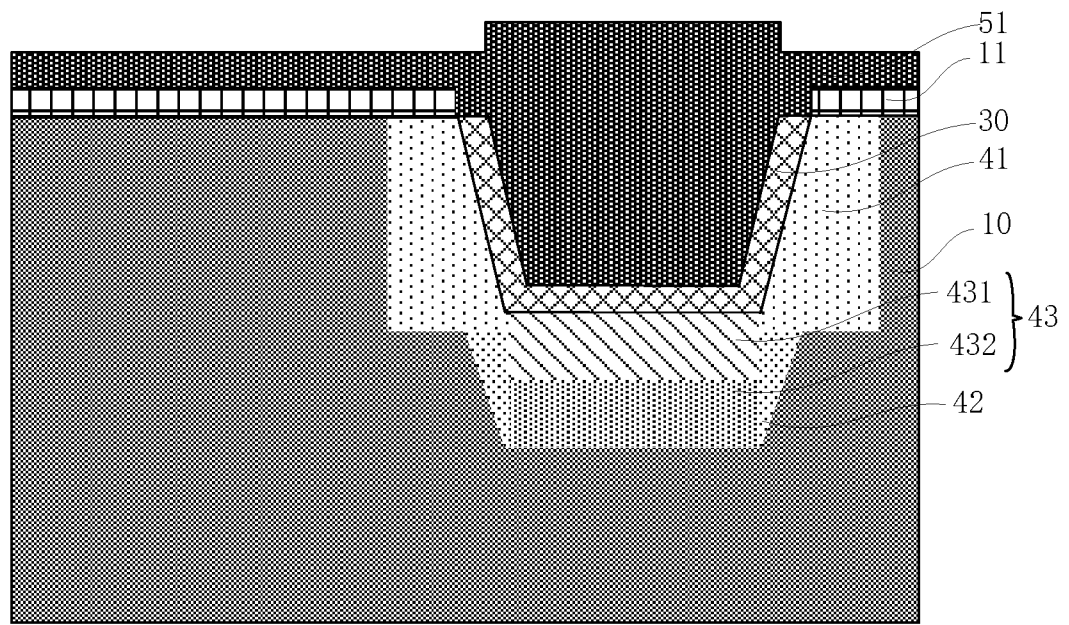


图 8

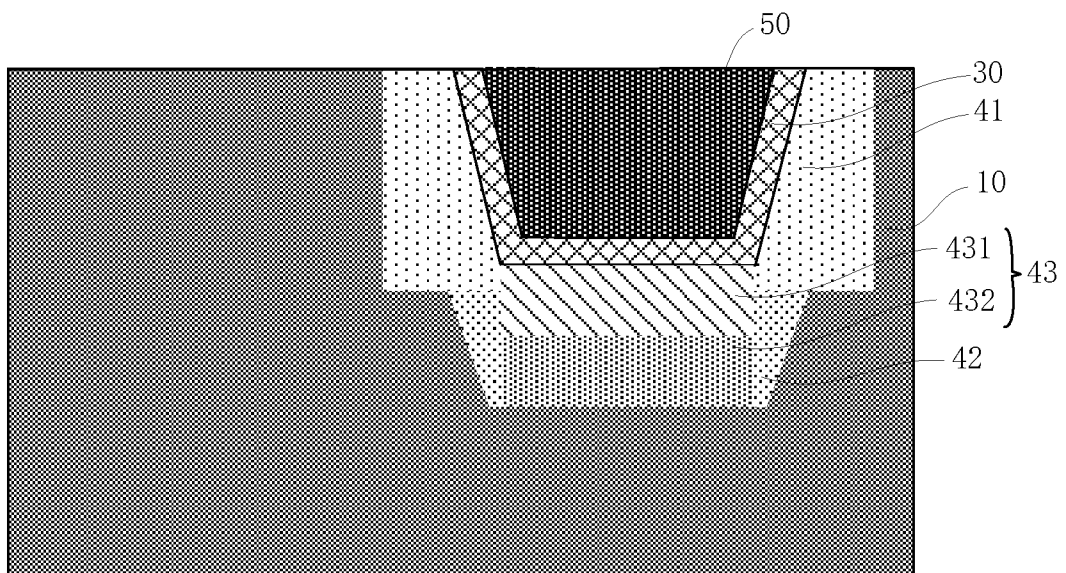


图 9

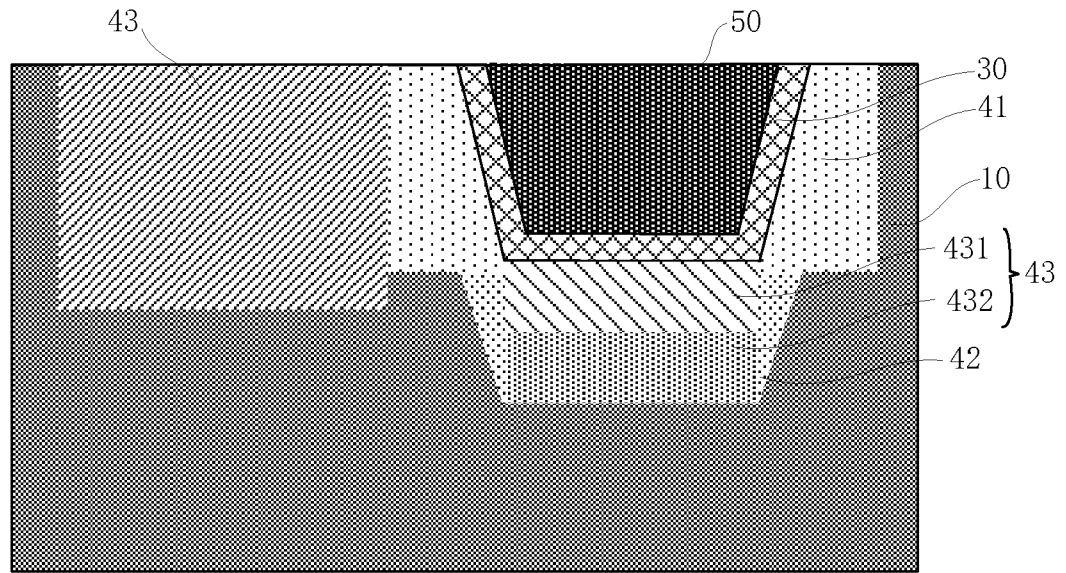


图 10

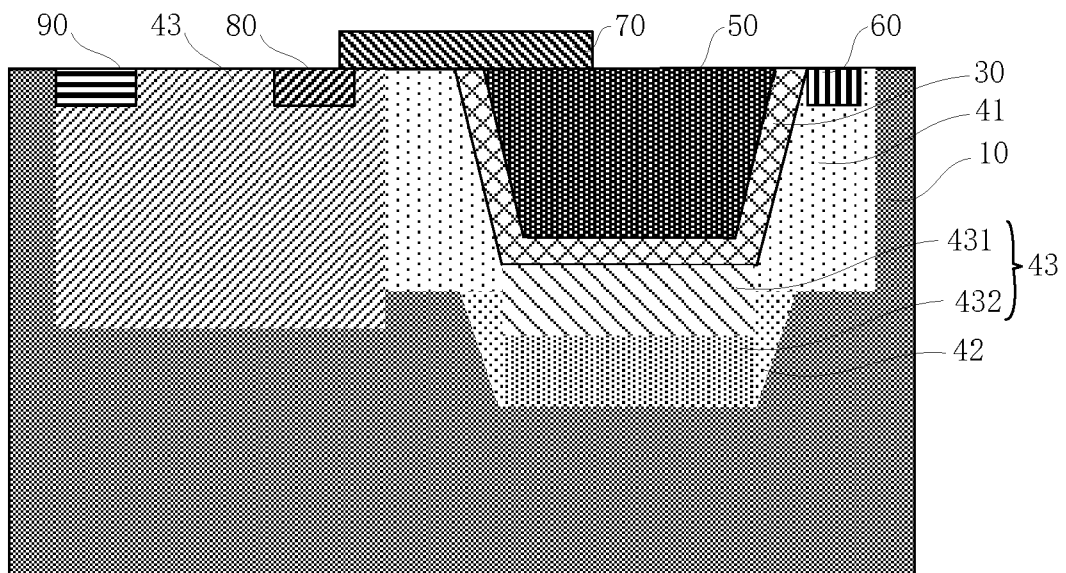


图 11

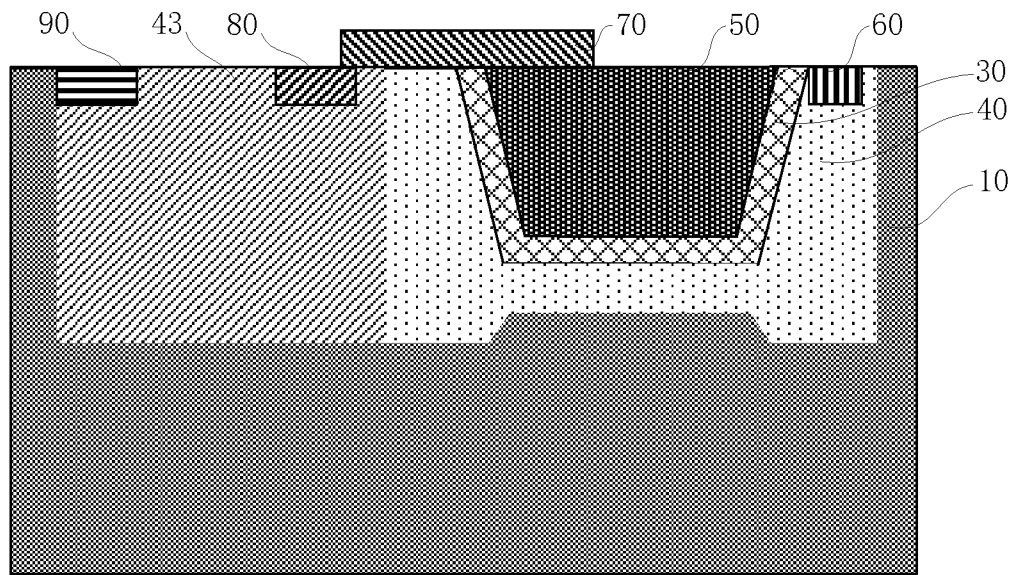


图 12

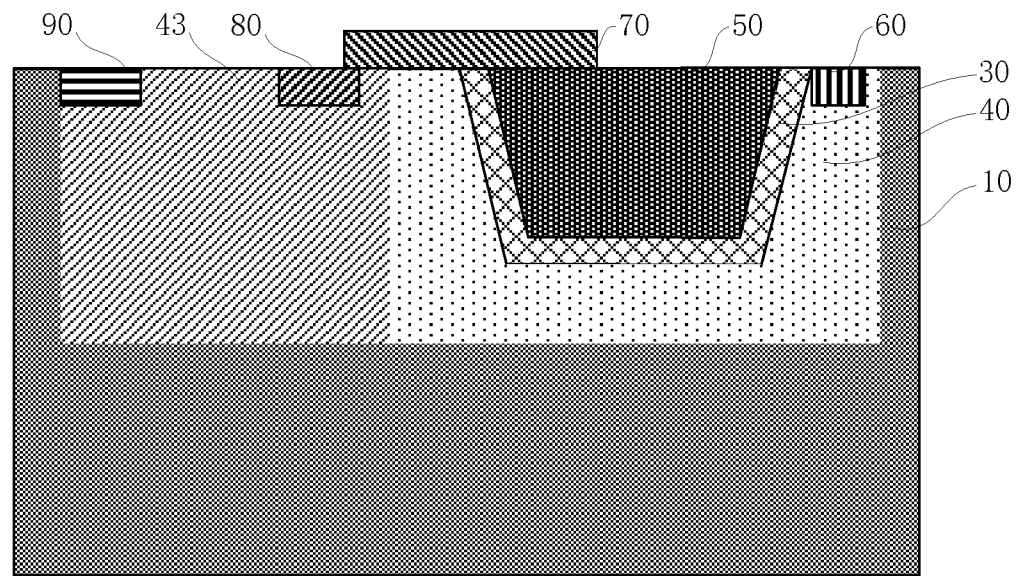


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/087414

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; SIPOABS; CNKI; IEEE: 横向, 晶体管, 漂移, 第二, 掺杂, 杂质, 浓度, 沟槽, 隔离, laterally, transistor, LDMOS, drift, second, impurity, dopant, concentration, shallow trench isolation, STI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106653855 A (JOULWATT TECHNOLOGY INC. LIMITED) 10 May 2017 (2017-05-10) description, paragraph 0054 to paragraph 0067, figures 5-9	1-12
Y	CN 107785423 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION et al.) 09 March 2018 (2018-03-09) description, paragraph 0052 to paragraph 0068, figure 1	1-12
A	CN 110176454 A (MAXIM INTEGRATED PRODUCTS, INC.) 27 August 2019 (2019-08-27) entire document	1-12
A	CN 110649100 A (TEXAS INSTRUMENTS INC.) 03 January 2020 (2020-01-03) entire document	1-12
A	CN 110571263 A (ABLIC INC.) 13 December 2019 (2019-12-13) entire document	1-12
A	CN 104867979 A (TOYOTA JIDOSHA KABUSHIKI KAISHA) 26 August 2015 (2015-08-26) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 July 2021

Date of mailing of the international search report

21 July 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/087414

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106653855	A	10 May 2017	CN	110729194	A	24 January 2020
CN	107785423	A	09 March 2018	None			
CN	110176454	A	27 August 2019	US	2019259751	A1	22 August 2019
				DE	102019104070	A1	22 August 2019
				US	10964694	B2	30 March 2021
CN	110649100	A	03 January 2020	US	2016365412	A1	15 December 2016
				US	2015255596	A1	10 September 2015
				JP	2017507502	A	16 March 2017
				CN	106030820	A	12 October 2016
				US	9455332	B2	27 September 2016
				CN	106030820	B	24 September 2019
				WO	2015134909	A1	11 September 2015
				JP	6574792	B2	11 September 2019
				US	10461156	B2	29 October 2019
				US	2020066842	A1	27 February 2020
CN	110571263	A	13 December 2019	KR	20190138740	A	16 December 2019
				US	2019378925	A1	12 December 2019
				TW	202002090	A	01 January 2020
				JP	2019212796	A	12 December 2019
				US	10886400	B2	05 January 2021
CN	104867979	A	26 August 2015	JP	5983658	B2	06 September 2016
				DE	102015102569	B4	12 July 2018
				US	2015243778	A1	27 August 2015
				DE	102015102569	A1	27 August 2015
				JP	2015162472	A	07 September 2015
				CN	104867979	B	02 January 2018
				US	9166040	B2	20 October 2015

国际检索报告

国际申请号

PCT/CN2021/087414

A. 主题的分类 H01L 29/78(2006.01)i; H01L 21/336(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;DWPI;SIPOABS;CNKI;IEEE:横向, 晶体管, 漂移, 第二, 掺杂, 杂质, 浓度, 沟槽, 隔离, laterally, transistor, LDMOS, drift, second, impurity, dopant, concentration, shallow trench isolation, STI																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 106653855 A (杰华特微电子杭州有限公司) 2017年 5月 10日 (2017 - 05 - 10) 说明书第0054段至第0067段, 附图5-9</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>CN 107785423 A (中芯国际集成电路制造北京有限公司 等) 2018年 3月 9日 (2018 - 03 - 09) 说明书第0052段至第0068段, 附图1</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 110176454 A (马克西姆综合产品公司) 2019年 8月 27日 (2019 - 08 - 27) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 110649100 A (德州仪器公司) 2020年 1月 3日 (2020 - 01 - 03) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 110571263 A (艾普凌科有限公司) 2019年 12月 13日 (2019 - 12 - 13) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 104867979 A (丰田自动车株式会社) 2015年 8月 26日 (2015 - 08 - 26) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 106653855 A (杰华特微电子杭州有限公司) 2017年 5月 10日 (2017 - 05 - 10) 说明书第0054段至第0067段, 附图5-9	1-12	Y	CN 107785423 A (中芯国际集成电路制造北京有限公司 等) 2018年 3月 9日 (2018 - 03 - 09) 说明书第0052段至第0068段, 附图1	1-12	A	CN 110176454 A (马克西姆综合产品公司) 2019年 8月 27日 (2019 - 08 - 27) 全文	1-12	A	CN 110649100 A (德州仪器公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-12	A	CN 110571263 A (艾普凌科有限公司) 2019年 12月 13日 (2019 - 12 - 13) 全文	1-12	A	CN 104867979 A (丰田自动车株式会社) 2015年 8月 26日 (2015 - 08 - 26) 全文	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 106653855 A (杰华特微电子杭州有限公司) 2017年 5月 10日 (2017 - 05 - 10) 说明书第0054段至第0067段, 附图5-9	1-12																					
Y	CN 107785423 A (中芯国际集成电路制造北京有限公司 等) 2018年 3月 9日 (2018 - 03 - 09) 说明书第0052段至第0068段, 附图1	1-12																					
A	CN 110176454 A (马克西姆综合产品公司) 2019年 8月 27日 (2019 - 08 - 27) 全文	1-12																					
A	CN 110649100 A (德州仪器公司) 2020年 1月 3日 (2020 - 01 - 03) 全文	1-12																					
A	CN 110571263 A (艾普凌科有限公司) 2019年 12月 13日 (2019 - 12 - 13) 全文	1-12																					
A	CN 104867979 A (丰田自动车株式会社) 2015年 8月 26日 (2015 - 08 - 26) 全文	1-12																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 7月 13日		国际检索报告邮寄日期 2021年 7月 21日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 徐小岭 电话号码 62089121																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/087414

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106653855	A	2017年 5月 10日	CN	110729194	A	2020年 1月 24日
CN	107785423	A	2018年 3月 9日	无			
CN	110176454	A	2019年 8月 27日	US	2019259751	A1	2019年 8月 22日
				DE	102019104070	A1	2019年 8月 22日
				US	10964694	B2	2021年 3月 30日
CN	110649100	A	2020年 1月 3日	US	2016365412	A1	2016年 12月 15日
				US	2015255596	A1	2015年 9月 10日
				JP	2017507502	A	2017年 3月 16日
				CN	106030820	A	2016年 10月 12日
				US	9455332	B2	2016年 9月 27日
				CN	106030820	B	2019年 9月 24日
				WO	2015134909	A1	2015年 9月 11日
				JP	6574792	B2	2019年 9月 11日
				US	10461156	B2	2019年 10月 29日
				US	2020066842	A1	2020年 2月 27日
CN	110571263	A	2019年 12月 13日	KR	20190138740	A	2019年 12月 16日
				US	2019378925	A1	2019年 12月 12日
				TW	202002090	A	2020年 1月 1日
				JP	2019212796	A	2019年 12月 12日
				US	10886400	B2	2021年 1月 5日
CN	104867979	A	2015年 8月 26日	JP	5983658	B2	2016年 9月 6日
				DE	102015102569	B4	2018年 7月 12日
				US	2015243778	A1	2015年 8月 27日
				DE	102015102569	A1	2015年 8月 27日
				JP	2015162472	A	2015年 9月 7日
				CN	104867979	B	2018年 1月 2日
				US	9166040	B2	2015年 10月 20日