

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3874577号  
(P3874577)

(45) 発行日 平成19年1月31日(2007.1.31)

(24) 登録日 平成18年11月2日(2006.11.2)

(51) Int.C1.

F 1

HO3K 4/06 (2006.01)  
HO3B 5/20 (2006.01)HO3K 4/06  
HO3B 5/20Z  
Z

請求項の数 4 (全 17 頁)

(21) 出願番号

特願平11-212270

(22) 出願日

平成11年7月27日(1999.7.27)

(65) 公開番号

特開2001-44808 (P2001-44808A)

(43) 公開日

平成13年2月16日(2001.2.16)

審査請求日

平成17年5月31日(2005.5.31)

(73) 特許権者 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(74) 代理人 100099818

弁理士 安孫子 勉

(72) 発明者 山下 順

埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

審査官 清水 稔

(56) 参考文献 特開平07-095769 (J P, A)  
特開平03-127507 (J P, A)

最終頁に続く

(54) 【発明の名称】電圧制御発振回路

## (57) 【特許請求の範囲】

## 【請求項1】

コンデンサと、前記コンデンサへ所望の発振周波数に応じた電流を供給する電流供給手段と、前記コンデンサの充放電のタイミングを制御する振幅監視手段とを有し、前記振幅監視手段が前記コンデンサの端子電圧に応じて充放電のタイミングを制御することにより、前記コンデンサの両端に前記所望の発振周波数の信号が得られるよう構成されてなる電圧制御発振回路であつて、

前記電流供給手段は、電圧クランプ回路と、前記電圧クランプ回路の出力段に設けられ、かつ、前記コンデンサへの通電路に直列に設けられた抵抗器とを具備してなり、

前記コンデンサへは、前記電圧クランプの出力電圧を前記抵抗器の抵抗値で除した電流が供給され、

前記電圧クランプ回路は、外部から印加される制御電圧が所定の最大値となつた場合に、出力電圧が当該所定の最大値にクランプされる一方、前記制御電圧が所定の最小値となつた場合に、出力電圧が当該所定の最小値にクランプされるよう構成されてなり、

前記所定の最大値は、発振周波数の上限において、前記コンデンサに必要とされる最大電流値と前記抵抗器の抵抗値との乗算値に等しく、

前記所定の最小値は、発振周波数の下限において、前記コンデンサに必要とされる最小電流値と前記抵抗器の抵抗値との乗算値に等しいことを特徴とする電圧制御発振回路。

## 【請求項2】

コンデンサと、前記コンデンサへ所望の発振周波数に応じた電流を供給する電流供給手

10

20

段と、前記コンデンサの充放電のタイミングを制御する振幅監視手段とを有し、前記振幅監視手段が前記コンデンサの端子電圧に応じて充放電のタイミングを制御することにより、前記コンデンサの両端に前記所望の発振周波数の信号が得られるよう構成されてなる電圧制御発振回路であって、

前記電流供給手段は、非反転入力端子に外部からの制御電圧が印加される演算増幅器と、

前記演算増幅器の出力電圧が印加されるn p n形の第1のトランジスタと、

前記第1のトランジスタと直列接続された抵抗器とを具備し、前記第1のトランジスタのコレクタ側から前記コンデンサへの供給電流が得られるよう構成されてなり、

前記演算増幅器は、n p n形の第2及び第3のトランジスタにより構成されてなる差動回路が設けられ、前記第2及び第3のトランジスタのエミッタとアースとの間には第1の定電流源が設けられる一方、前記第2及び第3のトランジスタのコレクタ側には、p n p形の第4及び第5のトランジスタにより構成されてなるカレントミラー回路による能動負荷が設けられ、

前記第2のトランジスタには、n p n形の第6のトランジスタが並列接続されて、これら第2及び第6のトランジスタにより構成されてなる差動回路が設けられ、

前記第6のトランジスタのベースには、p n p形の第7のトランジスタのエミッタが接続されると共に、当該エミッタには、第2の定電流源が接続され、前記第7のトランジスタのコレクタは、アースに接続され、前記第7のトランジスタのベースには、所定の最小電圧が印加され、

前記第3のトランジスタのベースには、p n p形の第8のトランジスタのエミッタが接続されると共に、当該エミッタには、第3の定電流源が接続される一方、前記第8のトランジスタのコレクタは、アースに接続され、前記第8のトランジスタのベースは、反転入力端子とされ、

p n p形の第9及び第10のトランジスタにより構成されてなる差動回路が設けられ、前記第9及び第10のトランジスタのエミッタは、前記第2のトランジスタのベースに接続されると共に、当該エミッタには、第4の定電流源が接続される一方、前記第9及び第10のコレクタは、共にアースに接続され、前記第9のトランジスタのベースは、外部からの制御電圧が印加される非反転入力端子とされ、前記第10のトランジスタのベースには、所定の最大電圧が印加され、

前記所定の最大電圧は、発振周波数の上限において、前記コンデンサに必要とされる最大電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記所定の最小電圧は、発振周波数の下限において、前記コンデンサに必要とされる最小電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記第2のトランジスタのコレクタから出力電圧を得るよう構成されてなることを特徴とする電圧制御発振回路。

### 【請求項3】

コンデンサと、前記コンデンサへ所望の発振周波数に応じた電流を供給する電流供給手段と、前記コンデンサの充放電のタイミングを制御する振幅監視手段とを有し、前記振幅監視手段が前記コンデンサの端子電圧に応じて充放電のタイミングを制御することにより、前記コンデンサの両端に前記所望の発振周波数の信号が得られるよう構成されてなる電圧制御発振回路であって、

前記電流供給手段は、非反転入力端子に外部からの制御電圧が印加される演算増幅器と、

前記演算増幅器の出力電圧が印加されるn p n形の第1のトランジスタと、

前記第1のトランジスタと直列接続された抵抗器とを具備し、前記第1のトランジスタのコレクタ側から前記コンデンサへの供給電流が得られるよう構成されてなり、

前記演算増幅器は、p n p形の第2及び第3のトランジスタにより構成されてなる差動回路が設けられ、前記第2及び第3のトランジスタのエミッタには、第1の定電流源が接続される一方、前記第2及び第3のトランジスタのコレクタ側には、n p n形の第4及び

10

20

30

40

50

第5のトランジスタにより構成されてなるカレントミラー回路による能動負荷が設けられ、

前記第2のトランジスタには、p n p形の第6のトランジスタが並列接続されて、これら第2及び第6のトランジスタにより構成されてなる差動回路が設けられ、

前記第6のトランジスタのベースには、n p n形の第7のトランジスタのエミッタが接続されると共に、当該エミッタとアースとの間には、第2の定電流源が設けられ、前記第7のトランジスタのコレクタには、電源電圧が印加され、前記第7のトランジスタのベースには、所定の最大電圧が印加され、

前記第3のトランジスタのベースには、n p n形の第8のトランジスタのエミッタが接続されると共に、当該エミッタとアースとの間には、第3の定電流源が設けられる一方、前記第8のトランジスタのコレクタには電源電圧が印加され、前記第8のトランジスタのベースは、反転入力端子とされ、

n p n形の第9及び第10のトランジスタにより構成されてなる差動回路が設けられ、前記第9及び第10のトランジスタのエミッタは、前記第2のトランジスタのベースに接続されると共に、当該エミッタとアースとの間には、第4の定電流源が設けられる一方、前記第9及び第10のコレクタには、電源電圧が印加され、前記第9のトランジスタのベースは、外部からの制御電圧が印加される非反転入力端子とされ、前記第10のトランジスタのベースには、所定の最小電圧が印加され、

前記所定の最大電圧は、発振周波数の上限において、前記コンデンサに必要とされる最大電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記所定の最小電圧は、発振周波数の下限において、前記コンデンサに必要とされる最小電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記第2のトランジスタのコレクタから出力電圧を得るよう構成されてなることを特徴とする電圧制御発振回路。

#### 【請求項4】

n p n形の第1のトランジスタをp n p形に変え、当該第1のトランジスタのエミッタには、抵抗器を介して電源電圧が印加されると共に、当該エミッタは、演算増幅器の反転入力端子に接続されたことを特徴とする請求項2または請求項3いずれか記載の電圧制御発振回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、発振周波数を電圧制御できる発振回路に係り、特に、電圧制御の容易性、信頼性の向上等を図ったものに関する。

##### 【0002】

##### 【従来の技術】

従来、この種の電圧制御発振回路の基本構成としては、例えば、図1に示されたようなものが公知・周知となっている。

すなわち、この電圧制御発振回路は、定電流源20と、この定電流源20と直列接続されたコンデンサ21と、このコンデンサ21の端子電圧を監視してその充放電を制御する振幅監視回路22とを主たる構成要素としてなるものである。

そして、定電流源20は、より具体的には、V/I変換回路23により構成されたものとなっている。

かかる電圧制御発振回路においては、振幅監視回路22によりコンデンサ21の両端の電圧が所望の2つのしきい値となったと判定された瞬間に、充放電が切り替えられるようになっており、コンデンサ21は、定電流Icにより充電される一方、放電電流Idで放電されるようになっている。

##### 【0003】

このコンデンサ21における充放電の波形、換言すれば、発振波形は、図9に示されたように、いわゆる三角波となっており、その発振周波数fは、コンデンサ21の静電容量C

10

20

30

40

50

と、定電流  $I_c$ 、放電電流  $I_d$  及び発振振幅  $V$  ( 図 9 参照 ) によって、下記する式 1 によって求められるものとなっている。

【 0 0 0 4 】

$$f = I_c \times I_d / \{ V \times C ( I_c + I_d ) \} \dots \text{ ( 式 1 )}$$

【 0 0 0 5 】

ここで、 $V / I$  変換回路 2 3 の出力電流を  $I_{osc}$  とし、 $I_c = k \times I_{osc}$ 、 $I_d = j \times I_{osc}$  とすれば ( 但し、 $k$ 、 $j$  は実数 ) 、式 1 は、下記する式 2 の如くに書き改めることができる。

【 0 0 0 6 】

$$f = j \times k \times I_{osc} / \{ V \times C ( j + k ) \} \dots \text{ ( 式 2 )}$$

10

【 0 0 0 7 】

したがって、図 1 に示された構成における電圧制御発振回路において、その発振周波数  $f$  の制御は、静電容量  $C$ 、発振振幅  $V$  及び、係数  $j$ 、 $k$  を決めて、 $V / I$  変換回路 2 3 の出力電流  $I_{osc}$  を変化させることによって行うことができるものとなっており、発振周波数  $f$  は、電流  $I_{osc}$  に比例するものとなる。

【 0 0 0 8 】

このような電圧制御発振回路において、その発振周波数の下限及び上限の制限は、次のようにして行われている。

まず、発振周波数  $f$  は、電流  $I_{osc}$  により制御されるので、発振周波数  $f$  の下限及び上限の制限は、電流  $I_{osc}$  の取り得る範囲の制限により可能となる。このため、従来は、 $V / I$  変換回路 2 3 を図 1 0 に示されたような電流の加算 / 減算回路に構成することによって、電流  $I_{osc}$  の上限及び下限の制限ができるようになっていた。

20

ここで、図 1 0 に示された回路において、演算増幅器 2 4 の出力側に接続されたトランジスタ Q 1 に流れる電流  $I_5$  は、制御電圧  $V_{ctl}$  を電圧 / 電流変換して得られるもので、この電流  $I_5$  を変化させることで発振周波数を変えることができるものとなっており、下記する式 3 によって表される。

【 0 0 0 9 】

$$I_5 = V_{ctl} / R_5 \dots \text{ ( 式 3 )}$$

【 0 0 1 0 】

なお、ここで、 $R_5$  は、トランジスタ Q 1 のエミッタとアースとの間に接続されたエミッタ抵抗器の抵抗値である。

30

また、図 1 0 に示された回路において、トランジスタ Q 1 0 を流れる電流となる第 6 の定電流源 3 6 による電流  $I_6$  及び第 7 の定電流源 3 7 による電流  $I_7$  は、出力電流  $I_{osc}$  を下限と上限を定めるものとなっている。

すなわち、例えば、下限の発振周波数となる際の出力電流を  $I_{osc}$  を  $I_{min}$  とし、上限の発振周波数となる際の出力電流を  $I_{osc}$  を  $I_{max}$  とすれば、この発振回路が通常の発振状態にある場合、すなわち、 $I_{min} < I_{osc} < I_{max}$  である場合、出力電流  $I_{osc}$  は、下記する式 4 によって表されるものとなっている。

【 0 0 1 1 】

$$I_{osc} = I_6 + I_7 - I_5 \dots \text{ ( 式 4 )}$$

40

【 0 0 1 2 】

この式 4 から先の  $I_{min}$  及び  $I_{max}$  は、下記する式 5 、式 6 によって表される。

【 0 0 1 3 】

$$I_{min} = I_7 \dots \text{ ( 式 5 )}$$

【 0 0 1 4 】

但し、 $I_5 = I_6 ( V_{ctl} / I_6 \times R_5 )$  である。

【 0 0 1 5 】

$$I_{max} = I_6 + I_7 \dots \text{ ( 式 6 )}$$

【 0 0 1 6 】

但し、 $I_5 = 0$  ( $V_{ctl} = 0$ ) である。

50

## 【0017】

そして、これら式3乃至式6に基づいて、制御電圧 $V_{ctl}$ と出力電流 $I_{osc}$ との関係は、図11に示されたようなものとなる。

発振周波数の下限及び上限は、式5、式6に示されたように電流によって定まるが、本来は、発振周波数の下限及び上限も電圧によって制御できるのが都合がよい。すなわち、先の電流 $I_{min}$ 及び $I_{max}$ が電圧で制御できると好都合であるが、そのためには、先の電流 $I_6$ 及び $I_7$ を生ずる回路部分を局部的なV/I変換回路とする必要がある。そのため、従来、例えば、図12に示されたように電流 $I_6$ 及び $I_7$ を生ずる回路部分を局部的なV/I変換回路としたものが用いられていた。

## 【0018】

10

図12において、 $I_5 = V_{ctl} / R_5$ であり、先の式3が成立することは、図10に示された回路と同様である。

そして、 $I_6 = V_6 / R_6$ 及び $I_7 = V_7 / R_7$ であるから、電流 $I_{min}$ 及び $I_{max}$ は、下記する式7、式8のように表される。

## 【0019】

$$I_{min} = V_7 / R_7 \dots \text{(式7)}$$

## 【0020】

$$I_{max} = V_6 / R_6 + V_7 / R_7 \dots \text{(式8)}$$

## 【0021】

ところで、このような電圧制御発振回路の実際の使用においては、例えば、冷陰極管を圧電トランスで点灯制御する場合等において、発振周波数の下限と上限の比が所定値となるように使用したい場合が多く生ずる。

20

このような用い方をするための従来の方法を説明すれば次の通りである。

図12に示された回路において、発振下限周波数を $f_{min}$ とし、発振上限周波数を $f_{max}$ として、 $f_{max} = m \times f_{min}$ としたい場合、先の式2により発振周波数は、充電電流 $I_{osc}$ に比例するので、 $I_{max} = m \times I_{min}$ が成り立てばよいこととなる。

そこで、先の式7、式8より次の式9を得る。

## 【0022】

$$V_6 / R_6 = (m - 1) \times (V_7 / R_7) \dots \text{(式9)}$$

## 【0023】

30

通常、抵抗器の抵抗値の誤差等の発振周波数への影響をキャンセルするため、 $R_6 = R_7$ とし、その結果、式10を得る。

## 【0024】

$$V_6 : V_7 = (m - 1) : 1 \dots \text{(式10)}$$

## 【0025】

結局、発振下限周波数 $f_{min}$ と発振上限周波数 $f_{max}$ の比は、 $V_6$ と $V_7$ の比で決定することができるものとなる。

このように、従来の電圧制御発振回路においては、その発振周波数の下限と上限とを決めて、かつ、それらを電圧によって制御しようとする場合には、V/I変換回路を図12に示されたような構成とし、所望の発振周波数の下限及び上限が得られるように電圧 $V_6$ 、 $V_7$ 並びに抵抗値 $R_6$ 、 $R_7$ を適宜選択し、制御電圧 $V_{ctl}$ 及び抵抗値 $R_5$ によって発振周波数を可変するものであった。

40

なお、発振周波数の下限と上限の両方を同時に設定せず、いずれか片側のみの設定の場合も上述したと同様に考えることができる。

## 【0026】

## 【発明が解決しようとする課題】

しかしながら、上述したような従来回路においては、発振上限周波数及び発振下限周波数を電圧制御するためには、図1におけるV/I変換回路23の部分を図12に示されたように、電流加算/減算回路と3つの局部的なV/I変換回路を設ける構成としなければならず、回路規模が大きくなり、素子数が増えて価格の上昇を招くばかりか、素子数の増加

50

による回路の信頼性の低下をも招くこととなるという問題があった。

また、発振周波数の上限設定の電流  $I_{max}$  を与える制御電圧  $V_{ctl}$  の条件は、先に述べたように式3及び式6並びに図10から、 $V_{ctl} = 0$  であり、ゼロを越える任意の電圧で電流  $I_{max}$ を得ようすると、電流加算／減算回路の構成上、従来回路では実際には困難である。

さらに、発振下限周波数  $f_{min}$  と発振上限周波数  $f_{max}$  の比を、例えば、 $f_{min} : f_{max} = 1 : 1.1$  程度の比較的小さな値とするような場合、従来回路においては、その実現のためには、式10から電圧比  $V_6 : V_7 = 10 : 1$  となり、所望の周波数比と電圧比とが大きく異なるため、周波数の設定精度が低下し、設計が難しいという欠点があった。

#### 【0027】

10

本発明は、上記実状に鑑みてなされたもので、発振周波数の上限及び下限又はいずれか一方を、外部から制御電圧を印加することで制御することができ、しかも、その制御電圧を任意の値に設定することができる簡易な回路構成を有する電圧制御発振回路を提供するものである。

本発明の他の目的は、発振周波数の上限及び下限の周波数比を、外部からの制御電圧の比と等しくすることのできる電圧制御発振回路を提供することにある。

#### 【0028】

20

##### 【課題を解決するための手段】

上記発明の目的を達成するため、本発明に係る電圧制御発振回路は、  
コンデンサと、前記コンデンサへ所望の発振周波数に応じた電流を供給する電流供給手段と、前記コンデンサの充放電のタイミングを制御する振幅監視手段とを有し、前記振幅監視手段が前記コンデンサの端子電圧に応じて充放電のタイミングを制御することにより、前記コンデンサの両端に前記所望の発振周波数の信号が得られるよう構成されてなる電圧制御発振回路であって、

前記電流供給手段は、電圧クランプ回路と、前記電圧クランプ回路の出力段に設けられ、かつ、前記コンデンサへの通電路に直列に設けられた抵抗器とを具備してなり、

前記コンデンサへは、前記電圧クランプの出力電圧を前記抵抗器の抵抗値で除した電流が供給され、

前記電圧クランプ回路は、外部から印加される制御電圧が所定の最大値となった場合に、出力電圧が当該所定の最大値にクランプされる一方、前記制御電圧が所定の最小値となった場合に、出力電圧が当該所定の最小値にクランプされるよう構成されてなり、

前記所定の最大値は、発振周波数の上限において、前記コンデンサに必要とされる最大電流値と前記抵抗器の抵抗値との乗算値に等しく、

前記所定の最小値は、発振周波数の下限において、前記コンデンサに必要とされる最小電流値と前記抵抗器の抵抗値との乗算値に等しく設定されてなるものである。

#### 【0029】

30

かかる構成においては、制御電圧を所定の最大値に設定した場合、所望する発振周波数の上限に必要とされる最大電流がコンデンサへ供給され、また、制御電圧を所定の最小値に設定した場合、所望する発振周波数の下限に必要とされる最小電流がコンデンサへ供給されるので、制御電圧の所定の最大値及び最小値へのそれぞれの設定と、発振周波数の上限及び下限との対応することとなり、外部からの制御電圧により発振周波数の上限及び下限の設定が従来に比して容易となるものである。

#### 【0030】

40

また、コンデンサと、前記コンデンサへ所望の発振周波数に応じた電流を供給する電流供給手段と、前記コンデンサの充放電のタイミングを制御する振幅監視手段とを有し、前記振幅監視手段が前記コンデンサの端子電圧に応じて充放電のタイミングを制御することにより、前記コンデンサの両端に前記所望の発振周波数の信号が得られるよう構成されてなる電圧制御発振回路であって、

前記電流供給手段は、非反転入力端子に外部からの制御電圧が印加される演算増幅器と

、

50

前記演算増幅器の出力電圧が印加されるn p n形の第1のトランジスタと、

前記第1のトランジスタと直列接続された抵抗器とを具備し、前記第1のトランジスタのコレクタ側から前記コンデンサへの供給電流が得られるよう構成されてなり、

前記演算増幅器は、n p n形の第2及び第3のトランジスタにより構成されてなる差動回路が設けられ、前記第2及び第3のトランジスタのエミッタとアースとの間には第1の定電流源が設けられる一方、前記第2及び第3のトランジスタのコレクタ側には、p n p形の第4及び第5のトランジスタにより構成されてなるカレントミラー回路による能動負荷が設けられ、

前記第2のトランジスタには、n p n形の第6のトランジスタが並列接続されて、これら第2及び第6のトランジスタにより構成されてなる差動回路が設けられ、10

前記第6のトランジスタのベースには、p n p形の第7のトランジスタのエミッタが接続されると共に、当該エミッタには、第2の定電流源が接続され、前記第7のトランジスタのコレクタは、アースに接続され、前記第7のトランジスタのベースには、所定の最小電圧が印加され、

前記第3のトランジスタのベースには、p n p形の第8のトランジスタのエミッタが接続されると共に、当該エミッタには、第3の定電流源が接続される一方、前記第8のトランジスタのコレクタは、アースに接続され、前記第8のトランジスタのベースは、反転入力端子とされ、

p n p形の第9及び第10のトランジスタにより構成されてなる差動回路が設けられ、前記第9及び第10のトランジスタのエミッタは、前記第2のトランジスタのベースに接続されると共に、当該エミッタには、第4の定電流源が接続される一方、前記第9及び第10のコレクタは、共にアースに接続され、前記第9のトランジスタのベースは、外部からの制御電圧が印加される非反転入力端子とされ、前記第10のトランジスタのベースには、所定の最大電圧が印加され、20

前記所定の最大電圧は、発振周波数の上限において、前記コンデンサに必要とされる最大電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記所定の最小電圧は、発振周波数の下限において、前記コンデンサに必要とされる最小電流値と前記抵抗器の抵抗値との乗算値に等しく設定され、

前記第2のトランジスタのコレクタから出力電圧を得るよう構成されてなるものも好適である。30

#### 【0031】

かかる構成においては、第1のトランジスタは、そのベースが演算増幅器の出力端子に接続され、そのエミッタとアースとの間に抵抗器が接続されると共に、当該エミッタは、演算増幅器の反転入力端子に接続されるものとなっている。

また、第2の定電流源は、第7のトランジスタのエミッタと電源ラインとの間に接続され、第3の定電流源は、第8のトランジスタのエミッタと電源ラインとの間に接続され、第4の定電流源は、第9及び第10のトランジスタのエミッタと電源ラインとの間に接続されるものである。

さらに、第4及び第5のトランジスタは、相互にベースが接続されると共に、第5のトランジスタのベースとコレクタとが接続される一方、第4及び第5のトランジスタのコレクタには、電源電圧が印加され、また、第4のトランジスタのエミッタは、第2のトランジスタのコレクタに、第5のトランジスタのコレクタは、第3のトランジスタのコレクタに、それぞれ接続されるものである。40

#### 【0032】

このような構成とすることにより、制御電圧を所定の最大値に設定した場合、所望する発振周波数の上限に必要とされる最大電流がコンデンサへ供給され、また、制御電圧を所定の最小値に設定した場合、所望する発振周波数の下限に必要とされる最小電流がコンデンサへ供給されるので、制御電圧の所定の最大値及び最小値へのそれぞれの設定と、発振周波数の上限と下限とが一対一に対応することとなり、外部からの制御電圧により発振周波数の上限及び下限の設定が従来に比して容易となるものである。50

**【0033】****【発明の実施の形態】**

以下、本発明の実施の形態について、図1乃至図7を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。なお、従来回路の説明において用いた図1の回路構成は、本発明の実施の形態における電圧制御発振回路と基本的に同一であるため、以下の説明においても図1を用いることとして、同一構成要素については、同一の符号を用いるものとする。

**【0034】**

まず、本発明の実施の形態における電圧制御発振回路の基本的構成としては、図1に示されたように従来回路と基本的に同一である。10

すなわち、電圧制御発振回路は、定電流源20と、この定電流源20と直列接続されたコンデンサ21と、このコンデンサ21の端子電圧を監視してその充放電を制御する振幅監視回路22とを主たる構成要素としてなるものである。そして、定電流源20は、より具体的には、V/I変換回路（電圧・電流変換回路）23Aにより構成されたものとなっている。

本発明に係る電圧制御発振回路は、特に、V/I変換回路23Aにおける演算増幅器24Aの回路構成を、発振周波数の上限及び下限又はいずれか一方が、任意の値に設定できる制御電圧によって制御することができるようとした点（詳細は後述）が従来と異なるものである。20

**【0035】**

図1に示された構成において、V/I変換回路23Aは、制御電圧Vctlを電流に変換するためのもので、演算増幅器24Aと、第1のトランジスタ（図1においては「Q1」と表記）1と、エミッタ抵抗器25とを主たる構成要素としてなるものである。

演算増幅器24Aの出力端には、n-p-n形の第1のトランジスタ1のベースが接続され、この第1のトランジスタ1のエミッタと演算増幅器24Aの非反転入力端子とが接続されると共に、第1のトランジスタ1のエミッタとアースとの間には、エミッタ抵抗器25が接続されている。そして、演算増幅器24Aの非反転入力端子に印加される制御電圧Vctlを変えることで、第1のトランジスタ1のコレクタ側に出力される電流Ioscが変化されるようになっている。30

**【0036】**

また、振幅監視手段としての振幅監視回路22によりコンデンサ21の両端の電圧が所望の2つのしきい値となったと判定された瞬間に、充放電が切り替えられるようになっており、コンデンサ21は、定電流Icにより充電される一方、放電電流Idで放電されるようになっており、この基本的な動作は従来と変わることろがないものである。

**【0037】**

次に、図2を参照しつつこの発明の実施の形態におけるV/I変換回路23Aに用いられる演算増幅器24Aの内部における回路構成例について説明する。

まず、制御電圧Vctlが印加される非反転入力端子（図2においては「in+」の表記がなされた箇所）に、p-n-p形の第9のトランジスタ（図2においては「Q9」と表記）9のベースが接続され、この第9のトランジスタ9のコレクタは、アースに接続される一方、エミッタは、p-n-p形の第10のトランジスタ（図2においては「Q10」と表記）10のエミッタと共に、定電流I4を出力する第4の定電流源34に接続されている。40

第10のトランジスタ10は、コレクタがアースに接続される一方、ベースには、発振上限周波数を定める電圧Vmaxが印加されるようになっており、この第10のトランジスタ10は、先の第9のトランジスタ9と、エミッタ共通の第1の差動回路を形成するものとなっている。

**【0038】**

また、n-p-n形の第2のトランジスタ（図2においては「Q2」と表記）2とn-p-n形の第6のトランジスタ（図2においては「Q6」と表記）6とが、相互にエミッタが接続さ50

れて、その接続点とアースとの間に定電流  $I_1$  を出力する第 1 の定電流源 3 1 が接続される一方、コレクタ同士が接続されて、第 2 及び第 6 のトランジスタ 2, 6 により局部的なエミッタ共通の第 2 の差動回路が構成されたものとなっている。

この第 2 及び第 6 のトランジスタ 2, 6 のコレクタは、p n p 形の第 4 のトランジスタ（図 2 においては「Q 4」と表記）4 のコレクタに接続されており、第 4 のトランジスタ 4 のエミッタには、電源電圧  $V_{cc}$  が印加されるようになっている。

#### 【0039】

そして、第 2 のトランジスタ 2 のベースは、先の第 9 及び第 10 のトランジスタ 9, 10 のエミッタと第 4 の定電流源 3 4 の接続点に接続される一方、第 6 のトランジスタ 6 のベースは、p n p 形の第 7 のトランジスタ（図 2 においては「Q 7」と表記）7 のエミッタと定電流  $I_2$  を出力する第 2 の定電流源 3 2 との接続点に接続されたものとなっている。  
10

第 7 のトランジスタ 7 は、そのコレクタがアースに接続される一方、ベースには、発振下限周波数を定める電圧  $V_{min}$  が印加されるようになっている。

また、n p n 形の第 3 のトランジスタ（図 2 においては「Q 3」と表記）3 と、p n p 形の第 5 のトランジスタ（図 2 においては「Q 5」と表記）5 とが相互にコレクタが接続される一方、第 3 のトランジスタ 3 のエミッタは、第 2 及び第 6 のトランジスタ 2, 6 のエミッタと相互に接続され、また、第 5 のトランジスタ 5 のエミッタには、電源電圧  $V_{cc}$  が印加されるようになっている。

#### 【0040】

そして、第 5 のトランジスタ 5 のベースは、先の第 4 のトランジスタ 4 のベースに接続されると共に、第 5 のトランジスタ 5 のコレクタに接続されており、第 4 及び第 5 のトランジスタ 4, 5 は、いわゆるカレントペアを構成して、第 2 及び第 3 のトランジスタ 2, 3 に対する能動負荷となっている。  
20

また、第 3 のトランジスタ 3 のベースは、定電流  $I_3$  を出力する第 3 の定電流源 3 3 と p n p 形の第 8 のトランジスタ 8 のエミッタとの接続点に接続されたものとなっている。そして、第 2 及び第 3 のトランジスタ 2, 3 は、第 3 の差動回路を構成するものとなっている。

#### 【0041】

第 8 のトランジスタ（図 2 においては「Q 8」と表記）8 は、そのコレクタがアースに接続される一方、ベースは、反転入力端子となっている（図 2 においては「in -」と表記）。  
30

なお、第 4 のトランジスタ 4 のコレクタと第 2 のトランジスタ 2 のコレクタとの接続点は、演算増幅器 2 4 A の初段出力となっている。

この初段出力の後には、公知・周知の増幅段を設けてさらに増幅した後にこの演算増幅器 2 4 A の最終出力としても、また、増幅段を設けることなくこの初段出力を演算増幅器 2 4 A の最終出力としてもいざれでもよいものである。

#### 【0042】

図 3 には、図 1 における第 1 のトランジスタ 1 及びエミッタ抵抗器 2 5 を図 2 示された回路に接続した場合の構成例が示されており、以下、これについて説明する。なお、図 2 に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明する。  
40

この図 3 に示された回路構成例においては、第 2 及び第 4 のトランジスタ 2, 4 の相互のコレクタの接続点が演算増幅器 2 4 A の外部において p n p 形の第 1 6 のトランジスタ 1 6 のベースに接続されている。

この第 1 6 のトランジスタ 1 6 は、エミッタに電源電圧  $V_{cc}$  が印加されるようになっている一方、コレクタは、第 8 の抵抗器（図 3 においては「R 8」と表記）4 8 を介してアースに接続されている。

さらに、第 1 6 のトランジスタ 1 6 のコレクタは、n p n 形の第 1 のトランジスタ 1 のベースに接続されている。

なお、この第 1 のトランジスタ 1 は、図 1 においても示されたようにエミッタがエミッタ  
50

抵抗器 25 を介してアースに接続されたものとなっていると共に、そのエミッタは、演算増幅器 24A 内の第 8 のトランジスタ 8 のベースに接続されたものとなっている。

#### 【0043】

次に、かかる構成における動作について図 3 を参照しつつ説明する。

まず、図 3 に示された回路構成例に示された演算増幅器 24A の内部の回路部分は、電圧・電流変換を行う回路であると同時に、いわゆる電圧クランプ回路と捉えることもできるものとなっている。

すなわち、制御電圧  $V_{ctl}$  が  $V_{ctl} = V_{min}$  となった場合、第 9 及び第 10 のトランジスタ 9, 10 による第 1 の差動回路においては、第 9 のトランジスタ 9 のベース電圧が  $V_{min}$  であり、第 10 のトランジスタ 10 のベース電圧である  $V_{max}$  に対して  $V_{min} < V_{max}$  であるため、第 9 のトランジスタ 9 が動作状態となる。10

これによって、第 2 のトランジスタ 2 のベース電圧は、ほぼ  $V_{min}$  となる。一方、この第 2 のトランジスタ 2 と第 2 の差動回路を構成する第 6 のトランジスタ 6 のベース電圧もほぼ  $V_{min}$  であるため、第 2 及び第 6 のトランジスタ 2, 6 共に動作状態となり、これらの相互のコレクタ電圧は、ほぼ  $V_{min}$  にクランプされることとなる。

#### 【0044】

また、制御電圧  $V_{ctl}$  が  $V_{ctl} = V_{max}$  となった場合は、第 9 及び第 10 のトランジスタ 9, 10 のそれぞれのベース電圧が同一となるため、第 9 及び第 10 のトランジスタ 9, 10 の双方が動作状態となり、第 2 のトランジスタ 2 のベース電圧は、ほぼ  $V_{max}$  となる。20  
これに対して、第 6 のトランジスタ 6 のベース電圧は、 $V_{min}$  であり  $V_{min} < V_{max}$  であるため、第 2 のトランジスタ 2 が動作状態となり、第 6 のトランジスタ 6 は、非動作状態となる。これによって、第 2 のトランジスタ 2 のコレクタ電圧は、ほぼ  $V_{max}$  にクランプされることとなる。

したがって、第 1 のトランジスタ 1 のエミッタとエミッタ抵抗器 25 との接続点における電圧  $V_o$  は、下記する式 11 で表される範囲にクランプされる。

#### 【0045】

$$V_{min} \leq V_o \leq V_{max} \dots \text{(式 11)}$$

#### 【0046】

なお、ここで、 $V_{min}$  は、クランプ下限電圧であり、 $V_{max}$  は、クランプ上限電圧である。  
ここで、第 1 のトランジスタ 1 のコレクタ電流を  $I_{osc}$  とすれば、この電流  $I_{osc}$  は、電圧  $V_o$  とエミッタ抵抗器 25 の抵抗値  $R_1$  によって決定されるものとなる。そして、式 11 との関係から、電流  $I_{osc}$  は、下記する式 12 の範囲に制御されることとなる。30

#### 【0047】

$$V_{min}/R_1 \leq I_{osc} \leq V_{max}/R_1 \dots \text{(式 12)}$$

#### 【0048】

なお、図 4 には、図 2 及び図 3 に示された構成における制御電圧  $V_{ctl}$  の変化に対する電流  $I_{osc}$  の変化を示した特性曲線が示されている。同図によれば、制御電圧  $V_{ctl}$  が  $V_{ctl} = V_{min}$  において、 $I_{osc}$  は最小電流  $I_{min}$  となり、その大きさは、 $I_{min} = V_{min}/R_1$  となり、 $V_{ctl} = V_{max}$  において、 $I_{osc}$  は最大電流  $I_{max}$  となり、その大きさは、 $I_{max} = V_{max}/R_1$  となることが表されている。40

#### 【0049】

図 1 に示された回路構成における発振周波数  $f$  は、 $I_{osc}$  に比例することは公知・周知のことである（式 2 参照）。

したがって、発振周波数  $f$  は、 $I_{osc} = I_{min}$  で下限の周波数  $f_{min}$  に、 $I_{osc} = I_{max}$  で上限の周波数  $f_{max}$  に、それぞれ設定されることとなる。

なお、発振周波数の下限を得る際の制御電圧  $V_{ctl}$  は、 $V_{min}$  であり、発振周波数の上限を得る際の制御電圧  $V_{ctl}$  は、 $V_{max}$  であるというのは、理想的な場合であって、厳密には、若干の誤差が生ずる。

すなわち、具体的には、制御電圧  $V_{ctl} = V_{min}$  の場合、発振周波数は、その下限周波数より若干高めとなり（換言すれば、電流  $I_{osc}$  が  $I_{min}$  より若干大きめの値となる）、また、50

制御電圧  $V_{ctl} = V_{max}$  の場合、発振周波数は、その上限周波数より若干低めとなる（換言すれば、電流  $I_{osc}$  が  $I_{max}$  より若干小さめ値となる）。

図 5 には、上述の様子が示されている。すなわち、同図においては、制御電圧  $V_{ctl}$  の変化に対する実際の電流  $I_{osc}$  の変化が実線太線の特性曲線として表されると共に、制御電圧  $V_{ctl} = V_{min}$  及び  $V_{ctl} = V_{max}$  の付近において、実線細線の折れ線が理想特性線となっている。

なお、理想特性からのずれの大きさは、通常、 $V_{min} \pm 0.15$  及び  $V_{max} \pm 0.15$  程度の範囲で生じるものとなっている。

#### 【0050】

このような電圧のずれが生ずるのは、例えば、 $V_{ctl} = V_{max}$  の場合、第 9 及び第 10 のトランジスタ 9, 10 の両方が動作状態となっているためであり、第 9 及び第 10 のトランジスタ 9, 10 により差動回路が構成されていることに起因するものである。これは、 $V_{ctl} = V_{min}$  の場合についても同様である（すなわち、 $V_{ctl} = V_{min}$  の際、第 2 及び第 6 のトランジスタ 2, 6 の両方が動作状態となり、これらが差動回路を構成するため理想の動作との電圧のずれが生ずる）。

現実的には、図 5 に示されたような特性曲線を得、これに基づいて、制御電圧  $V_{ctl}$  を  $V_{min}$  より低く、また、制御電圧  $V_{ctl}$  を  $V_{max}$  より高く、それぞれ設定することで、 $I_{osc}$  を正確に  $I_{min}$  又は  $I_{max}$  とすることができます、実用上の影響はない。

#### 【0051】

ここで、発振周波数  $f$  の範囲は、次のように表すことができる。

まず、発振周波数  $f$  と電流  $I_{osc}$  との関係は、従来の場合と同様で、式 2 によって表すことができる。

#### 【0052】

$$f = j \times k \times I_{osc} / \{ V \times C (j + k) \} \dots \text{(式 2)}$$

#### 【0053】

これに先の式 12 を適用することにより、発振周波数  $f$  の範囲は式 13 のように表される。

#### 【0054】

$$j \times k \times V_{min} / \{ V \times C \times R1(j + k) \} \leq f \leq j \times k \times V_{max} / \{ V \times C \times R1(j + k) \} \dots \text{(式 13)}$$

#### 【0055】

また、これまでの説明により発振周波数の上限と下限の比は、下記する式 14 によって表される。

#### 【0056】

$$f_{min} : f_{max} = V_{min} : V_{max} \dots \text{(式 14)}$$

#### 【0057】

図 2 に示された回路構成例は、入力トランジスタ、すなわち、第 8 及び第 9 のトランジスタ 8, 9 が p n p 形の場合の構成例であるが、この入力トランジスタを n p n 形とした場合の回路構成例が図 6 に示されており、以下、同図を参照しつつこの第 2 の回路構成例について説明する。

この第 2 の回路構成例は、トランジスタの極性が図 2 に示された回路構成例と異なることに起因する接続の違いがあるだけで、基本的な構成は図 2 に示された回路構成例と異なるところがないものである。

このため、図 6 においては、図 2 に示された回路構成例における構成要素と対応する構成要素については、図 2 における当該構成要素の符号の後に、「A」を付した符号を用いることとした。例えば、図 2 における第 9 のトランジスタ 9 に対応する図 6 における第 9 のトランジスタ 9 A の如くである。また、図 6 における他の表記（電流等）においても、図 2 における表記に対応するものについては、「A」を付したものとして構成要素の符号の場合と同様な表し方をした。

#### 【0058】

10

20

30

40

50

この図 6 に示された回路構成例における回路接続については、トランジスタの極性が図 2 に示された回路構成例と異なることに起因するものであるだけなので、その詳細な説明は省略し、印加電圧の接続位置の違いについてのみ言及する。

すなわち、この図 6 に示された回路構成例においては、第 10 のトランジスタ 10 A のベースに、発振下限周波数を定める電圧  $V_{min}$  が印加される一方、第 7 のトランジスタ 7 A のベースに発振上限周波数を定める電圧  $V_{max}$  が印加されたものとなっており、丁度、図 2 に示された印加電圧の配置を入れ替えたものとなっている。

なお、回路動作についても、トランジスタの極性の違いに起因する個々の部分での違いはあるものの、制御電圧  $V_{ctrl} = V_{min}$  において、発振下限周波数  $f_{min}$  が、制御電圧  $V_{ctrl} = V_{max}$  において、発振上限周波数  $f_{max}$  が、それぞれ得られるという基本的な点においては、図 2 において先に説明したと同様であるので、ここでの詳細な説明は省略するものとする。10

#### 【0059】

次に、図 7 には、図 1 における第 1 のトランジスタ 1 を p n p 形とした場合の構成例が示されており、以下、同図を参照しつつこの回路構成例について説明する。

この回路構成例において、p n p 形の第 1 のトランジスタ 1 A のコレクタが出力電流  $I_{os}$  を外部へ取り出す出力端子となっている点は、図 1 の場合と同様であるが、エミッタにエミッタ抵抗器 25 A を介して電源電圧  $V_{cc}$  が印加されるように構成された点が図 1 の場合と異なっている。

そして、演算増幅器 24 A の非反転入力端子には、制御電圧  $V_{ctrl}$  が印加される一方、反転入力端子には、第 1 のトランジスタ 1 A のエミッタが接続された構成となっている。なお、動作については、基本的に図 1 に示されたものと変わることろがないので、ここでの詳細な説明は省略することとする。20

#### 【0060】

上述した発明の実施の形態においては、発振周波数の上限と下限の双方を設定した場合についての回路構成例について説明したが、いずれか一方を設定する場合であっても基本的な回路構成は変わることろがない。

すなわち、具体的には、例えば、図 2 に示された回路構成例において、発振周波数の下限、すなわち、 $f_{min}$  のみを設定したい場合には、第 10 のトランジスタ 10 のベースへの印加電圧  $V_{max}$  を、電源電圧  $V_{cc}$  とするか、又は第 10 のトランジスタ 10 を削除した構成とすればよい。30

一方、 $f_{max}$  のみを設定したい場合には、例えば、図 2 に示された回路構成例において、第 7 のトランジスタ 7 のベースへの印加電圧  $V_{min}$  を、アース電位とするか、又は第 6 及び第 7 のトランジスタ 6, 7 並びに第 2 の定電流源 32 を削除した構成とすればよい。

さらに、図 2 に示された回路構成において、その出力部分を従来の gm アンプ（コンダクタンス・アンプ）型としてもよい。

#### 【0061】

##### 【発明の効果】

以上、述べたように、本発明によれば、外部からの制御電圧を所定の最大電圧に設定した場合には、発振周波数が所望する上限値となり、制御電圧を所定の最小電圧に設定した場合には、発振周波数が所望する下限値となり、しかも、所定の最大電圧対所定の最小電圧の比が、所望する発振周波数の上限対所望する発振周波数の下限の比と等しくなる電圧制御発振回路を提供することができる。40

特に、電圧クランプ回路を用いて構成することにより、発振周波数の上限及び下限を定めるそれぞれの制御電圧の値を任意に設定することができ、比較的簡易な回路構成となるという効果を奏するものである。

##### 【図面の簡単な説明】

【図 1】電圧制御発振回路の基本構成を示す構成図である。

【図 2】本発明に係る電圧制御発振回路において用いられる V/I 変換回路の演算増幅器の内部の第 1 の回路構成例を示す回路図である。50

【図 3】図 2 に示された回路構成例を用いた場合の V / I 変換回路の回路構成例を示す回路図である。

【図 4】図 2 に示された回路構成例における制御電圧  $V_{ctl}$  と出力電流  $I_{osc}$  との関係を示す特性線図である。

【図 5】図 2 に示された回路構成例における制御電圧  $V_{ctl}$  の変化に対する出力電流  $I_{osc}$  の現実の回路における変化を示す特性線図である。

【図 6】本発明に係る電圧制御発振回路において用いられる V / I 変換回路の演算増幅器の内部の第 2 の回路構成例を示す回路図である。

【図 7】本発明に係る電圧制御発振回路において用いられる V / I 変換回路の出力部分の他の回路構成例を示す回路図である。 10

【図 8】従来の電圧制御発振回路における演算増幅の内部の回路構成例であって、出力部分を g m アンプ形式とした場合の回路構成例を示す回路図である。

【図 9】電圧制御発振回路におけるコンデンサの充放電電圧の変化を示す特性線図である。

【図 10】従来回路において、発振周波数の上限及び下限を設定する場合の V / I 変換回路の回路構成例を示す回路図である。

【図 11】図 10 に示された回路における制御電圧  $V_{ctl}$  と出力電流  $I_{osc}$  との関係を示す特性線図である。

【図 12】図 10 に示された回路において、電流  $I_6$  及び  $I_7$  が生ずる部分を局部的な V / I 変換回路とした場合の回路構成例を示す回路図である。 20

【符号の説明】

2 0 ... 定電流源

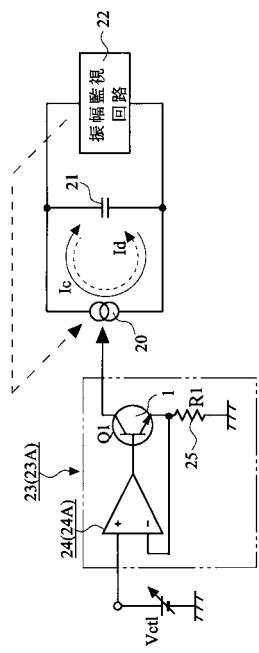
2 1 ... コンデンサ

2 2 ... 振幅監視回路

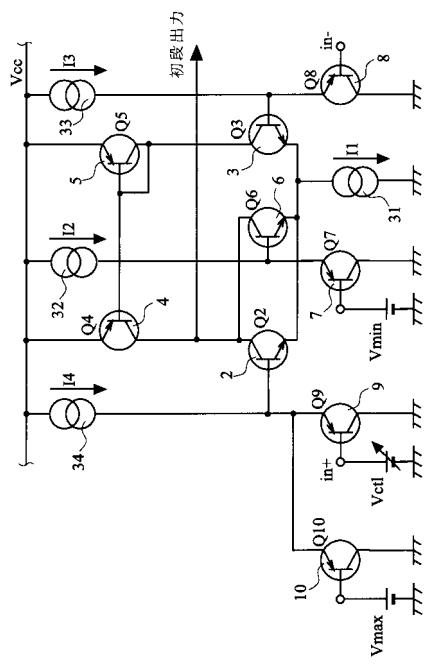
2 3 A ... V / I 変換回路

2 4 A ... 演算増幅器

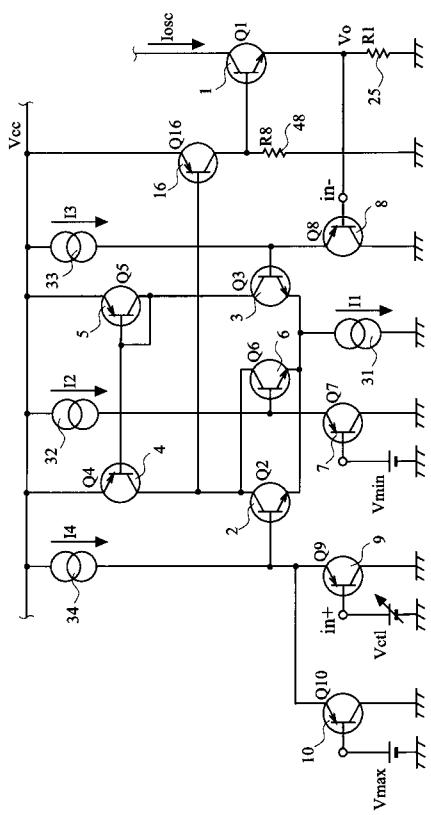
【図1】



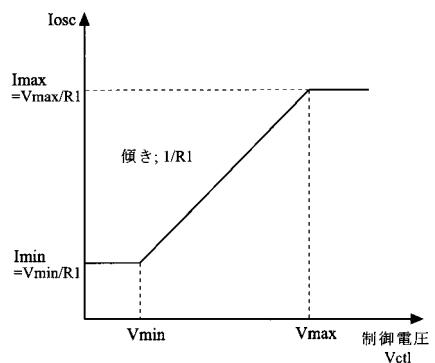
【図2】



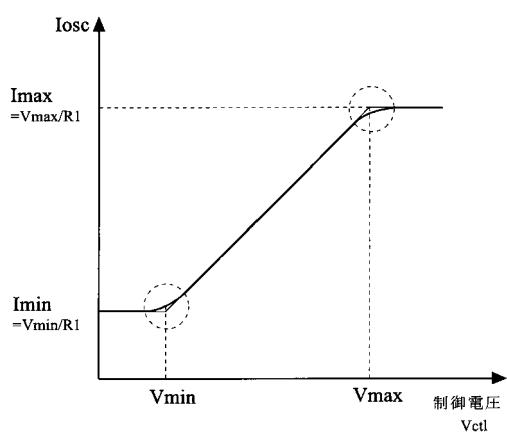
【図3】



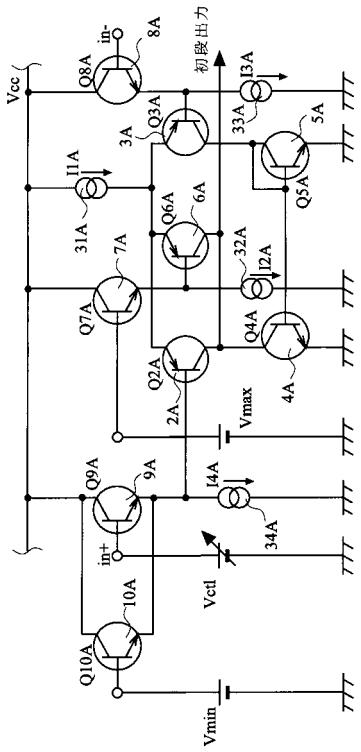
【図4】



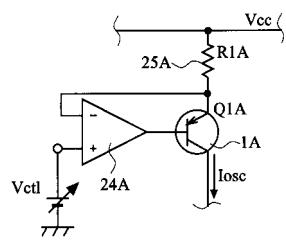
【図5】



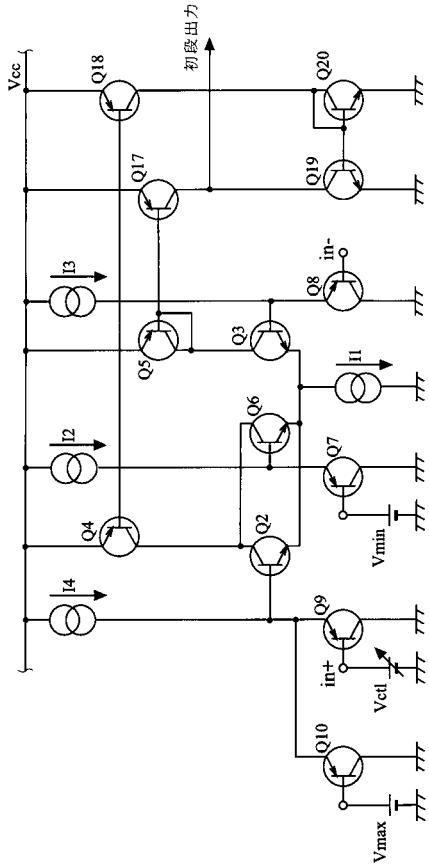
【 図 6 】



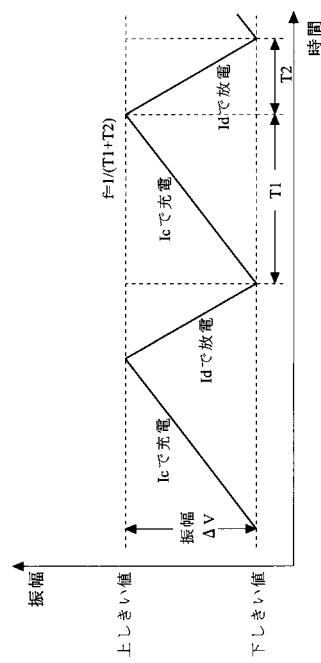
【 図 7 】



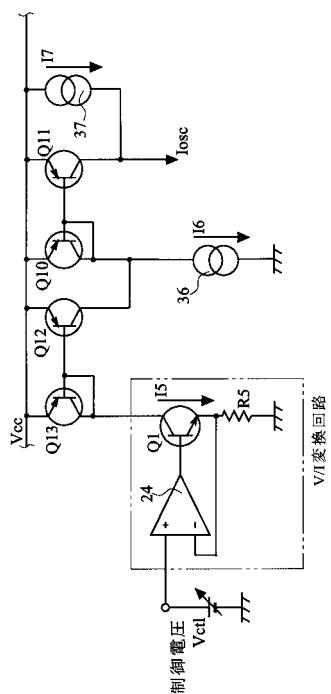
【 四 8 】



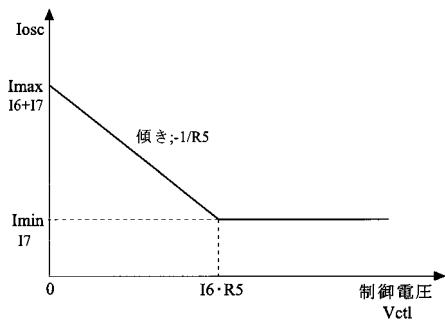
【 図 9 】



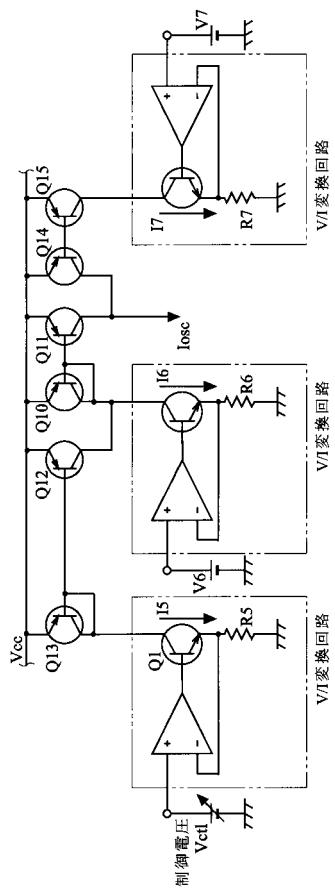
【図 1 0】



【図 1 1】



【図 1 2】



---

フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H03K 4/06

H03B 5/20