

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年8月27日(2009.8.27)

【公表番号】特表2009-514128(P2009-514128A)

【公表日】平成21年4月2日(2009.4.2)

【年通号数】公開・登録公報2009-013

【出願番号】特願2008-536889(P2008-536889)

【国際特許分類】

G 11 C 11/403 (2006.01)

G 11 C 11/4076 (2006.01)

【F I】

G 11 C 11/34 3 6 3 M

G 11 C 11/34 3 5 4 C

【手続補正書】

【提出日】平成21年7月9日(2009.7.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ(DRAM)デバイスであって、

前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する検出回路と、

DRAM電力表示信号に対応して発振信号を生成する発振回路と、

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号を出力するセルフリフレッシュ要求回路と、

前記セルフリフレッシュ要求信号に対応してリフレッシュされるようにDRAMセルのリフレッシュアドレスを出力するリフレッシュアドレス回路と

を有することを特徴とするDRAMデバイス。

【請求項2】

前記発振回路は、前記発振信号を生成する自励発振器を有し、

前記自励発振器は、電力信号に対応して前記発振信号の生成を開始する請求項1に記載のDRAMデバイス。

【請求項3】

検出回路は、前記セルフリフレッシュモードに入ることとそこから出ることのそれぞれに対応してセルフリフレッシュモード信号をイネーブルおよび非イネーブルにするものであり、

セルフリフレッシュ要求回路は、前記セルフリフレッシュモードに入ることと前記セルフリフレッシュモードから出ることのそれぞれに対応してセルフリフレッシュ要求信号をイネーブルおよび非イネーブルにするものである請求項2に記載のDRAMデバイス。

【請求項4】

前記検出回路は、セルフリフレッシュモードと非セルフリフレッシュモードのそれぞれに対応して、前記セルフリフレッシュモード信号が「ハイ」と「ロー」論理状態になることを可能にする請求項3に記載のDRAMデバイス。

【請求項5】

前記発振回路は、前記発振信号として「ハイ」および「ロー」論理状態を持つパルス信号を生成し、

前記発振信号の論理状態の変化は、前記セルフリフレッシュモード信号の論理状態にかかわらずに行われる請求項4に記載のDRAMデバイス。

#### 【請求項6】

前記セルフリフレッシュ要求回路は、

前記セルフリフレッシュ要求信号として論理的に組み合わされた出力信号を出力するために、前記セルフリフレッシュモード信号と前記発振信号とを論理的に組み合わせる論理回路を有する請求項5に記載のDRAMデバイス。

#### 【請求項7】

前記論理回路は、前記セルフリフレッシュモード信号の論理状態が「ハイ」のとき、前記発振信号の「ロー」論理状態から「ハイ」論理状態への変化に対応して前記セルフリフレッシュ要求信号を出力する請求項6に記載のDRAMデバイス。

#### 【請求項8】

前記論理回路は、前記セルフリフレッシュモード信号の論理状態が「ロー」のとき、前記セルフリフレッシュ要求信号の出力を停止する請求項7に記載のDRAMデバイス。

#### 【請求項9】

前記論理回路は、

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバラップしているとき、前記セルフリフレッシュモード信号と前記発振信号との間の信号タイミングの競合を調停する調停回路を有する請求項6に記載のDRAMデバイス。

#### 【請求項10】

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバラップしているとき、前記論理回路は、前記発振信号の「ロー」論理状態から「ハイ」論理状態へのその後の変化に対応して、前記セルフリフレッシュ要求信号を出力する請求項9に記載のDRAMデバイス。

#### 【請求項11】

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバラップしているとき、前記論理回路は、前記発振信号の「ハイ」論理状態から「ロー」論理状態へのその後の変化に対応して、前記セルフリフレッシュ要求信号の出力を停止する請求項10に記載のDRAMデバイス。

#### 【請求項12】

前記調停回路は、

カスケード接続された第1および第2フリップフロップ回路を有するラッチ回路を有し、

前記第1および第2フリップフロップ回路のそれぞれは、セット入力およびリセット入力を持ち、

前記第1フリップフロップ回路のセット入力およびリセット入力は、それぞれ、前記セルフリフレッシュモード信号および前記発振信号を受け、

前記第2フリップフロップ回路のセット入力およびリセット入力は、それぞれ、前記第1フリップフロップ回路の出力および前記発振信号を受け、

前記第2フリップフロップ回路の出力は、提供される前記セルフリフレッシュ要求信号を出力する請求項9に記載のDRAMデバイス。

#### 【請求項13】

前記論理回路は、

前記セルフリフレッシュ要求信号として論理的に組み合わされた信号を生成するために、前記第2フリップフロップ回路の出力信号と前記発振信号とを論理的に組み合わせるANDゲートをさらに有する請求項12に記載のDRAMデバイス。

#### 【請求項14】

セルフリフレッシュモードと非セルフリフレッシュモードとで動作するメモリセルを持

つダイナミックランダムアクセスメモリ(DRAM)デバイスをセルフリフレッシュするための方法であって、

前記セルフリフレッシュモードと非セルフリフレッシュモードとで、それぞれイネーブルおよび非イネーブルにされるセルフリフレッシュモード信号を出力するステップと、

前記セルフリフレッシュモード信号の状態にかかわらずに発振信号を生成するステップと、

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号を出力するステップと、

アドレス信号によって選択されたワードラインに関連するメモリセルをリフレッシュするために、前記セルフリフレッシュ要求信号に対応して前記アドレス信号を出力するステップとを有することを特徴とする方法。

#### 【請求項15】

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号の出力を停止するステップをさらに有する請求項14に記載の方法。

#### 【請求項16】

前記発振信号を生成するステップは、

前記DRAMデバイスの動作状態に対応して提供される電力信号に対応して自励発振信号を生成するステップを有する請求項15に記載の方法。

#### 【請求項17】

前記セルフリフレッシュモード信号を出力するステップは、「ハイ」および「ロー」論理状態を持つセルフリフレッシュモード信号を出力するステップを有し、

前記発振信号を生成するステップは、「ハイ」および「ロー」論理状態を持つ発振信号を生成するステップを有し、

前記セルフリフレッシュ要求信号を出力するステップは、前記セルフリフレッシュモード信号および前記発振信号の論理状態に対応してセルフリフレッシュ要求信号を出力するステップを有する請求項16に記載の方法。

#### 【請求項18】

前記セルフリフレッシュ要求信号を出力するステップは、

前記セルフリフレッシュモード信号および前記発振信号が「ハイ」論理状態である状況における前記論理状態に基づいて、前記セルフリフレッシュ要求信号を出力するタイミングを調停するステップを有する請求項17に記載の方法。

#### 【請求項19】

前記タイミングを調停するステップは、

前記セルフリフレッシュモード信号の上昇変化が前記発振信号の上昇変化よりも早期である状況では、前記発振信号のその後の上昇変化に対応して前記セルフリフレッシュ信号を出力するステップを有する請求項18に記載の方法。

#### 【請求項20】

前記タイミングを調停するステップは、

前記発振信号の上昇変化が前記セルフリフレッシュモード信号の上昇変化よりも早期である状況では、前記発振信号のその後の降下変化に対応して、前記セルフリフレッシュ信号の出力を停止するステップを有する請求項18に記載の方法。

#### 【請求項21】

セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ(DRAM)デバイスに使用されるセルフリフレッシュ制御装置であって、

前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する検出回路と、

DRAM電力表示信号に対応して発振信号を生成する発振回路と、を有し、

セルフリフレッシュ要求信号に対応して、前記DRAMのワードラインに関連するメモリセルをリフレッシュするために、アドレス信号を出力することを特徴とするセルフリフ

レッシュ制御装置。

【請求項 22】

前記発振回路は、セルフリフレッシュモードおよび非セルフリフレッシュモードの期間に前記発振信号を生成するものであり、

前記検出回路は、前記発振信号と並行にセルフリフレッシュモード信号を出力するものであり、

前記セルフリフレッシュモード信号は、前記セルフリフレッシュモードにおいてイネーブルにされる請求項 21 に記載のセルフリフレッシュ制御装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

D R A M セル保有時間の可変範囲は、プロセス技術が 4 5 n m 以下に移行した場合、数マイクロ秒と数ミリ秒との間になる可能性がある。したがって、セルフリフレッシュモード・エントリ要求を受け取りしだい、セルフリフレッシュのための内部発振器は、極めて短時間に、セルフリフレッシュ信号の生成のために始動されなければならない。セルフリフレッシュ信号は、長期間にわたる確実な発振特性で、可能な限り短いセル保有時間（例えば、マイクロ秒オーダ）のものに対してセルフリフレッシュを適切に実行するとともに、可能な限り長いセル保有時間（例えば、ミリ秒オーダ）のものに対してもまた前記適切な実行が維持されるように、生成される必要がある。したがって、セル保有時間が広範囲に渡って変化するにもかかわらずに、確実なセルフリフレッシュを実行するとともに達成する D R A M デバイスが求められている。

【特許文献 1】米国特許第 4 6 3 6 9 8 9 号明細書

【特許文献 2】米国特許第 5 3 6 5 4 8 7 号明細書

【特許文献 3】米国特許第 5 5 6 6 1 1 7 号明細書

【特許文献 4】米国特許第 6 8 3 4 0 2 1 号明細書

【特許文献 5】米国特許第 7 3 6 9 4 5 1 号明細書

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の他の特徴によれば、セルフリフレッシュモードと非セルフリフレッシュモードとで動作するメモリセルを持つ D R A M デバイスをセルフリフレッシュするための方法が提供される。前記方法では、セルフリフレッシュモード信号が使用される。前記セルフリフレッシュモード信号は、前記セルフリフレッシュモードと非セルフリフレッシュモードとで、それぞれイネーブルおよび非イネーブルにされる。前記セルフリフレッシュモード信号の状態にかかわらずに、発振信号が生成される。セルフリフレッシュ要求信号は、前記セルフリフレッシュモード信号と前記発振信号とに対応して出力される。前記セルフリフレッシュ要求信号に対応して、アドレス信号が出力される。前記アドレス信号によって、ワードラインが選択され、選択されたワードラインの関連メモリセルがリフレッシュされる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

## 【 0 0 2 5 】

例えば、発振器 217 は、セルフリフレッシュのための信号 213 の生成の如何にかかわらず、パワーアップ信号 221 によって作動される自励発振器を有している。前記自励発振器は、不要になるか、またはDRAMデバイスの電源が切られるまで、動作を続行する。したがって、本発明の実施形態に係るDRAMデバイスでは、セルフリフレッシュのための発振の外部始動が必要ではない。また、制御装置 215 の調停機能によって、発振信号 219 が信号 213 よりも早期に「ハイ」になるとき、要求信号 223 は発振信号 219 のその後の変化に対応して出力される。また、発振信号 219 がセルフリフレッシュ信号 213 よりも遅れて「ロー」になるとき、要求信号 223 は発振信号 219 のその後の降下変化に対応して停止される。このように、制御装置 215 は、発振信号 219とセルフリフレッシュ信号 213との間のタイミング競合を調停する。