(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201438229 A
(43)公開日： 中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：103104944 (22)申請日： 中華民國 103 (2014) 年 02 月 14 日
(51)Int. Cl.： *H01L29/778 (2006.01)* *H01L21/28 (2006.01)*
(30)優先權：2013/02/15 美國 61/765,635
(71)申請人：全斯法姆公司 (美國) TRANSPHORM INC. (US)
美國
(72)發明人：邱杜利斯拉班提 CHOWDHURY, SRABANTI (IN) ；米喜拉鄔梅西 MISHRA, UMESH (US) ；朵拉尤法拉 DORA, YUVARAJ (IN)
(74)代理人：蔡坤財；李世章
申請實體審查：無 申請專利範圍項數：43 項 圖式數：18 共 63 頁

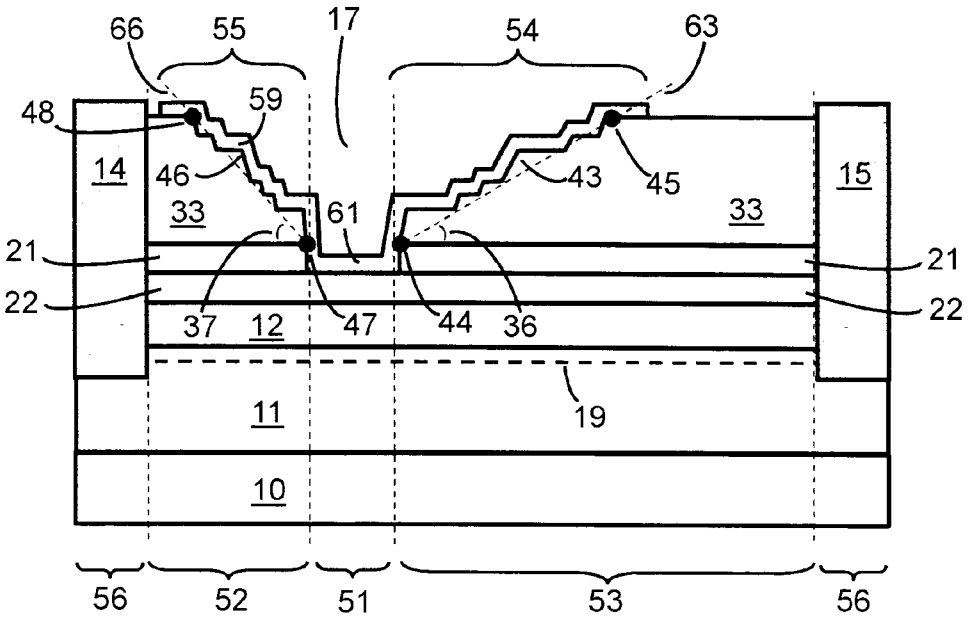
(54)名稱

用於半導體裝置之電極及形成該等電極之方法

ELECTRODES FOR SEMICONDUCTOR DEVICES AND METHODS OF FORMING THE SAME

(57)摘要

III-N 半導體 HEMT 裝置包含在 III-N 材料結構上的電極界定層。電極界定層具有凹口，且於汲極的近端具有第一側壁及於源極的近端具有第二側壁，各側壁包括複數個階梯。比起 III-N 材料結構的近端的凹口之一部分，III-N 材料結構的遠端的凹口之一部分具有較大的寬度。電極位於凹口中，該電極包含位於第一側壁上方的延伸部分。電極界定層之一部分位於延伸部分與 III-N 材料結構之間。第一側壁相對於 III-N 材料結構之表面形成第一等效角，且第二側壁相對於 III-N 材料結構之表面形成第二等效角，第二等效角大於第一等效角。



第4圖

10：基板
11：第一 III-N 層
12：第二 III-N 層
14：源極接點/源極
15：汲極接點/汲極
17：凹口
19：二維電子氣(2DEG)通道
21：額外的介電層
22：鈍化層
33：電極界定層
36：等效角
37：等效角
43：側壁
44：點
45：點

46：側壁

47：點

48：點

51：閘極區域

52：源極入口區域

53：汲極入口區域

54：第一延伸部分/電場板

55：第二延伸部分

56：歐姆接觸區域

59：閘電極

61：閘電極之部分/閘極

63：虛線

66：虛線

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201438229 A
(43)公開日： 中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：103104944 (22)申請日： 中華民國 103 (2014) 年 02 月 14 日
(51)Int. Cl.： *H01L29/778 (2006.01)* *H01L21/28 (2006.01)*
(30)優先權：2013/02/15 美國 61/765,635
(71)申請人：全斯法姆公司 (美國) TRANSPHORM INC. (US)
美國
(72)發明人：邱杜利斯拉班提 CHOWDHURY, SRABANTI (IN) ；米喜拉鄔梅西 MISHRA, UMESH (US) ；朵拉尤法拉 DORA, YUVARAJ (IN)
(74)代理人：蔡坤財；李世章
申請實體審查：無 申請專利範圍項數：43 項 圖式數：18 共 63 頁

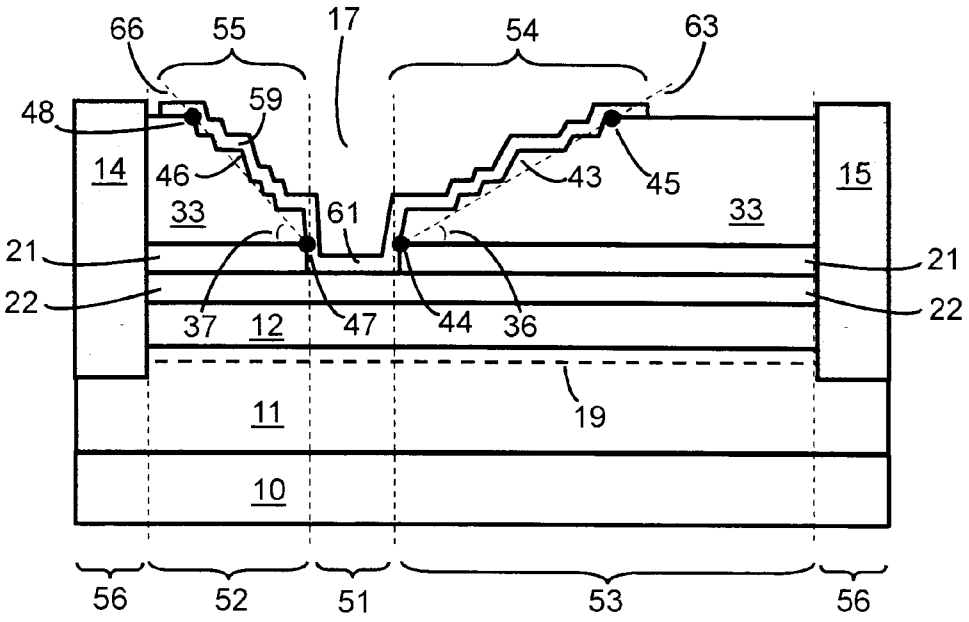
(54)名稱

用於半導體裝置之電極及形成該等電極之方法

ELECTRODES FOR SEMICONDUCTOR DEVICES AND METHODS OF FORMING THE SAME

(57)摘要

III-N 半導體 HEMT 裝置包含在 III-N 材料結構上的電極界定層。電極界定層具有凹口，且於汲極的近端具有第一側壁及於源極的近端具有第二側壁，各側壁包括複數個階梯。比起 III-N 材料結構的近端的凹口之一部分，III-N 材料結構的遠端的凹口之一部分具有較大的寬度。電極位於凹口中，該電極包含位於第一側壁上方的延伸部分。電極界定層之一部分位於延伸部分與 III-N 材料結構之間。第一側壁相對於 III-N 材料結構之表面形成第一等效角，且第二側壁相對於 III-N 材料結構之表面形成第二等效角，第二等效角大於第一等效角。



第4圖

10：基板
11：第一 III-N 層
12：第二 III-N 層
14：源極接點/源極
15：汲極接點/汲極
17：凹口
19：二維電子氣(2DEG)通道
21：額外的介電層
22：鈍化層
33：電極界定層
36：等效角
37：等效角
43：側壁
44：點
45：點

201438229

發明摘要

※ 申請案號：103104944

※ 申請日：103 年 2 月 14 日　　※IPC 分類：

H01L29/778 (2006.01)

H01L 21/28 (2006.01)

【發明名稱】（中文/英文）

用於半導體裝置之電極及形成該等電極之方法

ELECTRODES FOR SEMICONDUCTOR DEVICES AND METHODS OF FORMING THE SAME

【中文】

III-N 半導體 HEMT 裝置包含在 III-N 材料結構上的電極界定層。電極界定層具有凹口，且於汲極的近端具有第一側壁及於源極的近端具有第二側壁，各側壁包括複數個階梯。比起 III-N 材料結構的近端的凹口之一部分，III-N 材料結構的遠端的凹口之一部分具有較大的寬度。電極位於凹口中，該電極包含位於第一側壁上方的延伸部分。電極界定層之一部分位於延伸部分與 III-N 材料結構之間。第一側壁相對於 III-N 材料結構之表面形成第一等效角，且第二側壁相對於 III-N 材料結構之表面形成第二等效角，第二等效角大於第一等效角。

【英文】

A III-N semiconductor HEMT device includes an electrode-defining layer on a III-N material structure. The electrode-defining layer has a recess with a first sidewall proximal to the drain and a second sidewall

proximal to the source, each sidewall comprising a plurality of steps. A portion of the recess distal from the III-N material structure has a larger width than a portion of the recess proximal to the III-N material structure. An electrode is in the recess, the electrode including an extending portion over the first sidewall. A portion of the electrode-defining layer is between the extending portion and the III-N material structure. The first sidewall forms a first effective angle relative to the surface of the III-N material structure and the second sidewall forms a second effective angle relative to the surface of the III-N material structure, the second effective angle being larger than the first effective angle.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

10 基板

11 第一 III-N 層

12 第二 III-N 層

14 源極接點/源極

15 汲極接點/汲極

17 凹口

19 二維電子氣(2DEG)通道

21 額外的介電層

proximal to the source, each sidewall comprising a plurality of steps. A portion of the recess distal from the III-N material structure has a larger width than a portion of the recess proximal to the III-N material structure. An electrode is in the recess, the electrode including an extending portion over the first sidewall. A portion of the electrode-defining layer is between the extending portion and the III-N material structure. The first sidewall forms a first effective angle relative to the surface of the III-N material structure and the second sidewall forms a second effective angle relative to the surface of the III-N material structure, the second effective angle being larger than the first effective angle.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

10 基板

11 第一 III-N 層

12 第二 III-N 層

14 源極接點/源極

15 汲極接點/汲極

17 凹口

19 二維電子氣(2DEG)通道

21 額外的介電層

22 鈍化層

33 電極界定層

36 等效角

37 等效角

43 側壁

44 點

45 點

46 側壁

47 點

48 點

51 閘極區域

52 源極入口區域

53 汲極入口區域

54 第一延伸部分/電場板

55 第二延伸部分

56 歐姆接觸區域

59 閘電極

61 閘電極之部分/閘極

63 虛線

66 虛線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

用於半導體裝置之電極及形成該等電極之方法

ELECTRODES FOR SEMICONDUCTOR DEVICES AND METHODS OF FORMING THE SAME

【0001】 本申請案主張申請於 2013 年 2 月 15 日之美國臨時申請案序號第 61/765,635 號之優先權。先前申請案之揭示內容視爲本申請案之揭示內容的部分且以引用之方式併入本申請案之揭示內容。

【技術領域】

【0002】 本發明有關於半導體電子裝置，具體而言，具有連接至電場板之電極的半導體電子裝置。

【先前技術】

【0003】 至今，現代功率半導體二極體例如高電壓 P-I-N 二極體，以及功率電晶體例如功率 MOSFET 及絕緣閘極雙極性電晶體(IGBT)，已通常由矽(Si)半導體材料所製造。最近，由於碳化矽(SiC)功率裝置之優越的性能，已研究碳化矽功率裝置。III 族-氮化物(III-N)半導體裝置現今成爲具有吸引力的候選者，以承載大電流及支持高電壓，及提供極低的導通電阻值、高電壓裝置操作及快速的切換時間。如本文所使用的，用語「III-N」或「III 族-氮化物」材料、層、裝置等，意指由化合物半導體材料根據化學計量公式 $B_wAl_xIn_yGa_zN$ 所組成的

材料或裝置，其中 w+x+y+z 約爲 1。

【0004】 先前技術之 III-N 高電子遷移率電晶體(HEMT)之實例圖示於第 1 圖及第 2 圖中。第 1 圖之 III-N HEMT 包含基板 10、在基板頂上的 III-N 通道層 11 及在通道層頂上的 III-N 阻障層 12，III-N 通道層 11 例如 GaN 層，III-N 阻障層 12 例如 $Al_xGa_{1-x}N$ 層。在通道層 11 中靠近通道層 11 與阻障層 12 之間的介面感應出二維電子氣(2DEG)通道 19。源極接點 14 及汲極接點 15 分別形成歐姆接點至 2DEG 通道。閘極接點 16 調變在閘極區域中的 2DEG 之部分，亦即，該部分正好位於閘極接點 16 之下方處。

【0005】 電場板經常用於 III-N 裝置中，以如降低峰值電場及增加裝置崩潰電壓的方式在裝置之高電場區域中成形電場，藉此允許高電壓操作。先前技術之具有電場板的 III-N HEMT 之實例圖示於第 2 圖。除了包含於第 1 圖之裝置中的該等層之外，在第 2 圖中的裝置包含電場板 18 及絕緣層 13，電場板 18 連接至閘極 16，絕緣層 13 例如 SiN 層介於電場板 18 與 III-N 阻障層 12 之間。電場板 18 可包含與閘極 16 相同的材料或由與閘極 16 相同的材料所形成。絕緣層 13 可作爲表面鈍化層，以避免或抑制鄰近絕緣層 13 於 III-N 材料之表面處的電壓波動。

【0006】 傾斜型電場板已經證明爲特別有效於在 III-N 裝置中降低峰值電場及增加崩潰電壓。相似於第 2 圖之先前技術的 III-N 裝置，第 3 圖圖示先前技術的 III-N 裝置但具有傾斜型電場板 24。在此裝置中，閘極 16(亦即，在垂直虛線之間的

電極 29 之部分)及傾斜型電場板 24 由單一電極 29 所形成。絕緣層 23，可爲 SiN，爲含有凹口的電極界定層，該凹口至少部分界定電極 29 之形狀。電極界定層 23 亦可作爲表面鈍化層，以避免或抑制鄰近電極界定層 23 於 III-N 材料之表面處的電壓波動。在此裝置中的閘極 16 及傾斜型電場板 24 可由以下方式來形成：首先在 III-N 阻障層 12 之整個表面上沉積電極界定層 23，然後在含有閘極 16 的區域中通過電極界定層 23 蝕刻出凹口，該凹口包含傾斜側壁 25，且最後至少於凹口中及在傾斜側壁 25 上方沉積電極 29。與習知電場板相比，例如第 3 圖中的電場板 18 不包含傾斜部分，傾斜型電場板例如第 3 圖中的電場板 24 傾向於在裝置中於較大的體積上分散電場。因此，傾斜型電場板傾向於更有效降低在下方裝置中的峰值電場，藉此允許較大操作電壓及崩潰電壓。

【0007】 當第 3 圖之裝置在截止狀態中以相對於源極 14 將大電壓施加至汲極 15 來偏壓時，在半導體層 11 及半導體層 12 中的電場分佈在電場板 24 之水平長度上。如此，對於電極界定層 23 之給定厚度，電場所分佈的區域之水平長度主要由電場板與下方的 III-N 材料結構之表面 28 所形成的角度 26 來決定。較小的角度 26 導致電場之較大分佈，允許相應較大的裝置之操作電壓及崩潰電壓。舉例而言，在電極界定層 23 爲約 0.85 微米厚的 III-N 裝置中，對於可靠的 50V 或 100V 操作可能需要約 40 度或較小的角度，而對於可靠的 300V 或 600V 操作可能需要約 10 度或較小的角度。然而，減小角度 26 導致電場板 24 之較長的橫向延伸朝向汲極 15，此舉可能需要閘

極 16 與汲極 15 之間有更大的間隔。此外，可再現地製造具有如此小角度 26 的傾斜型電場板 24 可能爲困難的。需要能提供峰值電場之足夠抑制且可再現地被製造之電場板結構。

【發明內容】

【0008】 在第一態樣中，描述一種 III-N 電晶體。該電晶體包含 III-N 材料結構、源極及汲極以及具有厚度的電極界定層。電極界定層位於 III-N 材料結構之表面上方且具有凹口，於汲極的近端具有第一側壁及於源極的近端具有第二側壁，第一側壁及第二側壁各包括複數個階梯。III-N 材料結構的遠端的凹口之一部分具有第一寬度，且 III-N 材料結構的近端的凹口之一部分具有第二寬度，第一寬度大於第二寬度。該電晶體進一步包含在凹口中的電極，該電極包含延伸部分，該延伸部分至少部分位於第一側壁上方。第一側壁相對於 III-N 材料結構之表面形成第一等效角，且第二側壁相對於 III-N 材料結構之表面形成第二等效角，第二等效角大於第一等效角。

【0009】 在第二態樣中，描述一種電晶體。該電晶體包含半導體材料結構、源極及汲極以及位於源極與汲極之間的電極，該半導體材料結構於該半導體材料結構中包含通道，各源極及汲極與通道電性接觸。電極包含閘極及延伸部分，該延伸部分從閘極延伸朝向汲極。該電晶體具有低於 20 微米的閘極-汲極間隔，當閘極以低於相對於源極的電晶體之臨界電壓被偏壓且電晶體之汲極-源極電壓爲約 600V 或更大時，該電晶體之每單位閘極寬度下的截止狀態汲極電流爲約 10^{-8} Amps/mm 或更低，以及當該電晶體以 2 微秒或更低的切換時

間被切換時，該電晶體之動態導通電阻值爲低於該電晶體之直流導通電阻值的 1.1 倍。

【0010】 在第三態樣中，描述一種電晶體。該電晶體包含半導體材料結構、源極及汲極以及位於源極與汲極之間的電極，該半導體材料結構於該半導體材料結構中包含通道，各源極及汲極與通道電性接觸。電極包含閘極及延伸部分，該延伸部分從閘極延伸朝向汲極。該電晶體具有低於 20 微米的閘極-汲極間隔，該延伸部分包含複數個階梯，其中該延伸部分之每微米的長度下在該複數個階梯中的階梯之數目大於 0.4，及當閘極以低於相對於源極的電晶體之臨界電壓被偏壓且電晶體之汲極-源極電壓爲約 600V 或更大時，該電晶體之每單位閘極寬度下的截止狀態汲極電流爲約 10^{-8} Amps/mm 或更低。

【0011】 在第四態樣中，描述一種形成半導體裝置之方法。該方法包含提供半導體材料結構，在半導體材料結構之表面上形成具有厚度的電極界定層，及在電極界定層上方圖案化遮罩層，該遮罩層包含具有寬度的開口。該方法進一步包含蝕刻電極界定層以在該電極界定層中形成凹口，該凹口具有第一側壁及相對於第一側壁的第二側壁，第一側壁及第二側壁各包括複數個階梯，其中第一側壁相對於半導體材料結構之表面形成第一等效角，且第二側壁相對於半導體材料結構之表面形成第二等效角，且半導體材料結構的遠端的凹口之一部分具有第一寬度，且半導體材料結構的近端的凹口之一部分具有第二寬度，第一寬度大於第二寬度。該電極界定層

之蝕刻包含實行第一流程及第二流程，第一流程包括移除該電極界定層之一部分，且第二流程包括移除遮罩層之一部分而非整個移除遮罩層，其中第二流程導致遮罩層中的開口之寬度增加。此外，該電極界定層之蝕刻造成第二等效角大於第一等效角。

【0012】 在第五態樣中，描述一種形成半導體裝置之方法。該方法包含提供半導體材料結構，在該半導體材料結構之表面上形成具有厚度的電極界定層，及在該電極界定層上方圖案化遮罩層，該遮罩層包含開口。該開口形成圖案，該圖案包含複數個區域，具有第一寬度的該複數個區域與具有第二寬度的該複數個區域交錯，第一寬度大於第二寬度。該方法進一步包含蝕刻在該開口下的該電極界定層以在該電極界定層中形成凹口，該凹口具有第一側壁及第二側壁，第一側壁包含複數個區段，各該複數個區段鄰近具有第一寬度的該等區域中之一者，且第二側壁包含複數個區段，各該複數個區段鄰近具有第二寬度的該等區域中之一者。此外，該蝕刻造成第二側壁之該等區段之平均斜率大於第一側壁之該等區段之平均斜率。

【0013】 本文所述的裝置及方法之各者可包含以下特徵或步驟之一或更多者。第二等效角可大幅大於第一等效角。第二等效角比起第一等效角可至少大 10 度。半導體或 III-N 材料結構可包含第一 III-N 材料層、第二 III-N 材料層及 2DEG 通道，該 2DEG 通道係因爲第一 III-N 材料層與第二 III-N 材料層之間的組成的差異而在第一 III-N 材料層中鄰近第二 III-N

材料層處被感應出。第一 III-N 材料層可包含 GaN 且第二 III-N 材料層可包含 AlGaN、AlInN、AlInGaN 或 BAlInGaN。第一 III-N 材料層及第二 III-N 材料層可爲 III 族面向層或[0001]定向層或 III 族終止半極性層，且第二 III-N 材料層可位於第一 III-N 材料層與電極界定層之間。第一 III-N 材料層及第二 III-N 材料層可爲 N 面向層或[000-1]定向層或氮終止半極性層，且第一 III-N 材料層可位於第二 III-N 材料層與電極界定層之間。凹口可延伸通過電極界定層之整個厚度。凹口可延伸進入 III-N 材料結構及/或通過 2DEG 通道。

【0014】 電極界定層可包括 SiN_x。電極界定層之厚度可介於約 0.1 微米與約 5 微米之間。電晶體可進一步包括 III-N 材料結構與電極界定層之間的介電鈍化層，該介電鈍化層直接接觸鄰近電極的 III-N 材料之表面。介電鈍化層可包括 SiN_x。介電鈍化層可位於電極與 III-N 材料結構之間，使得該電極不直接接觸 III-N 材料結構。電晶體可進一步包含介電鈍化層與電極界定層之間的額外的絕緣層。該額外的絕緣層可包括 AlN。該電極之延伸部分可直接接觸側壁。

【0015】 該電極可包含閘極及第一側壁及第二側壁中的該複數個階梯，該閘極在該電晶體之閘極區域中，該複數個階梯可各包含第一階梯、第二階梯及第三階梯，第一階梯具有正好鄰近閘極的第一階梯寬度，第二階梯具有正好鄰近第一階梯的第二階梯寬度，且第三階梯具有正好鄰近第二階梯的第三階梯寬度，其中在第一側壁中的該複數個階梯中的第一階梯寬度對於第二階梯寬度之比例實質上相同於在第二側壁中

的該複數個階梯中的第一階梯寬度對於第二階梯寬度之比例。在第一側壁中的該複數個階梯中的第一階梯寬度對於第三階梯寬度之比例可實質上相同於在第二側壁中的該複數個階梯中的第一階梯寬度對於第三階梯寬度之比例。在第一側壁中的第一階梯寬度、第二階梯寬度及第三階梯寬度之總和可大於在第二側壁中的第一階梯寬度、第二階梯寬度及第三階梯寬度之總和。

【0016】 半導體材料結構可包含 III-N 材料，且通道可位於 III-N 材料中。該電晶體或該裝置之直流導通電阻值可爲低於 12 歐姆毫米。該電場板或該延伸部分可具有 12 微米或更短的長度。

【0017】 該蝕刻可造成第二等效角大幅大於第一等效角。該蝕刻可造成第二等效角比起第一等效角至少大 10 度。遮罩層可包括光阻。該方法可進一步包括在實行蝕刻步驟之前導致遮罩層中的光阻之重新分佈。導致光阻之重新分佈可包括熱退火該光阻。該光阻之重新分佈可造成遮罩層在開口之一側上具有第一傾斜側壁及在開口之相對側上具有第二傾斜側壁。該光阻之重新分佈可造成第二傾斜側壁比起第一傾斜側壁具有較大的斜率。該方法可進一步包含移除遮罩層及在凹口中形成電極。該蝕刻可進一步包含在已實行第二流程之後再次實行第一流程，及在已再次實行第一流程之後再次實行第二流程。該蝕刻可造成凹口延伸通過電極界定層之整個厚度。半導體材料結構可包括 III-N 層。該蝕刻可包括蝕刻通過電極界定層之整個厚度及於該蝕刻之整體期間使用遮罩層作

爲蝕刻遮罩。該蝕刻可進一步包括蝕刻進入正好位於電極界定層下的層。

【0018】 描述可再現地製造之 III-N 裝置，該等 III-N 裝置能支持高電壓而具有低漏電，且同時能展現低導通電阻值及高崩潰電壓，如所述。還描述形成該等裝置之方法。本文所述的 III-N 裝置可爲電晶體，且可爲適合用於高電壓應用的高電壓裝置。本發明之一或更多實施方式之細節記載於附圖及以下描述中。從描述及圖式以及從申請專利範圍，本發明之其他特徵及優點將爲顯而易見的。

【圖式簡單說明】

【0019】 第 1 圖至第 3 圖爲先前技術之 III-N HEMT 裝置之橫截面視圖。

【0020】 第 4 圖至第 5 圖爲 III-N HEMT 裝置之實施方式之橫截面視圖。

【0021】 第 6 圖爲第 4 圖之 III-N HEMT 及第 5 圖之 III-N HEMT 之平面視圖。

【0022】 第 7 圖至第 17 圖繪示形成第 4 圖之 III-N HEMT 的方法。

【0023】 第 18 圖爲 III-N HEMT 裝置之另一個實施方式之橫截面視圖。

【0024】 於各圖式中相同的元件符號指示相同的元件。

【實施方式】

【0025】 描述基於 III-N 異質結構的電晶體。設計裝置之電極使得該裝置能被可再現地製造，能支持高電壓而具有低漏

電，且同時能展現低導通電阻值及低閘極電容值。亦描述形成電極之方法。本文所述的 III-N 裝置可爲適用於高電壓應用的高電壓裝置。在如此高電壓電晶體中，當電晶體被偏壓截止時(亦即，相對於源極在閘極上的電壓低於電晶體臨界電壓)，電晶體至少能夠支持全部的源極-汲極電壓低於或等於在應用中的高電壓，在該應用中使用該電晶體，舉例而言，高電壓可爲 100V、300V、600V、1200V、1700V 或更高。當高電壓電晶體被偏壓導通時(亦即，相對於源極在閘極上的電壓高於電晶體臨界電壓)，該高電壓電晶體能夠以低導通電壓傳導大量電流。可允許的導通電壓最大值爲能在應用中所維持的電壓最大值，在該應用中使用該電晶體。

【0026】 本文所述的電晶體各包含電場板結構，該電場板結構允許可與第 3 圖之裝置相比的裝置操作電壓及崩潰電壓，但該電場板結構能被可再現地製造。此外，電場板配置允許對於給定操作電壓所設計的電晶體在閘極與汲極之間具有非常小的間隔，用以減低裝置導通電阻值且使電性損失最小化。

【0027】 本文所述的裝置繪示於第 4 圖至第 5 圖及第 17 圖至第 18 圖。本文所述的 III-N 電晶體各包含在 III-N 材料結構之頂上的電極界定層。電極界定層包含凹口，且電極在該凹口中。於凹口之頂部上的寬度大於在凹口之底部的寬度。電極包含在該電極之相反側上的第一延伸部分及第二延伸部分，第一延伸部分及第二延伸部分在電極界定層之部分上方。第一延伸部分延伸朝向汲極電極而作爲電場板。第二延伸部分延伸朝向源極電極。在電極界定區域中的凹口中保形地沉積

電極且具有延伸部分在凹口之側壁上方。因此，延伸部分之輪廓爲至少部分由對應的側壁之輪廓所決定。在電極之延伸部分下方的凹口之側壁包含複數個階梯。側壁各者相對於下方的 III-N 材料結構之最上方表面形成等效角度。在第一延伸部分下方的側壁之等效角度，界定(且因此相同於)電場板之等效角度，可爲足夠小以允許裝置之高電壓操作，如在其中使用該裝置之電路應用所要求的。在第二延伸部分下方的側壁之等效角度，界定(且因此相同於)第二延伸部分之等效角度，爲大於第一延伸部分之等效角度。相較於其中第一延伸部分及第二延伸部分具有實質上相同的等效角度的裝置而言，此舉允許對於源極與閘極之間的給定水平間隔有較小的閘極-源極電容值。

【0028】 參照第 4 圖，III-N HEMT 包含基板 10(雖然基板爲任選的)、在基板之頂上的第一 III-N 層 11 及在第一 III-N 層之頂上的第二 III-N 層 12。III-N 層 11 及 III-N 層 12 彼此具有不同的組成，該等組成經選擇使得二維電子氣(2DEG)19(由虛線所繪示)，亦即，傳導通道，在靠近第一 III-N 層 11 及第二 III-N 層 12 之間的介面被感應出。電極界定層 33 形成於第二 III-N 層上方，電極界定層 33 包含凹口 17，凹口 17 可延伸通過電極界定層 33 之整個厚度。或者，凹口 17 可僅部分地延伸通過電極界定層(未圖示)。電極界定層 33 通常介於約 0.1 微米與 5 微米厚之間，例如約 0.85 微米厚。電極界定層 33 可具有實質上各處都均勻的組成。電極界定層 33 由絕緣體所形成，例如矽氮化物(SiN_x)。

【0029】 閘電極 59 形成於凹口中。在第 4 圖圖示的實施方式中，閘電極 59 保形覆蓋凹口中的整個曝露的表面，雖然在某些實施方式中，閘電極 59 僅覆蓋凹口中的曝露的表面之一部分(未圖示)，如以下進一步所述。在閘極區域 51 中的閘電極 59 之部分 61 爲裝置之閘極 61。閘電極 59 進一步包含第一延伸部分 54 及第二延伸部分 55，第一延伸部分 54 在汲極入口區域 53 中的電極界定層之至少一部分上方，第二延伸部分 55 在源極入口區域 52 中的電極界定層之至少一部分上方。第一延伸部分 54 作爲電場板，當裝置以大的汲極-源極電壓而被偏壓於截止狀態中時(亦即，閘極-源極電壓低於裝置臨界電壓)，降低裝置中的峰值電場。裝置包含第二延伸部分 55 以確保如果於裝置製造期間發生閘電極 59 與凹口之不對準時，閘電極 59 延伸朝向源極接點 14 至少超越閘極區域 51 之源極側邊緣。閘電極 59 在電極界定區域中被保形沉積於凹口中。

【0030】 第一延伸部分 54 在凹口之側壁 43 上方，側壁 43 從點 44(亦即，最靠近閘極區域 51 的電極界定層 33 之部分)延伸直到最靠近汲極的凹口之頂上的邊緣處的點 45。第二延伸部分 55 在凹口之側壁 46 上方，側壁 46 從點 47(亦即，最靠近區域 51 的電極界定層 33 之部分)延伸直到最靠近源極的凹口之頂上的邊緣處的點 48。因此，延伸部分 54 之輪廓及延伸部分 55 之輪廓爲至少部分地分別由側壁 43 之輪廓及側壁 46 之輪廓所決定。雖然第二延伸部分 55 圖示爲延伸超過整個側壁 46 至少到達點 48，在某些實施方式中，延伸部分 55 僅沿側壁 46 向上延伸部分(未圖示)。讓第二延伸部分 55 僅沿側壁

46 向上延伸部分可降低閘極電容值，此舉改善裝置效能。然而，在某些情況下，相較於類似的裝置其中第二延伸部分 55 僅沿側壁 46 向上延伸部分，讓第二延伸部分 55 延伸超過整個側壁 46 至少到達點 48 降低分散(dispersion)。

【0031】 源極接點 14 及汲極接點 15 分別位於閘極 59 之相對側上且形成歐姆接點至 2DEG 通道 19。III-N HEMT 還包含閘極區域 51 及分別位於閘極區域之相對側上的源極入口區域 52 及汲極入口區域 53，閘極 61 沉積於閘極區域 51 中。源極接點 14 及汲極接點 15 分別沉積於裝置結構之區域 56 中，該等區域 56 稱作裝置歐姆區域。源極入口區域 52 位於源極接點 14 與閘極 61(亦即，在閘極區域 51 中的閘電極 59 之部分)之間，且汲極入口區域 53 位於汲極接點 15 與閘極 61 之間。III-N HEMT 還包含額外的 III-N 層(未圖示)，舉例而言，在第一 III-N 層 11 與基板 10 之間的 III-N 緩衝層，或在第一 III-N 層 11 與第二 III-N 層 12 之間的 III-N 層例如 AlN。III-N HEMT 還可任選地包含鈍化層 22 及額外的介電層 21(亦爲任選)，鈍化層 22 接觸至少在凹口區域中的 III-N 材料表面，額外的介電層 21 在鈍化層 22 與電極界定層 33 之間。如第 4 圖所示，在電極界定層 33 中的凹口 17 可延伸通過額外的介電層 21 之整個厚度但不通過鈍化層 22。因此，鈍化層 22 可在 III-N 材料與閘極區域 51 中的閘極 61 之間，藉此作爲閘極絕緣體。閘極絕緣體可幫助避免 HEMT 中的閘極漏電流。

【0032】 分散意指相較於當裝置在 DC 條件下操作時，當裝置在 RF 條件或切換條件下操作所時觀察到的電流-電壓(I-V)

特徵中的差異。在 III-N 裝置中，例如分散的效應經常由在 III-N 材料層之最上方的一或更多個表面處的電壓波動所導致，於裝置操作期間表面狀態之充電之結果。因此，鈍化層例如第 4 圖中的層 22，藉由避免或抑制於最上方的 III-N 表面處的電壓波動來避免或抑制分散。

【0033】 在包含有鈍化層 22 的實施方式中，電極界定層 33 與鈍化層 22 之結合維持裝置之最上方的 III-N 表面之有效鈍化。當額外的介電層 21 例如 AlN 被包含於鈍化層 22 與電極界定層 33 之間時，額外的介電層 21 可能需要做得夠薄，例如比約 20 nm 薄，比約 10 nm 薄或比約 5 nm 薄，以確保仍能維持最上方的 III-N 表面之有效鈍化。太厚的額外的介電層 21，例如大於約 20 nm，可能劣化層 22 之鈍化效果及層 23 之鈍化效果。

【0034】 第 4 圖之 III-N HEMT 可爲增強模式(亦即，常關型，且臨界電壓大於 0V)或空乏模式(亦即，常開型，且臨界電壓小於 0V)裝置。用於第 4 圖之 III-N HEMT 的其他配置亦爲可能的。舉例而言，在一個實施方式中，在電極界定層 33 中的凹口 17 僅延伸部分地通過電極界定層 33 之厚度，使得電極界定層 33 之一部分位於 III-N 材料與閘極區域中的閘極 61 之間(未圖示)。在此情況下，電極界定層 33 亦可作爲閘極絕緣體，且省略鈍化層 22 及/或額外的介電層 21 可爲可能的。在其他實施方式中，在電極界定層 33 中的凹口 17 額外地延伸通過鈍化層 22 之整個厚度，且閘極 61 直接接觸位於下方的 III-N 材料(未圖示)。在又另一個實施方式中，凹口 17 進一步

延伸進入 III-N 材料中，如第 5 圖所示。

【0035】 第 5 圖繪示與第 4 圖之 III-N HEMT 相似的 III-N HEMT，除了在沉積閘電極 59 之前，電極界定層 33 中的凹口 17 被進一步蝕刻而延伸通過鈍化層 22 且進入 III-N 材料結構(層 11 及層 12)中。如第 5 圖所示，凹口 17 可延伸通過 2DEG 19。在凹口 17 延伸通過 2DEG 19 的情況中，該 HEMT 可爲增強模式裝置。

【0036】 參照第 4 圖及第 5 圖，電極界定層 33 之側壁 43 及側壁 46 各者包含複數個階梯(且因此閘電極 59 之延伸部分 54 及延伸部分 55 亦包含複數個階梯)。側壁 43 及側壁 46 各者具有等效斜率，該等等效斜率分別等於虛線 63 及虛線 66 之斜率，其中虛線 63 通過點 44 及點 45，且虛線 66 通過點 47 及點 48。如此，側壁 43 及側壁 46 各者與位於下方的 III-N 材料結構之最上方表面分別形成等效角 36 及 37。或以不同的方式來描述，側壁 43 及側壁 46 之各側壁具有等效斜率，等效斜率分別等於虛線 63 及虛線 66 之斜率。

【0037】 如第 4 圖及第 5 圖所示，側壁 46 之等效斜率大於側壁 43 之等效斜率，且在許多情況下側壁 46 之等效斜率大幅大於側壁 43 之等效斜率。對應地，由側壁 46 相對於 III-N 材料結構之最上方表面所形成的等效角 37 大於(舉例而言，大幅大於或至少大於 10 度)由側壁 43 相對於 III-N 材料結構之最上方表面所形成的等效角 36。鄰近汲極 15 的側壁 43 之等效角 36 被維持足夠小，以允許能施加較大的截止狀態電壓，而無裝置承受高電場崩潰或其他與裝置中較大電場關聯的有害

的效應的情況。亦即，增加等效角 36 通常造成當裝置在截止狀態時(亦即，當閘極相對於源極於低於裝置臨界電壓的某電壓下偏壓時)對於給定的汲極-源極電壓該裝置中峰值電場的增加，導致較低的關閉狀態操作電壓及崩潰電壓。然而，對於源極 14 與閘極 61 之間給定的分隔，增加側壁 46 之等效角 37 可降低閘極-源極電容值，此舉有益於裝置效能。若使得有效角 37 實質上與角 36 相同，而非如圖示的大於角 36，則可能需要增加源極 14 與閘極 61 之間的分隔，以允許可靠的裝置製造且避免閘極-源極電容值太大。

【0038】 第 6 圖爲第 4 圖之裝置及第 5 圖之裝置之平面圖(頂視)，且包含交錯的源極接點 14 及汲極接點 15 之「手指」，而源極接點 14 連接至源極接觸墊 64 且汲極接點 15 連接至汲極接觸墊 65。虛線 60 指示對應於第 4 圖及第 5 圖中繪示的橫截面之切片。如第 6 圖所示，閘極 61 以類似蛇紋石的圖案來形成且寬度 S1 之區域與寬度 D1 之區域交錯，其中 D1 實質上大於 S1。源極接點 14 之手指在寬度 S1 之區域中，且汲極接點 15 之手指在寬度 D1 之區域中。閘極 61 亦可連接至閘極接觸墊(未圖示)。雖然第 6 圖繪示 3 個源極手指及 3 個汲極手指，通常而言裝置可包含較少或較多源極手指及汲極手指。

【0039】 使用習知技術可能難以再現地達成凹口 17 之形成，凹口 17 含有第 4 圖及第 5 圖中繪示的形狀的閘電極 59，其中側壁 43 及側壁 46 之各者包含複數個階梯且具有不同的等效斜率。製造第 4 圖至第 6 圖之裝置之簡單且可再現的方法繪示於第 7 圖至第 16 圖。該方法利用寬度 S1 及寬度 D1 的

差，如以上參照第 6 圖所述，用以達成在具有如第 4 圖及第 5 圖所示的輪廓的電極界定層 33 中的凹口 17，其中側壁 46 之等效斜率大於側壁 43 之等效斜率。該方法僅需要單一微影步驟但仍然能達成凹口 17 之輪廓，其中側壁 46 之等效斜率大於(例如，大幅大於)側壁 43 之等效斜率。可用以達成如此輪廓的其他流程通常涉及多個微影步驟且因此比起繪示於第 7 圖至第 16 圖中且如下所述的方法更爲複雜且昂貴。

【0040】 參照第 7 圖，舉例而言，藉由有機金屬化學氣相沉積法(MOCVD)或分子束磊晶(MBE)，III-N 材料層 11 及 III-N 材料層 12 形成於基板 10 上。然後藉由例如 MOCVD 或電漿輔助化學氣相沉積(PECVD)的方法來沉積形成於 III-N 材料層 11 及 III-N 材料層 12 上方的鈍化層 22。再者，如第 8A 圖中可見，分別形成源極接點 14 及汲極接點 15。源極接點及汲極接點與在 III-N 材料層中感應出的 2DEG 19 電性接觸。源極接點 14 及汲極接點 15 分別可以數種方式來形成。舉例而言，於層 12 之表面上，舉例而言，藉由蒸鍍、濺射或 CVD，可於歐姆接觸區域 56(第 4 圖中所示)中沉積金屬或數個金屬之組合，繼之以熱退火，熱退火導致沉積的金屬與位於下方的半導體材料形成金屬合金。或者，n 型摻質可被離子佈植進入歐姆區域 56 中，繼之以於此區域頂上的藉由沉積、濺射或 CVD 的金屬沉積。或是歐姆接觸區域 56 中的材料可被蝕刻掉，藉由 MOCVD 或 MBE，n 型材料可再生長於此區域中，且然後金屬可沉積於此區域頂上。第 8B 圖圖示第 8A 圖中的裝置之平面視圖，其中虛線 80 指示第 8A 圖中繪示的橫截面。如第

8B 圖可見，沉積交錯的源極接點 14 之手指及汲極接點 15 之手指，使得相鄰源極手指與汲極手指之間的間隔於裝置各處爲近似相同的。

【0041】 其次，如第 9 圖可見，舉例而言，藉由 PECVD、濺射或蒸鍍，額外的介電層 21 及電極界定層 33 沉積於鈍化層 22 上方。然後，舉例而言，藉由反應性離子蝕刻 RIE 或感應耦合電漿(ICP)蝕刻，通過電極界定層蝕刻出凹口。用於形成凹口的流程繪示於第 10 圖至第 16 圖中。

【0042】 參照第 10A 圖，於電極界定層 33 上圖案化光阻遮罩層 71 以具有開口 72。可藉由標準微影流程來實行圖案化。第 10B 圖圖示第 10A 圖中的裝置之平面圖，其中虛線 90 指示第 10A 圖中繪示的橫截面。藉由具有虛線的矩形來指示被光阻遮罩層 71 所覆蓋的源極手指 14 及汲極手指 15。如第 10B 圖可見，在光阻遮罩層 71 中的開口 72 是以類似蛇紋石的圖案來形成且寬度 S1'之區域與寬度 D1'之區域交錯，其中 S1'與第 6 圖中的寬度 S1 近似相同，且 D1'與第 6 圖中的寬度 D1 近似相同。正好位於相鄰的源極手指與汲極手指之間的開口 72 之部分爲設置於比起汲極手指實質上較靠近源極手指處，因此，D1'實質上大於 S2'。因此，在寬度 D1'之區域中的光阻之體積及表面面積大幅大於在寬度 S1'之區域中的光阻之體積及表面面積。

【0043】 然後，舉例而言，藉由熱退火該結構，重新分佈在遮罩層 71 中的光阻，導致如第 11 圖中所示的光阻輪廓。於不損害光阻層 71 或位於下方的層之任一層的溫度下實行退

火。如第 11 圖所繪示，於光阻之重新分佈之後，光阻遮罩層具有傾斜的側壁 73 及側壁 74。側壁 73 及側壁 74 之確切斜率及造成的輪廓至少部分取決於正好與側壁相鄰的光阻之部分之體積及/或表面面積。因爲與側壁 74 相鄰的光阻之部分(該部分具有寬度 D1')比起與側壁 73 相鄰的光阻之部分(該部分具有寬度 S1')具有實質上較大的體積及表面面積，所以於開口 72 中造成的側壁輪廓爲非對稱的，且側壁 73 比側壁 74 陡。光阻層 71 及側壁 73 與 74 之造成的輪廓可進一步藉由變化退火條件來控制，退火條件例如退火時間、退火溫度及在其中實行退火的周圍氣體之化學物。舉例而言，較長的退火時間或更高的溫度可導致側壁 73 及側壁 74 中的較小斜坡，雖然如第 11 圖中繪示且上述的不對稱性仍維持。

【0044】 參照第 12 圖，然後藉由實行第一蝕刻來部分地形成在電極界定層 33 中的凹口，第一蝕刻採用蝕刻化學物，該蝕刻化學物蝕刻在層 71 中的光阻及電極界定層 33 之材料兩者。舉例而言，若電極界定層 33 爲 SiN_x，則可藉由使用蝕刻化學物的反應性離子蝕刻(RIE)或感應耦合電漿(ICP)蝕刻來實行第一蝕刻，該蝕刻化學物包含 O_2 及 SF_6。在某些實施方式中，第一蝕刻爲實質上非等向性蝕刻。

【0045】 如第 13 圖所繪示，然後實行第二蝕刻，第二蝕刻蝕刻光阻遮罩層 71 而無實質上蝕刻電極界定層 33，藉此增加開口 72 之寬度。舉例而言，若電極界定層 33 爲 SiN_x，則可藉由使用蝕刻化學物的反應性離子蝕刻(RIE)或感應耦合電漿(ICP)蝕刻來實行第二蝕刻，該蝕刻化學物僅包含 O_2。在某些

實施方式中，第二蝕刻爲實質上等向性蝕刻。然後實行第三蝕刻，如同第一蝕刻，第三蝕刻利用蝕刻化學物，該蝕刻化學物蝕刻在層 71 中的光阻及電極界定層 33 之材料兩者，造成第 14 圖之輪廓。如第 14 圖所示，形成於電極界定層 33 中的凹口之源極側上的側壁之水平寬度 74 大於形成於凹口之源極側上的側壁之水平寬度 73。然後重複數次光阻蝕刻流程與繼之以用於蝕刻層 71 及層 33 兩者之流程，重複該等流程直到凹口 17 延伸直到通過電極界定層 33，造成具有陡峭側壁的孔徑。然後，舉例而言，藉由溶劑清潔，移除光阻遮罩層 71，造成第 15 圖中所示的輪廓。額外的介電層 21 可由實質上不被用以蝕刻電極界定層 33 中的凹口之蝕刻流程所蝕刻的材料所形成。在該等例子中，額外的介電層 21 作爲蝕刻終止層。

【0046】 參照第 16 圖，然後舉例而言藉由實行蝕刻來移除與電極界定層 33 中的凹口 17 相鄰的額外的介電層 21 之部分，該蝕刻蝕刻額外的介電層 21 之材料但不蝕刻電極界定層 33 或鈍化層 22 之材料。舉例而言，當層 33 及層 22 皆爲 SiN_x，且層 21 爲 AlN 時，與電極界定層 33 中的凹口 17 相鄰的層 21 之該部分可於鹼中被化學蝕刻，例如光阻顯影劑。最後，舉例而言藉由蒸鍍、濺射或 CVD，電極 59 保形地沉積於凹口中，造成第 17 圖之電晶體，第 17 圖之電晶體與第 4 圖之電晶體相同。爲了形成第 5 圖之電晶體，於沉積電極 59 之前，實行額外的蝕刻，此舉將凹口 17 延伸通過鈍化層 22 且進入 III-N 材料結構中。

【0047】 由於上述用於形成電極界定層 33 中的凹口 17 之蝕

刻過程之本質，側壁 43 及側壁 46(標記於第 17 圖中)各具有相同數目的階梯。於相對側上同時形成的階梯具有實質上相同的高度。舉例而言，參照第 17 圖之裝置，同時形成的階梯 81 及階梯 91 具有實質上相同的高度。相似地，階梯 82 及階梯 92 具有實質上相同的高度，階梯 83 及階梯 93 具有實質上相同的高度，且階梯 84 及階梯 94 具有實質上相同的高度。此外，階梯 81 至階梯 84 之各者之大小及寬度實質上正比於在相對側壁上的對應階梯之大小及寬度。亦即，階梯 81 之寬度對於階梯 91 之寬度之比例，階梯 82 之寬度對於階梯 92 之寬度之比例，階梯 83 之寬度對於階梯 93 之寬度之比例，及階梯 84 之寬度對於階梯 94 之寬度之比例皆大約相同，亦即，實質上相同。在替代的過程中，其中階梯之各者由階梯自己的微影流程所形成，由於在微影流程中固有的對準公差(例如，不對準)，在對應的階梯之寬度之比例之間的上述關係通常無法維持。

【0048】 第 4 圖至第 6 圖之裝置或者可藉由使用上述的方法之稍微經修改的版本來形成。舉例而言，可於在電極界定層 33 中形成凹口 17 之後分別形成源極接點 14 及汲極接點 15。此外，對於第 6 圖之裝置，用以將凹口 17 延伸進入 III-N 材料結構中所實行的額外的蝕刻步驟可包含以下步驟。一旦凹口延伸通過鈍化層 22 至 III-N 材料之最上方的表面，且在電極 59 之沉積之前，可使用蝕刻化學物來蝕刻該結構，比起用於電極界定層 33 及鈍化層 22 所使用的材料之蝕刻速率，該蝕刻化學物於較高的蝕刻速率下蝕刻 III-N 材料。舉例而言，

當電極界定層 33 及鈍化層 22 皆爲 SiN_x 時，可實行 Cl_2 RIE 或 ICP 蝕刻，造成凹口延伸進入 III-N 材料結構中。

【0049】 再次參照第 17 圖之裝置，階梯 81 至階梯 84 及階梯 91 至階梯 94 之各者包含兩個表面(雖然該等步驟可各包含額外的表面)。該等表面之一個表面爲水平的(亦即，實質上平行於 III-N 材料結構之最上方表面)，同時第二表面爲傾斜的表面，且第二表面相對於 III-N 材料結構之最上方表面呈某角度。各階梯之傾斜的表面之傾斜的角度爲製造過程中使用的光阻遮罩層 71 之傾斜的側壁之結果，如第 11 圖中所繪示。如先前所述，光阻層之側壁中的傾斜爲重新分佈流程例如熱退火所導致的。然而，階梯 81 至階梯 84 及階梯 91 至階梯 94 之傾斜表面或者可由實質上垂直表面所取代。若需要實質上垂直表面而非傾斜的表面，則可省略光阻重新分佈流程或更改光阻重新分佈流程以改變造成的光阻輪廓。

【0050】 參照凹口 17 之側壁 43，側壁 43 界定第 4 圖及第 17 圖之裝置中的電場板 54 之形狀，吾人已發現藉由引入較大的階梯之數目/密度而不改變其他裝置參數之任一參數，能可靠地達成較高電壓操作。此外，若增加階梯之數目/密度，則吾人已發現裝置可以與具有較低的階梯之數目/密度的裝置相似的可靠性來操作，即使減少閘極-汲極間隔(在第 17 圖中標記爲 L_{GD})，此爲無法預期的結果。此外，若增加階梯之數目/密度，則吾人已發現裝置可以與具有較低的階梯之數目/密度的裝置相似的可靠性來操作，即使減少電場板長度(在第 17 圖中標記爲 L_{FP})，此亦爲無法預期的結果。舉例而言，具有電場

板長度 L_{FP} 等於 11.5 微米(其中 L_{FP} 界定爲從點 44 至電場板之邊緣的水平長度，如第 17 圖所繪示)且 8 個階梯(例如，階梯密度大於每微米的電場板長度下 0.4 個階梯)及閘極-汲極間隔 L_{GD}(其中 L_{GD} 如第 17 圖中所示來界定)等於 18 微米(例如，小於 20 微米)的裝置，當該裝置在截止狀態時(亦即，當閘極相對於源極以低於裝置臨界電壓的電壓下被偏壓時)，已發現該裝置可靠地支持至少 600V 的汲極-源極電壓。在這些裝置中，於 600V 的汲極-源極電壓且相對於源極以低於裝置臨界電壓來偏壓閘極，每單位閘極寬度下的截止狀態汲極電流爲約 10^{-8} Amps/mm，且直流導通電阻值爲低於 16 歐姆毫米，其中直流導通電阻值界定爲當閘極被偏壓導通時，於低汲極-源極電壓下裝置之直流電流-電壓曲線之斜率。藉由增加用於源極歐姆接點及汲極歐姆接點的金屬之厚度，直流導通電阻值能進一步減低至約 12 歐姆毫米或更低。這些裝置還具有非常低的直流-射頻(DC-RF)分散。裝置之動態導通電阻值，界定爲在切換條件下的導通電阻值，爲低於針對 2 微秒或更少的切換時間(亦即，轉換率)之直流導通電阻值的 1.1 倍(例如，實質上低於 1.5 倍)。在比較中，以僅具有 3 個階梯的電場板所形成的裝置，但具有在其他方面與上述裝置相似的結構，當裝置在截止狀態時，需要 22 微米的閘極-汲極間隔 L_{GD}(例如，大於 20 微米)以可靠地支持至少 600V 的汲極-源極電壓。此外，由於增加的閘極-汲極間隔，這些裝置展現了實質上較大的直流導通電阻值及動態導通電阻值。

【0051】 此外，還已發現階梯 81 與最靠近階梯 81 的階梯(階

梯 82 至 84)之相對大小於高電壓操作期間會影響裝置之可靠性。明確而言，使階梯 82 及任選地階梯 83 爲實質上小於階梯 81，繼之以較大的階梯(階梯 84)，如第 17 圖所示，於高電壓操作期間增加裝置之可靠性。此亦爲無法預期的結果。據推測，具有如此的階梯大小圖案減低靠近內在閘極之汲極側邊緣(亦即，靠近點 44)的峰值電場同時仍維持沿著電場板之長度之剩餘長度的高電場，藉此允許以低峰值電場得以支持較大的電壓。

【0052】 如前所述，III-N 層 11 及 III-N 層 12 彼此之間具有不同的組成。選擇該等組成使得第二 III-N 層 12 比起第一 III-N 層 11 具有較大的間隙，此舉幫助實現 2DEG 19 之形成。作爲一個實例，III-N 層 11 可爲 GaN 且 III-N 層 12 可爲 AlGaN 或 AlInGaN 或 BAlInGaN，而層 12 可爲 n 摻雜或可不含有摻雜雜質之顯著濃度。在層 12 爲未摻雜的情況下，感應出的 2DEG 爲層 11 與層 12 之間的極化電場中的差異之結果。

【0053】 若 III-N 層 11 及 III-N 層 12 爲由以非極性或半極性定向的 III-N 材料所組成，則亦可能需要用 n 型雜質來摻雜全部的或部分的第二半導體層 12，以感應出 2DEG 19。若 III-N 層 11 及 III-N 層 12 爲於極化方向中定向，例如[0 0 0 1](亦即，III 族面向)定向，則藉由極化電場可感應出 2DEG 19 而不需要該等 III-N 層之任一者之任何實質的摻雜，雖然藉由用 n 型雜質來摻雜全部的或部分的第二 III-N 層 12 可增加 2DEG 片電荷濃度。增加的 2DEG 片電荷濃度可爲有利的，在於該等濃度可減低二極體導通電阻值，但該等濃度亦可導致較低

的逆向崩潰電壓。因此，2DEG 片電荷濃度較佳地被最佳化至針對應用之適合的值，於該應用中使用二極體。

【0054】 基板 10 可爲任何適合的基板，於該基板上可形成 III-N 層 11 及 III-N 層 12，舉例而言，碳化矽(SiC)、矽、藍寶石(sapphire)、GaN、AlN 或任何其他於該基板上可形成 III-N 裝置的適合的基板。在某些實施方式中，在基板 10 與半導體層 11 之間包含 III-N 緩衝層(未圖示)例如 AlGaN 或 AlN 以使層 11 及層 12 中的材料缺陷最小化。

【0055】 第 18 圖圖示與第 4 圖及第 17 圖之裝置相似的 III-N HEMT 電晶體之橫截面視圖，但該 III-N HEMT 電晶體爲製造於定向於 N 極性[0 0 0 1bar]方向中或爲氮終止半極性材料之 III-N 半導體材料上。裝置包含基板 200，基板 200 適合用於 N 極性 III-N 材料或半極性 III-N 材料之生長。層 201 爲緩衝層，例如 GaN 或 AlN，該緩衝層降低在下方的 III-N 材料中的缺陷密度。在某些情況下，可以省略層 201 且在基板 200 上直接生長 III-N 層 204。選擇 III-N 層 204 及 III-N 層 202 之組成使得在層 202 中靠近層 202 與層 204 之間的介面處可感應出 2DEG 19。舉例而言，層 204 可爲 AlGaN 或 AlInGaN，且層 202 可爲 GaN。額外的 III-N 層(未圖示)，例如 AlN 層，可被包含於 III-N 層 204 與 III-N 層 202 之間。另一個額外的 III-N 層(未圖示)，例如 AlInGaN、AlInN 或 AlGaN，亦可被包含於遠離 III-N 層 204 的 III-N 層 202 之相對側上。電極界定層 33，再次包含凹口，相似於或相同於第 4 圖及第 17 圖之電極界定層。閘極 59 形成於凹口中。閘極 59 包含在裝置之

閘極區域 51 中的主動閘極部分 61，以及延伸部分 54 及延伸部分 55，如第 4 圖及第 17 圖。閘極 59 保形地沉積於電極界定區域中的凹口中，且延伸部分 54 位於凹口之側壁 43 上方。因此，延伸部分 54 之輪廓爲至少部分由側壁 43 之輪廓所決定。源極接點 14 及汲極接點 15 分別位於閘極 59 之相對側上且形成歐姆接觸至 2DEG 通道 19。

【0056】 如在第 4 圖及第 17 圖之 HEMT 中，鈍化層 22 例如 SiN_x 層可被包含於 III-N 材料結構之最上方表面上，且額外的介電層 21 例如 AlN 層可被包含於電極界定層 33 與鈍化層 22 之間。如第 18 圖所示，在電極界定層 33 中的凹口可延伸通過額外介電層 21 之整個厚度但不通過鈍化層 22，使得鈍化層 22 亦作爲閘極絕緣體。

【0057】 第 18 圖之 III-N HEMT 可爲增強模式(亦即，常關型，且臨界電壓大於 0V)或空乏模式(亦即，常開型，且臨界電壓小於 0V)裝置。用於第 18 圖之 III-N HEMT 的其他配置亦爲可能的。舉例而言，在一個實施方式中，在電極界定層 33 中的凹口僅延伸部分地通過電極界定層 33 之厚度，使得電極界定層 33 之一部分位於 III-N 材料與閘極部分 61 之間(未圖示)。在此情況下，電極界定層 33 亦可作爲閘極絕緣體，且省略鈍化層 22 及/或額外的介電層 21 可爲可能的。在另一個實施方式中，在電極界定層 33 中的凹口額外地延伸通過鈍化層 22 之整個厚度，且閘極 59 直接接觸位於下方的 III-N 材料(未圖示)。在又另一個實施方式中，凹口進一步延伸進入 III-N 材料中(未圖示)，例如通過 2DEG 19，如第 5 圖之電晶體。

【0058】 用於形成第 18 圖之裝置的流程與圖示於第 7 圖至第 16 圖中用於形成第 4 圖之裝置的流程相同，除了形成於第 18 圖中之基板上的 III-N 材料層相較於形成於第 4 圖中之基板上的 III-N 材料層具有不同的晶體方向。

【0059】 已描述數個實施方式。然而，將瞭解，在不脫離本文描述的技術及裝置之精神與範疇的情況下可作各種修改。表示於該等實施方式之各者中的特徵可被獨立地使用或與其他特徵結合。因此，其他實施方式在下述申請專利範圍之範疇內。

【符號說明】

【0060】

10 基板

11 III-N 通道層/半導體層/第一 III-N 層

12 III-N 阻障層/半導體層/第二 III-N 層

13 絕緣層

14 源極接點/源極

15 汲極接點/汲極

16 閘極接點/閘極

17 凹口

18 電場板

19 二維電子氣(2DEG)通道

21 額外的介電層

22 鈍化層

23 絕緣層/電極界定層

24 傾斜型電場板

25 傾斜側壁

26 角度

28 III-N 材料結構之表面

29 電極

33 電極界定層

36 等效角

37 等效角

43 側壁

44 點

45 點

46 側壁

47 點

48 點

51 閘極區域

52 源極入口區域

53 汲極入口區域

54 第一延伸部分/電場板

55 第二延伸部分

56 歐姆接觸區域

59 閘電極

60 虛線

61 閘電極之部分/閘極/主動閘極部分

63 虛線

64 源極接觸墊

65 汲極接觸墊

66 虛線

71 光阻遮罩層

72 開口

73 側壁/水平寬度

74 側壁/水平寬度

80 虛線

81 階梯

82 階梯

83 階梯

84 階梯

90 虛線

91 階梯

92 階梯

93 階梯

94 階梯

200 基板

201 緩衝層

202 III-N 層

204 III-N 層

D1 寬度

D1' 寬度

L_{FP} 電場板長度

L_{GD} 閘極-汲極間隔

S1 寬度

S1' 寬度

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種 III 族-氮化物(III-N)電晶體，包括：

一 III-N 材料結構；

一源極及一汲極；

一電極界定層，該電極界定層具有一厚度，該電極界定層位於該 III-N 材料結構之一表面上方，該電極界定層具有一凹口，且於該汲極的近端具有一第一側壁及於該源極的近端具有一第二側壁，該第一側壁及該第二側壁各包括複數個階梯，其中該 III-N 材料結構的遠端的該凹口之一部分具有一第一寬度，且該 III-N 材料結構的近端的該凹口之一部分具有一第二寬度，該第一寬度大於該第二寬度；及

在該凹口中的一電極，該電極包含一延伸部分，該延伸部分至少部分位於該第一側壁上方；其中

該第一側壁相對於該 III-N 材料結構之該表面形成一第一等效角，且該第二側壁相對於該 III-N 材料結構之該表面形成一第二等效角，該第二等效角大於該第一等效角。

2. 如請求項 1 所述之電晶體，其中該第二等效角大幅大於該第一等效角。

3. 如請求項 1 所述之電晶體，其中該第二等效角比起該第一等效角至少大 10 度。

4. 如請求項 1 所述之電晶體，其中該 III-N 材料結構包括一

第一 III-N 材料層、一第二 III-N 材料層及一 2DEG 通道，該 2DEG 通道係因爲該第一 III-N 材料層與該第二 III-N 材料層之間的組成的差異而在該第一 III-N 材料層中鄰近該第二 III-N 材料層處被感應出。

5. 如請求項 4 所述之電晶體，其中該第一 III-N 材料層包含 GaN 且該第二 III-N 材料層包含 AlGaN、AlInN、AlInGaN 或 BAlInGaN。

6. 如請求項 4 所述之電晶體，其中該第一 III-N 材料層及該第二 III-N 材料層爲 III 族面向層或[0 0 0 1]定向層或 III 族終止半極性層，且該第二 III-N 材料層位於該第一 III-N 材料層與該電極界定層之間。

7. 如請求項 4 所述之電晶體，其中該第一 III-N 材料層及該第二 III-N 材料層爲 N 面向層或[0 0 0 -1]定向層或氮終止半極性層，且該第一 III-N 材料層位於該第二 III-N 材料層與該電極界定層之間。

8. 如請求項 4 所述之電晶體，其中該凹口延伸通過該電極界定層之整個該厚度。

9. 如請求項 8 所述之電晶體，其中該凹口延伸進入該 III-N 材料結構。

10. 如請求項 9 所述之電晶體，其中該凹口延伸通過該 2DEG 通道。

11. 如請求項 1 所述之電晶體，其中該電極界定層包括 SiN_x。

12. 如請求項 1 所述之電晶體，其中該電極界定層之一厚度介於約 0.1 微米與約 5 微米之間。

13. 如請求項 1 所述之電晶體，進一步包括該 III-N 材料結構與該電極界定層之間的一介電鈍化層，該介電鈍化層直接接觸鄰近該電極的該 III-N 材料之一表面。

14. 如請求項 13 所述之電晶體，其中該介電鈍化層包括 SiN_x。

15. 如請求項 14 所述之電晶體，其中該介電鈍化層位於該電極與該 III-N 材料結構之間，使得該電極不直接接觸該 III-N 材料結構。

16. 如請求項 14 所述之電晶體，進一步包括該介電鈍化層與該電極界定層之間的一額外的絕緣層。

17. 如請求項 16 所述之電晶體，其中該額外的絕緣層包括 AlN。

18. 如請求項 1 所述之電晶體，其中該電極之該延伸部分直接接觸該側壁。

19. 如請求項 1 所述之電晶體，其中

該電極包含一閘極，該閘極在該電晶體之一閘極區域中；及

該第一側壁及該第二側壁中的該複數個階梯各包含一第一階梯、一第二階梯及一第三階梯，該第一階梯具有正好鄰近該閘極的一第一階梯寬度，該第二階梯具有正好鄰近該第一階梯的一第二階梯寬度，且該第三階梯具有正好鄰近該第二階梯的一第三階梯寬度；其中

在該第一側壁中的該複數個階梯中的該第一階梯寬度對於該第二階梯寬度之一比例實質上相同於在該第二側壁中的該複數個階梯中的該第一階梯寬度對於該第二階梯寬度之一比例。

20. 如請求項 19 所述之電晶體，其中在該第一側壁中的該複數個階梯中的該第一階梯寬度對於該第三階梯寬度之一比例實質上相同於在該第二側壁中的該複數個階梯中的該第一階梯寬度對於該第三階梯寬度之一比例。

21. 如請求項 19 所述之電晶體，其中在該第一側壁中的該第一階梯寬度、該第二階梯寬度及該第三階梯寬度之一總和大

於在該第二側壁中的該第一階梯寬度、該第二階梯寬度及該第三階梯寬度之一總和。

22. 一種形成一半導體裝置之方法，包括以下步驟：

提供一半導體材料結構；

在該半導體材料結構之一表面上形成一電極界定層，該電極界定層具有一厚度；

在該電極界定層上方圖案化一遮罩層，該遮罩層包含一開口，該開口具有一寬度；及

蝕刻該電極界定層以在該電極界定層中形成一凹口，該凹口具有一第一側壁及相對於該第一側壁的一第二側壁，該第一側壁及該第二側壁各包括複數個階梯，該第一側壁相對於該半導體材料結構之該表面形成一第一等效角，且該第二側壁相對於該半導體材料結構之該表面形成一第二等效角，該半導體材料結構的遠端的該凹口之一部分具有一第一寬度，且該半導體材料結構的近端的該凹口之一部分具有一第二寬度，該第一寬度大於該第二寬度；其中

該蝕刻包含實行一第一流程及一第二流程，該第一流程包括移除該電極界定層之一部分，且該第二流程包括移除該遮罩層之一部分而非整個移除該遮罩層，該第二流程導致該遮罩層中的該開口之該寬度增加；及

該蝕刻造成該第二等效角大於該第一等效角。

23. 如請求項 22 所述之方法，其中該蝕刻造成該第二等效角

大幅大於該第一等效角。

24. 如請求項 22 所述之方法，其中該蝕刻造成該第二等效角比起該第一等效角至少大 10 度。

25. 如請求項 22 所述之方法，其中該遮罩層包括光阻。

26. 如請求項 25 所述之方法，進一步包括在實行該蝕刻步驟之前導致該遮罩層中的該光阻之一重新分佈。

27. 如請求項 26 所述之方法，其中導致該光阻之該重新分佈包括熱退火該光阻。

28. 如請求項 26 所述之方法，其中該光阻之該重新分佈造成該遮罩層在該開口之一側上具有一第一傾斜側壁及在該開口之相對側上具有一第二傾斜側壁。

29. 如請求項 28 所述之方法，其中該光阻之該重新分佈造成該第二傾斜側壁比起該第一傾斜側壁具有一較大的斜率。

30. 如請求項 22 所述之方法，進一步包含移除該遮罩層及在該凹口中形成一電極。

31. 如請求項 22 所述之方法，其中該蝕刻進一步包含在已實

行該第二流程之後再次實行該第一流程，及在已再次實行該第一流程之後再次實行該第二流程。

32. 如請求項 22 所述之方法，其中該蝕刻造成該凹口延伸通過該電極界定層之整個該厚度。

33. 如請求項 22 所述之方法，其中該半導體材料結構包括一 III-N 層。

34. 一種形成一半導體裝置之方法，包括以下步驟：

提供一半導體材料結構；

在該半導體材料結構之一表面上形成一電極界定層，該電極界定層具有一厚度；

在該電極界定層上方圖案化一遮罩層，該遮罩層包含一開口，該開口形成一圖案，該圖案包含複數個區域，具有一第一寬度的該複數個區域與具有一第二寬度的該複數個區域交錯，該第一寬度大於該第二寬度；及

蝕刻在該開口下的該電極界定層以在該電極界定層中形成一凹口，該凹口具有一第一側壁及一第二側壁，該第一側壁包含複數個區段，各該複數個區段鄰近具有該第一寬度的該等區域中之一者，且該第二側壁包含複數個區段，各該複數個區段鄰近具有該第二寬度的該等區域中之一者；其中

該蝕刻造成該第二側壁之該等區段之一平均斜率大於該第一側壁之該等區段之一平均斜率。

35. 如請求項 34 所述之方法，其中該蝕刻包括蝕刻通過該電極界定層之整個該厚度及於該蝕刻之整體期間使用該遮罩層作爲一蝕刻遮罩。

36. 如請求項 35 所述之方法，其中該蝕刻進一步包括蝕刻進入正好位於該電極界定層下的一層。

37. 如請求項 34 所述之方法，其中該半導體材料結構包括一 III-N 層。

38. 一種電晶體，包括：

一半導體材料結構，該半導體材料結構於該半導體材料結構中包含一通道；

一源極及一汲極，各該源極及該汲極與該通道電性接觸；及

位於該源極與該汲極之間的一電極，該電極包含一閘極及一延伸部分，該延伸部分從該閘極延伸朝向該汲極；其中

該電晶體具有低於 20 微米的一閘極-汲極間隔；

當該閘極以低於相對於該源極的該電晶體之一臨界電壓被偏壓，且該電晶體之一汲極-源極電壓爲約 600V 或更大時，該電晶體之每單位閘極寬度下的一截止狀態汲極電流爲約 10^{-8} Amps/mm 或更低；及

當該電晶體以 2 微秒或更低的一切換時間被切換時，該

電晶體之一動態導通電阻值爲低於該電晶體之一直流導通電阻值的 1.1 倍。

39. 如請求項 38 所述之電晶體，其中該半導體材料結構包括一 III-N 材料，且該通道位於該 III-N 材料中。

40. 如請求項 38 所述之電晶體，其中該電晶體之該直流導通電阻值爲低於 12 歐姆毫米。

41. 一種電晶體，包括：

一半導體材料結構，該半導體材料結構於該半導體材料結構中包含一通道；

一源極及一汲極，各該源極及該汲極與該通道電性接觸；及

位於該源極與該汲極之間的一電極，該電極包含一閘極及一延伸部分，該延伸部分從該閘極延伸朝向該汲極；其中

該電晶體具有低於 20 微米的一閘極-汲極間隔；

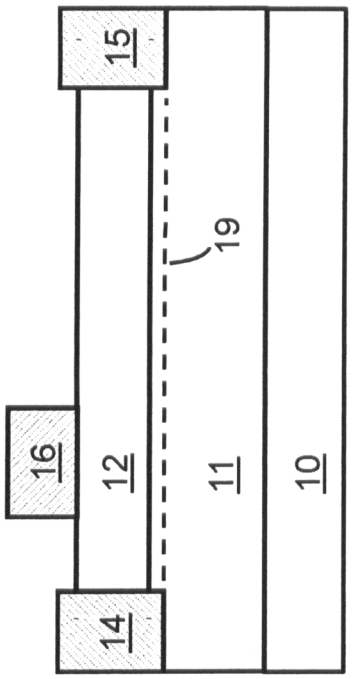
該延伸部分包含複數個階梯，其中該延伸部分之每微米的長度下在該複數個階梯中的階梯之數目大於 0.4；及

當該閘極以低於相對於該源極的該電晶體之一臨界電壓被偏壓，且該電晶體之一汲極-源極電壓爲約 600V 或更大時，該電晶體之每單位閘極寬度下的一截止狀態汲極電流爲約 10^{-8} Amps/mm 或更低。

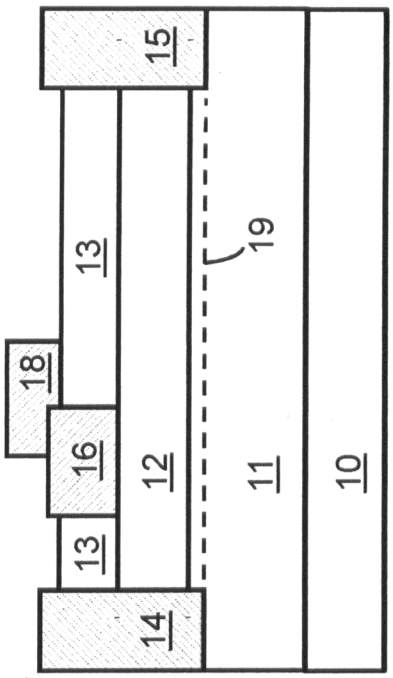
42. 如請求項 41 所述之電晶體，其中該延伸部分具有 12 微米或更短的一長度。

43. 如請求項 41 所述之電晶體，其中該電晶體之一直流導通電阻值爲低於 12 歐姆毫米。

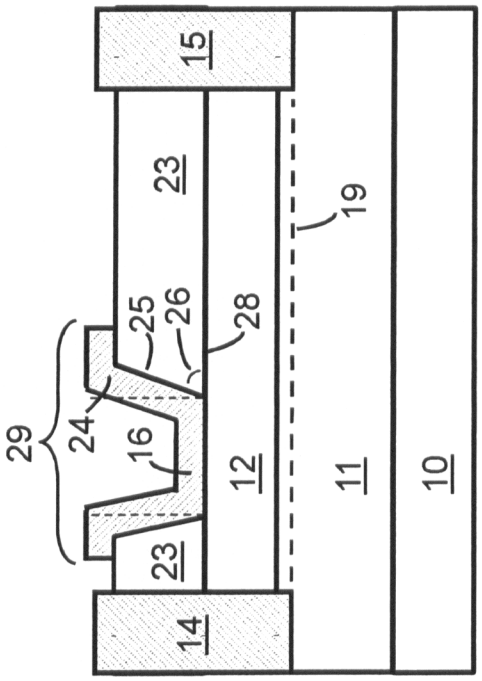
圖式



第1圖 (先前技術)

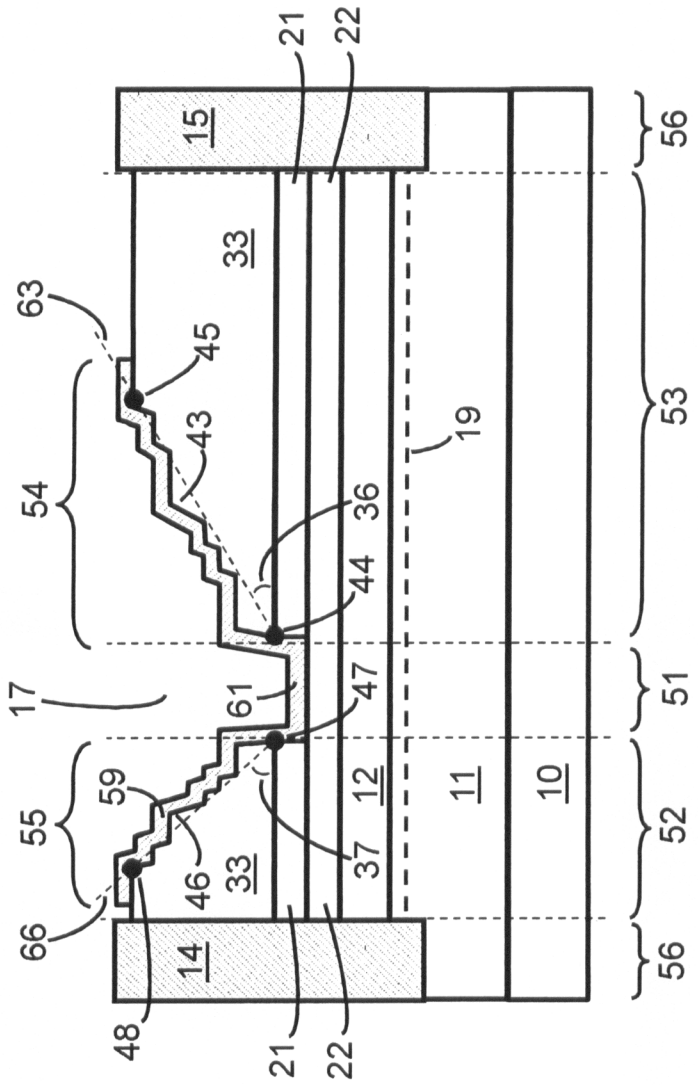


第2圖 (先前技術)

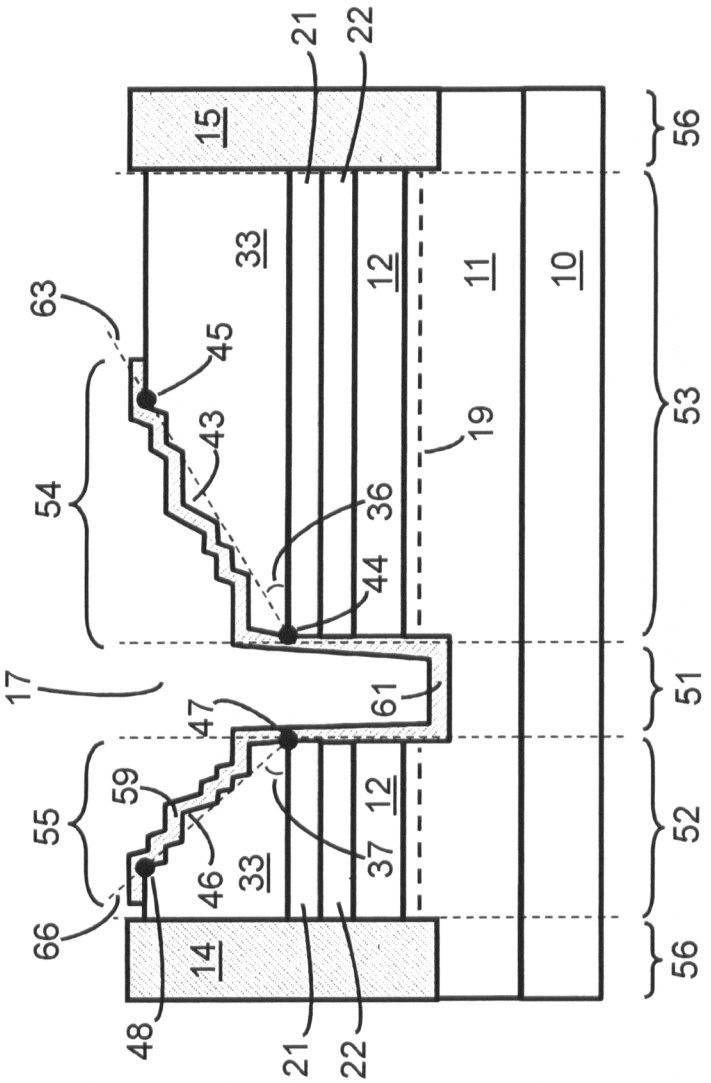


第3圖 (先前技術)

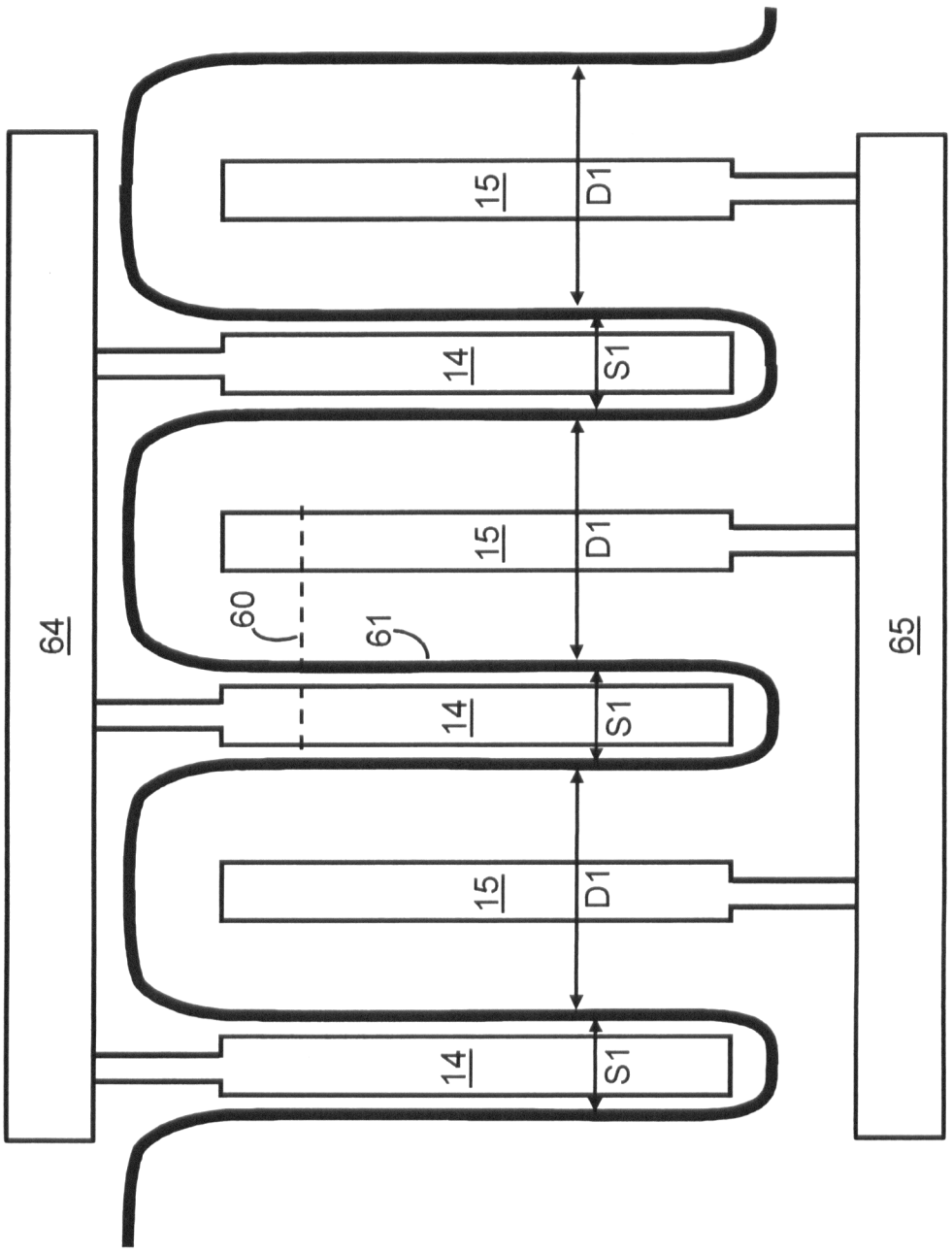
201438229



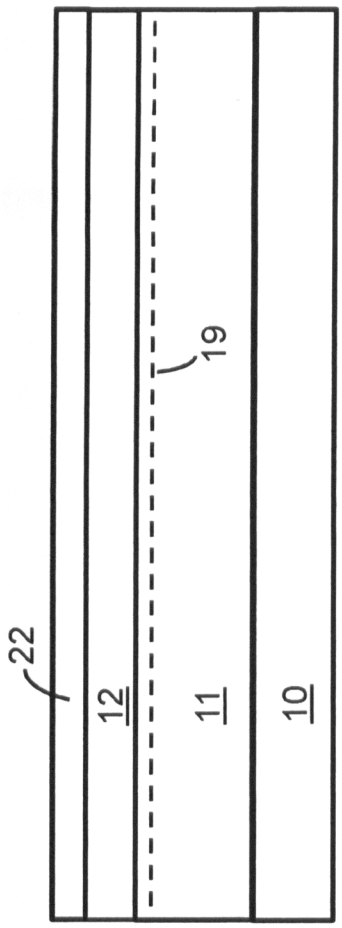
第4圖


21
22
15
56
33
12
11
10
63
45
43
19
54
36
44
53
17
61
51
47
59
55
12
37
52
46
33
66
14
56
48
21
22

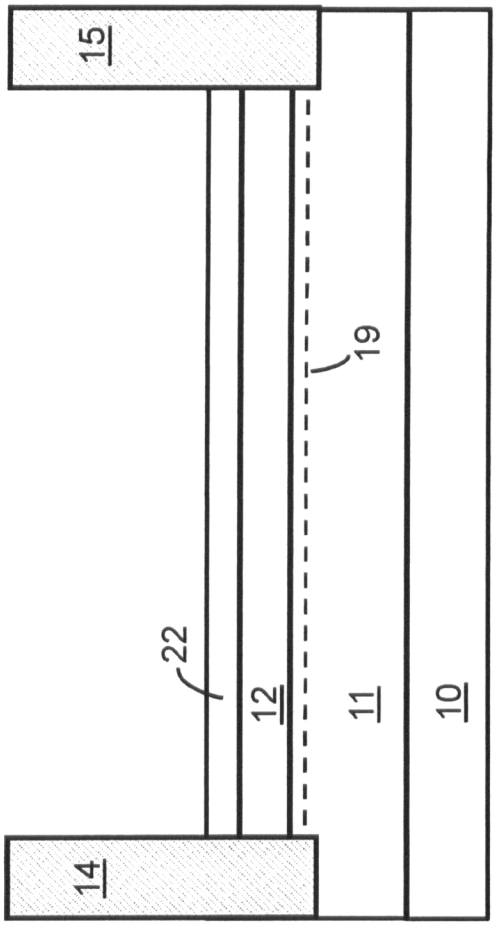
第5圖



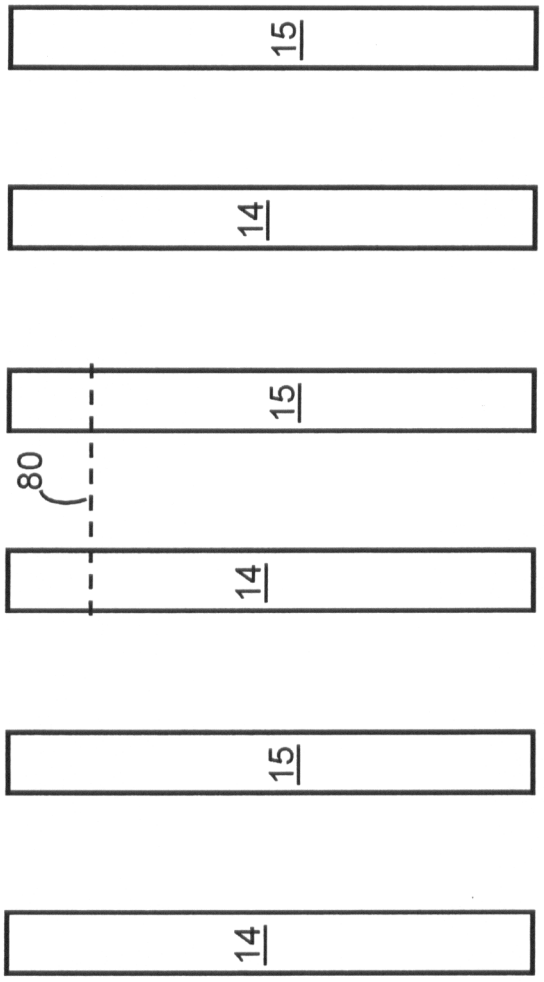
第6圖



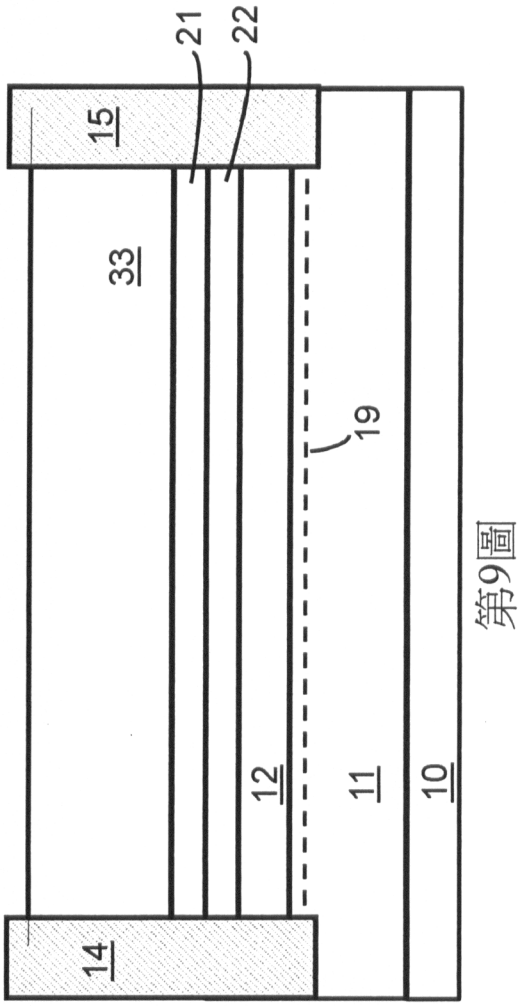
第7圖



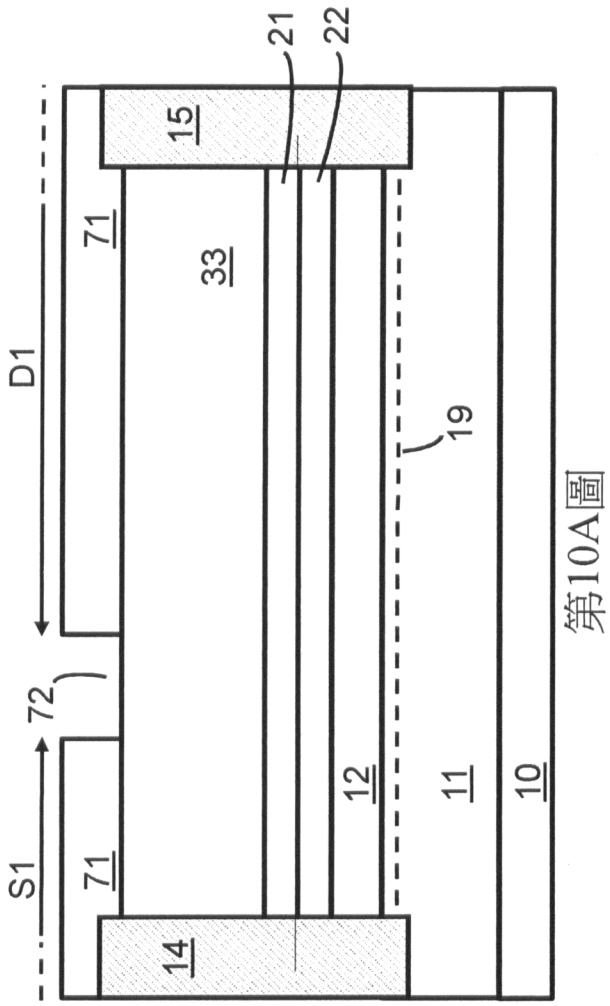
第8A圖



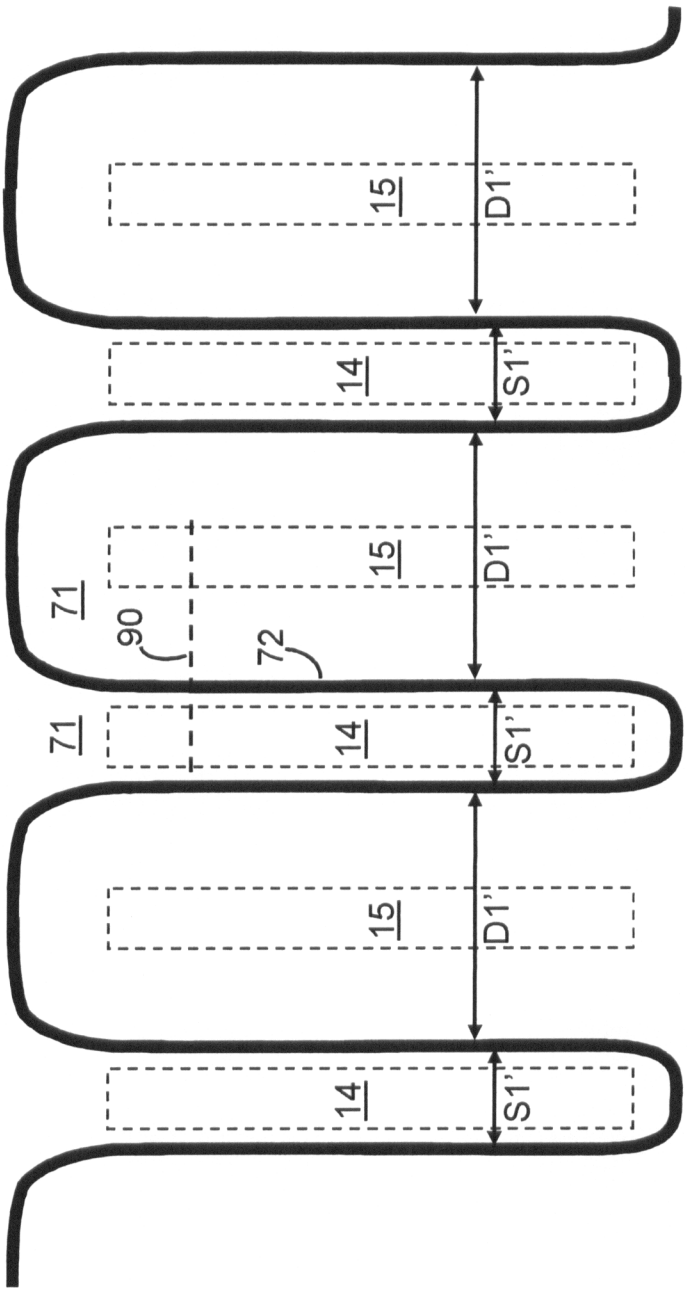
第8B圖



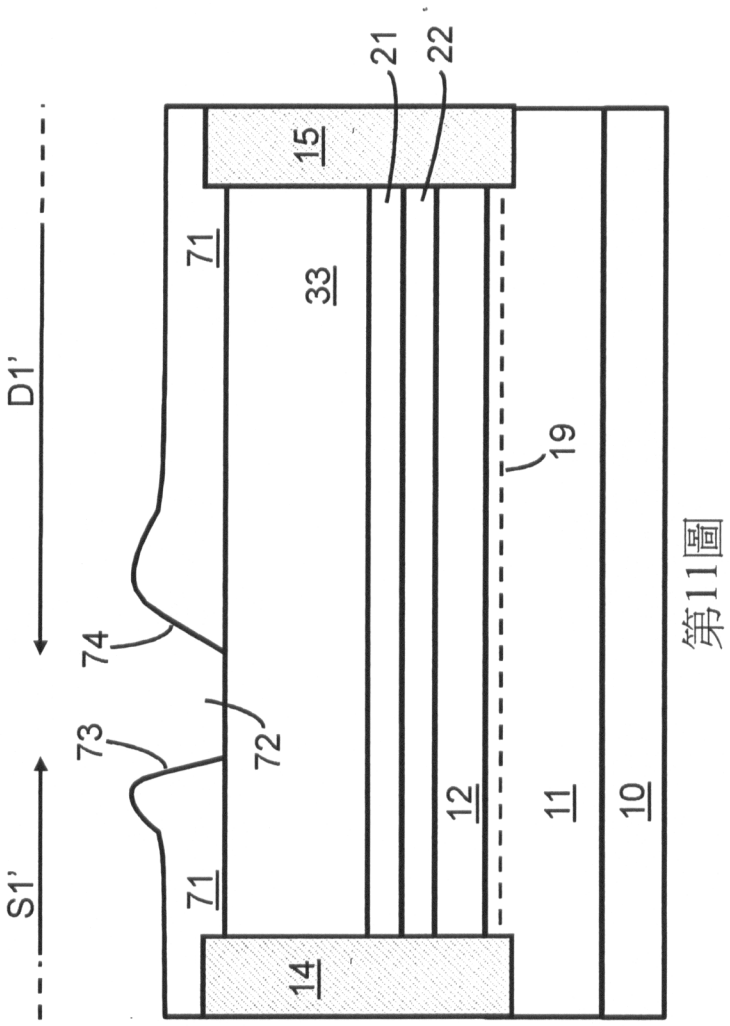
第9圖



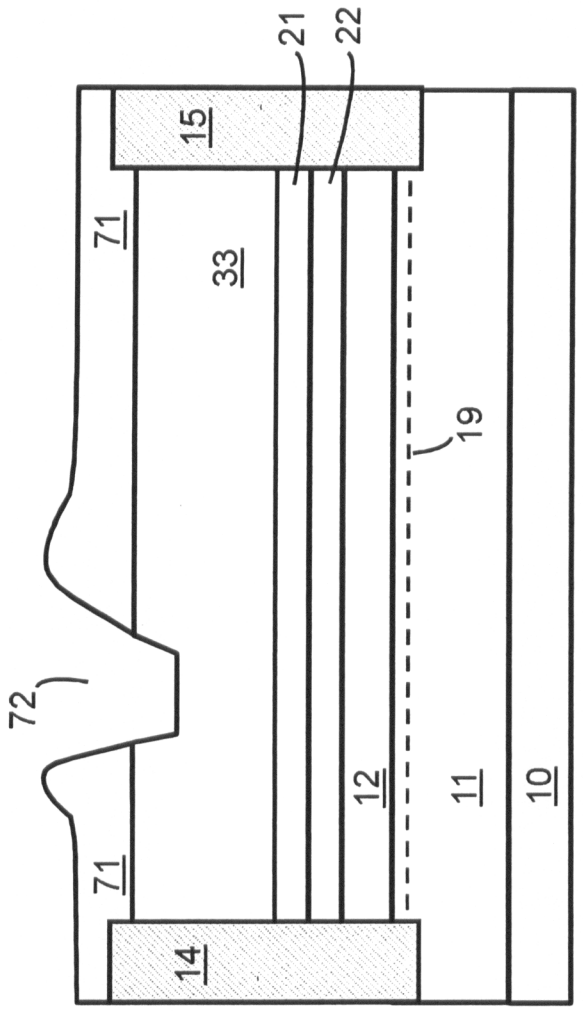
第10A圖



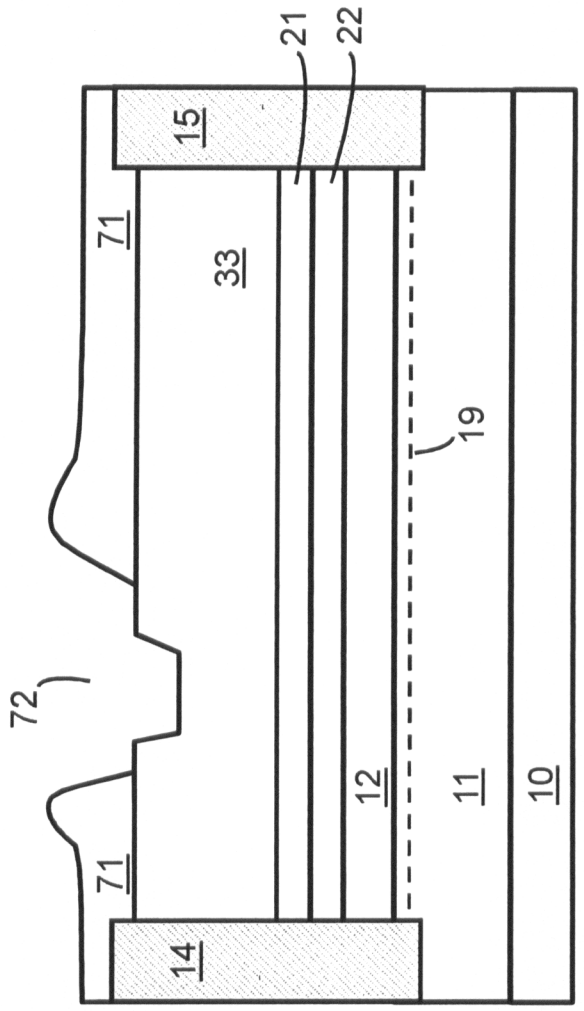
第10B圖



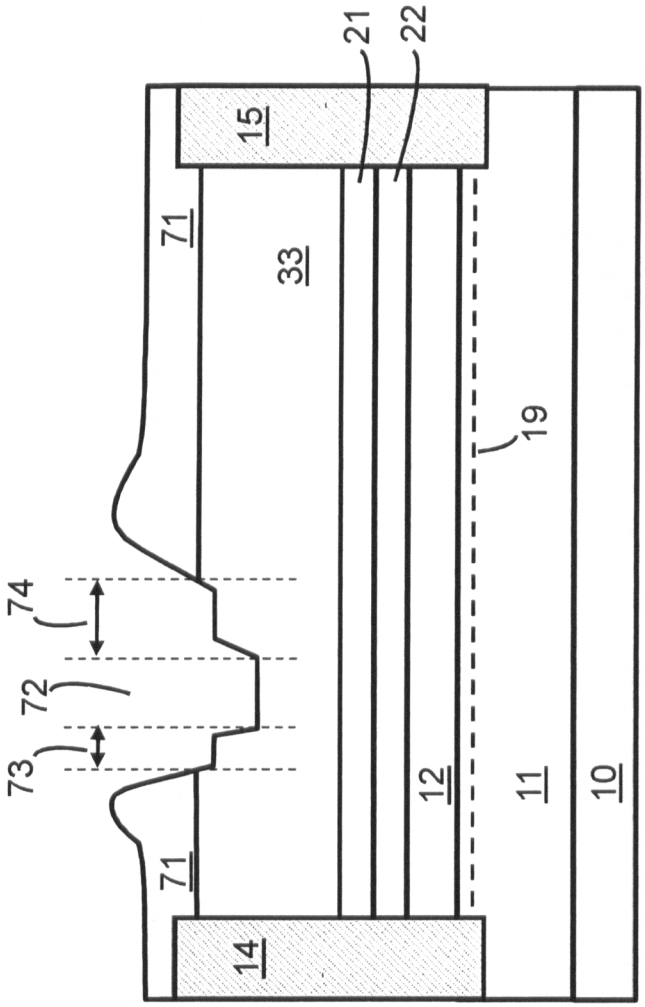
第11圖



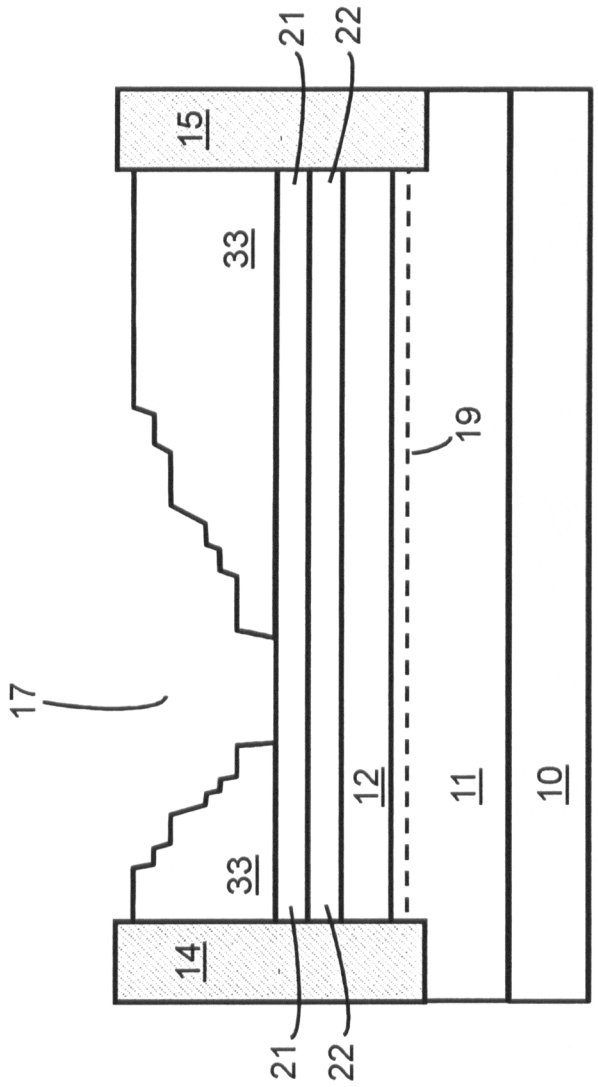
第12圖



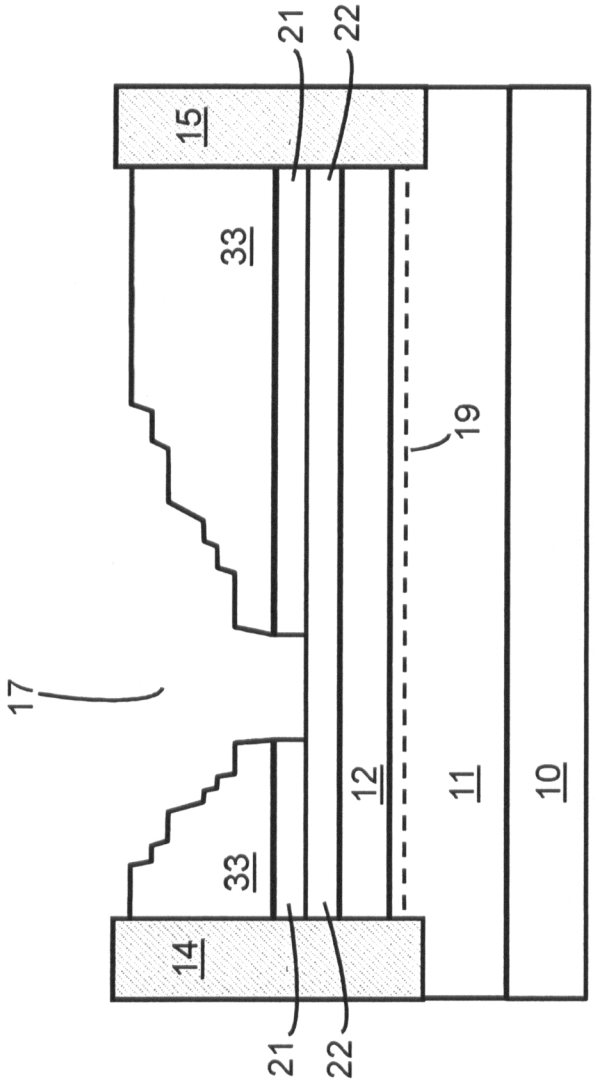
第13圖



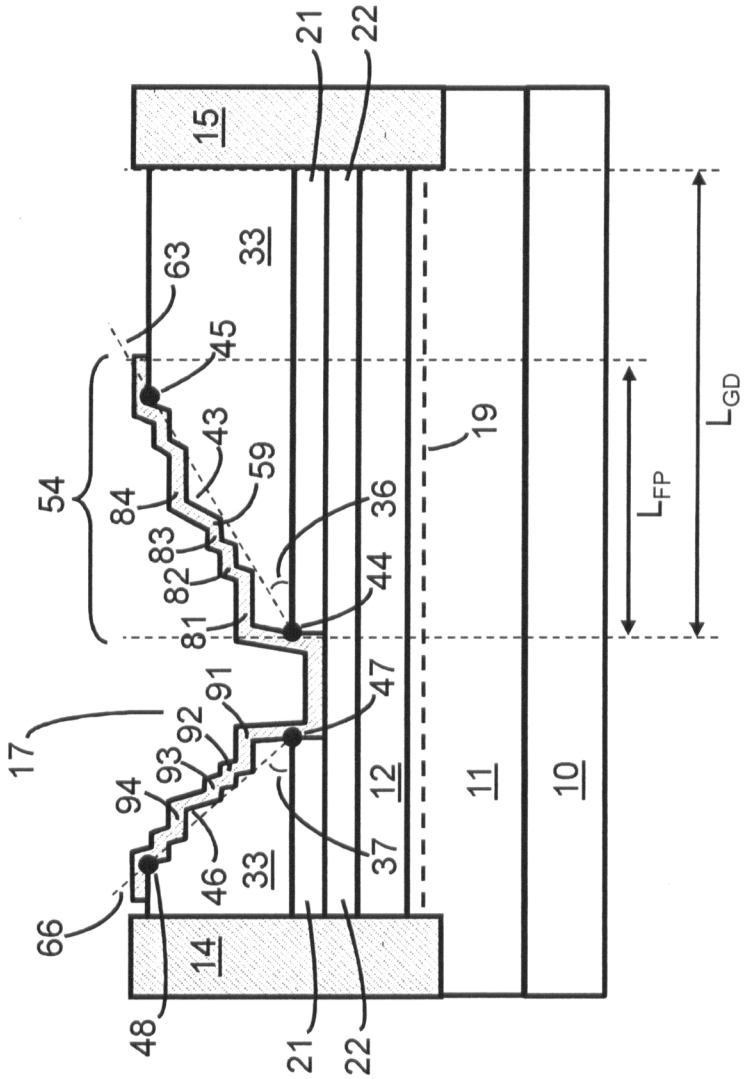
第14圖



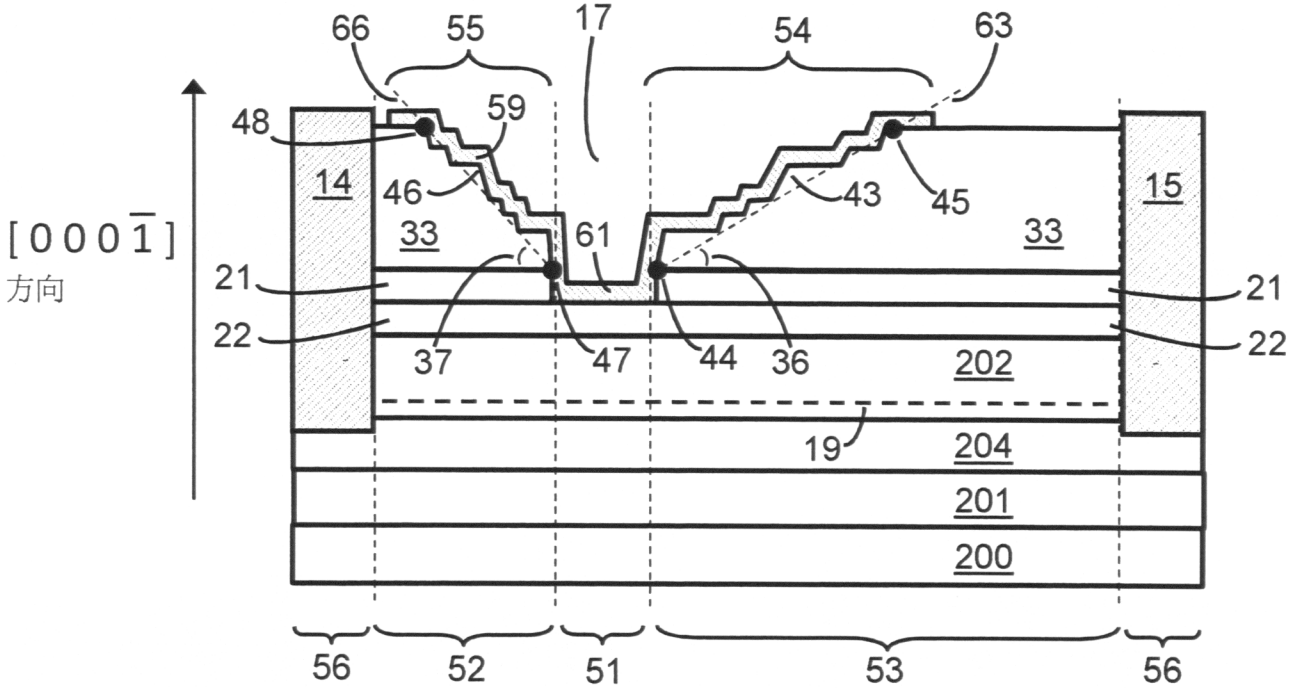
第15圖



第16圖


15
21
22
33
63
45
43
59
54
84
83
82
81
36
44
19
L_{FP}
L_{GD}
91
47
17
92
93
94
12
11
10
37
46
33
66
14
48
21
22

第17圖


66
55
17
54
63
48
59
14
46
43
45
15
[000$\bar{1}$]
方向
33
61
33
21
21
22
22
37
47
44
36
202
19
204
201
200
56
52
51
53
56

第18圖