



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월31일
(11) 등록번호 10-1763198
(24) 등록일자 2017년07월25일

(51) 국제특허분류(Int. Cl.)
G11B 5/23 (2006.01) G11B 5/62 (2006.01)
(21) 출원번호 10-2014-0026632
(22) 출원일자 2014년03월06일
심사청구일자 2014년03월06일
(65) 공개번호 10-2014-0111962
(43) 공개일자 2014년09월22일
(30) 우선권주장
13/796,951 2013년03월12일 미국(US)
(56) 선행기술조사문헌
US20130020204 A1*
(뒷면에 계속)

(73) 특허권자
시게이트 테크놀로지 엘엘씨
미국 캘리포니아 95014 쿠퍼티노 사우스 디 엔자
블러바드 10200
(72) 발명자
티엔, 웨이
미국 55347 미네소타 에덴 프레리 마셜 로드 9498
인투리, 벤카테스와라 라오
미국 55379 미네소타 새코피 칼라일 커브 6541
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 16 항

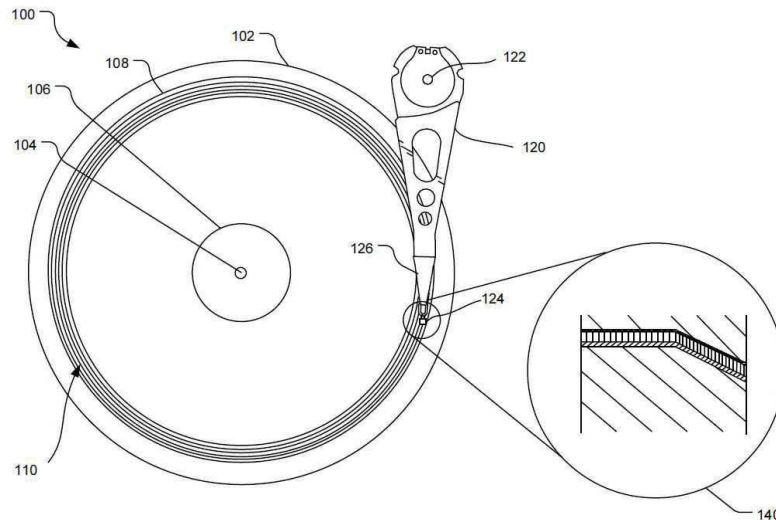
심사관 : 권영학

(54) 발명의 명칭 자기 재료들 사이의 갭

(57) 요약

일 실시예에 따르면, 방법은 재료의 비자기 갭 층을 자기 재료의 주극 층 위에 증착하는 단계; 재료의 희생 층을 재료의 비자기 갭 층 위에 증착하는 단계; 재료의 희생 층을 전적으로 제거하지 않으면서 재료의 희생 층의 일부를 에칭하는 단계; 및 증착하는 부가 희생 재료를 에칭된 희생 층에 증착하는 단계에 의해 구현될 수 있다.

대표도 - 도1



(72) 발명자

린, 더그

미국 55347 미네소타 에덴 프레리 프린스턴 애비뉴
12388

인, 후하청

미국 55347 미네소타 에덴 프레리 샌디 포인트 로
드 12600

치우, 지아오밍

미국 55311 미네소타 메이플 그로브 퀸즐랜드 레인
노스 6259

(56) 선행기술조사문헌

US8238059 B1*

US20120304454 A1*

JP2007087551 A*

US06724569 B1*

US08238059 B1*

JP2012133859 A*

JP11195206 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법으로서,
 비자기 겹 층을 자기 재료로 구성되는 주극 층 위에 증착하는 단계;
 희생 층을 상기 비자기 겹 층 위에 증착하는 단계;
 상기 희생 층을 전적으로 제거하지 않으면서 상기 희생 층의 일부를 에칭하는 단계;
 부가 희생 재료를 상기 에칭된 희생 층에 증착하는 단계 — 상기 부가 희생 재료는 상기 비자기 겹 층과 접촉하지 않고, 상기 부가 희생 재료는 NiRu, NiCr, Cu 또는 FeNiCo 합금을 포함함 —;
 전면 실드 층을 상기 희생 층의 상단 위에 증착하는 단계; 및
 상기 주극 층과 상기 전면 실드 층 사이에 균일한 겹을 형성하는 단계를 포함하는,
 2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,
 상기 비자기 겹 층은 Al_2O_3 을 포함하는,
 2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법.

청구항 5

제 1 항에 있어서,
 상기 비자기 겹 층은 루테튬을 포함하는,
 2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법.

청구항 6

제 1 항에 있어서,
 상기 희생 층은 루테튬을 포함하는,
 2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법.

청구항 7

제 1 항에 있어서,
 상기 희생 층은 NiRu를 포함하는,
 2개의 자기 재료들 사이에 균일한 겹을 형성하는 방법.

청구항 8

제 1 항에 있어서,
상기 희생 층은 Cr을 포함하는,
2개의 자기 재료들 사이에 균일한 갭을 형성하는 방법.

청구항 9

제 1 항에 있어서,
상기 희생 층의 재료는 상기 주극 층의 재료의 자기 모멘트와 동일한 자기 모멘트를 포함하는,
2개의 자기 재료들 사이에 균일한 갭을 형성하는 방법.

청구항 10

제 1 항에 있어서,
상기 희생 층의 재료는 비자기 시드 재료를 이용하는,
2개의 자기 재료들 사이에 균일한 갭을 형성하는 방법.

청구항 11

디스크 드라이브 시스템에서 사용하기 위한 장치로서,
자기 재료로 구성되는 주극 층;
상기 주극 층 위의 비자기 갭 층;
상기 비자기 갭 층 위의 에칭된 제 1 희생 층;
상기 에칭된 제 1 희생 층 위의 제 2 희생 층 — 상기 제 2 희생 층은 상기 비자기 갭 층과 접촉하지 않고, 상기 제 2 희생 층은 NiRu, NiCr, Cu 또는 FeNiCo 합금을 포함함 —;
상기 제 2 희생 층의 상단 위의 전면 실드 층; 및
상기 주극 층과 상기 전면 실드 층 사이의 균일한 갭을 포함하는,
디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 11 항에 있어서,
상기 비자기 갭 층은 Al_2O_3 을 포함하는,
디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 15

제 11 항에 있어서,
상기 비자기 갭 층은 루테튬을 포함하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 16

제 11 항에 있어서,

상기 제 1 회생 층은 루테튬을 포함하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 17

제 11 항에 있어서,

상기 제 1 회생 층은 NiRu를 포함하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 18

제 11 항에 있어서,

상기 제 1 회생 층은 Cu를 포함하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 19

제 11 항에 있어서,

상기 제 1 회생 층의 재료는 상기 주극 층의 재료의 자기 모멘트와 동일한 자기 모멘트를 포함하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

청구항 20

제 11 항에 있어서,

상기 제 1 회생 층의 재료는 비자기 시드 재료를 이용하는,

디스크 드라이브 시스템에서 사용하기 위한 장치.

발명의 설명

배경 기술

처리 단계들은 디스크 드라이브 산업에 사용되는 자기 기록 헤드들과 같은 자기 요소들을 형성하기 위해 종종 사용된다. 자기 요소들의 성능은 다른 자기 요소들에 관한 배향 및 분리에 의해 영향을 받을 수 있다. 이것은 특히 자기 요소들이 서로 아주 근접하여 위치됨에 따라 사실일 수 있다.

발명의 내용

본 요약은 이하 상세한 설명에 더 설명되는 개념들의 선택을 간략한 형태로 소개하기 위해 제공된다. 본 요약은 청구된 발명 대상의 중요 특징들 또는 본질적 특징들을 식별하도록 의도되지 않으며, 청구된 발명 대상의 범위를 제한하기 위해 사용되도록 의도되지 않는다. 청구된 발명 대상의 다른 특징들, 상세들, 유용성들, 및 장점들은 다양한 구현들 및 첨부 도면들에 더 예시되고 첨부된 청구항들에 정의된 바와 같은 구현들의 이하의 보다 상세히 기록된 상세한 설명으로부터 분명할 것이다.

일 실시예에 따르면, 2개의 자기 재료 사이에 실질적으로 균일한 갭을 형성하는 방법은 재료의 비자기 갭 층을 자기 재료의 주극 층 위에 증착하는 단계; 재료의 회생 층을 재료의 비자기 갭 층 위에 증착하는 단계; 재료의 회생 층을 완전히 제거하지 않으면서 재료의 회생층의 일부를 에칭하는 단계; 부가 회생 재료를 에칭된 회생 층에 증착하는 단계를 포함할 수 있다.

다른 실시예에 따르면, 장치는 자기 재료의 주극 층; 주극 층 위의 재료의 비자기 갭 층; 재료의 비자기 갭 층

위의 재료의 에칭된 제 1 희생 층; 및 재료의 에칭된 제 1 희생 층 위의 재료의 제 2 희생 층을 포함할 수 있다.

이들 및 다양한 다른 특징들 및 장점들은 이하의 상세한 설명의 관독으로부터 분명할 것이다.

도면의 간단한 설명

본 기술의 본질 및 장점들의 추가 이해는 본 명세서의 나머지 부분에 설명되는 도면들을 참조하여 실현될 수 있다.

도 1은 일 실시예에 따른 실질적으로 균일한 기록 갭의 단면을 갖는 디스크 드라이브 시스템의 예시적 도면을 예시한다.

도 2a는 일 실시예에 따른 주극을 형성하는 것에 사용될 초기 자기 재료 층을 예시한다.

도 2b는 일 실시예에 따른 초기 자기 재료 층에 형성되는 경사 에지를 예시한다.

도 2c는 일 실시예에 따른 2개의 자기 재료 층 사이의 갭에 사용되는 재료의 초기 층을 예시한다.

도 2d는 일 실시예에 따른 2개의 자기 재료 층 사이의 갭에 사용되는 재료의 제 2 층을 예시한다.

도 2e는 일 실시예에 따른 초기 갭 재료들 위에 배치되는 재료의 희생 층을 예시한다.

도 2f는 일 실시예에 따른 희생 층에 비평탄 표면을 생성한 처리가 발생한 후의 희생 층을 예시한다.

도 2g는 일 실시예에 따른 희생 층에 평탄 상단 표면을 형성하는 희생 층 재료의 추가 증착을 예시한다.

도 2h는 일 실시예에 따른 희생 층 위에 배치되는 제 2 자기 재료 층을 예시한다.

도 3은 일 실시예에 따른 실질적으로 균일한 갭 층을 형성하는 방법을 예시하는 흐름도를 도시한다.

도 4는 일 실시예에 따른 갭 층을 형성하는 다른 실시예를 예시하는 흐름도를 도시한다.

도 5는 일 실시예에 따른 비자기 시드 층을 이용하는 방법을 예시하는 흐름도를 도시한다.

도 6은 일 실시예에 따른 비자기 시드 층을 이용하는 다른 실시예를 예시하는 흐름도를 도시한다.

도 7은 일 실시예에 따른 기록 갭에서 적어도 2개의 비자기 재료 층들을 갖는 기록 헤드에 대한 기록 갭의 단면을 도시한다.

발명을 실시하기 위한 구체적인 내용

본 기술의 실시예들은 디스크 드라이브 시스템의 맥락으로 본 명세서에 개시된다. 그러나, 기술은 디스크 드라이브 시스템에 제한되지 않고 또한 다른 기술 시스템들에 용이하게 적용될 수 있다는 점이 이해되어야 한다.

자기 기록 매체의 면적 밀도가 증가함에 따라, 점점 더 많은 정보의 비트들이 자기 매체에 저장되고 있다. 따라서, 이전에 사용된 것보다 더 작은 저장 위치에 정보의 각 비트를 저장할 필요가 있다. 결과적으로, 디스크 드라이브의 기록 헤드는 이웃 비트 위치들에 저장된 정보를 방해하는 것 없이 자기 매체 상에 비트를 기록할 수 있을 필요가 있다.

기록 헤드들은 기록 극의 자기 재료와 전단 실드의 자기 재료 사이에 균일한 갭의 부족이 있다면 비효율적일 수 있다. 이러한 불균일성은 보다 많은 자속이, 타겟된 비트 위치로 향하는 것보다는 오히려 기록 동작 동안 기록 극에서 전단 실드까지 누설되는 것을 허용한다. 결과적으로, 기록 극은 이러한 누설이 발생할 때 그것의 기록 동작에서 보다 비효율적이다. 수렴하는 것보다는 오히려 발산하는(공기 베어링 표면을 향해 이동하는 관점에서 볼 때) 더 균일한 갭 또는 평탄한 갭은 더 적은 누설이 발생되게 할 것이다.

일 실시예에 따르면, 하나가 2개의 자기 재료 사이의 실질적으로 균일한 기록 갭 뿐만 아니라 기록 헤드에 대한 결과적인 라이터 구성을 형성하는 것을 허용하는 새로운 프로세스가 개시된다. 적절한 시드들(자성 또는 비자성)을 갖는 자기 오버레이어는 재료의 임의의 기록 갭 층들의 증착 직전에 비자기 기록 갭의 상단 위에 형성될 수도 있다. 기록 갭은 자기 오버레이어와 함께, 고유 구성을 형성하도록 맞추어질 수 있다. 일 실시예에 따르면, 프로세스는 실질적으로 균일한 기록 갭을 형성하고, 갭 두께 시그마를 감소시키며, 좁은 기록 갭으로 기록 헤드의 기록 성능을 개선하기 위해 사용될 수 있다. 의도적으로 선택된 비자기 시드는 높은 모멘트 자기 재료들의 자성 유연성을 희생시키는 것 없이 높은 모멘트 자기 층이 기록 갭과 직접 접촉할 수 있게 하기 위해

사용될 수 있다. 더욱이, 자기 재료들의 자성 유연성들을 변경하는 것 없이 높은 모멘트들을 갖기 위해 갭의 양측 상에 재료를 구성하는 것은 개선된 기록성을 달성하는데 도움이 될 수 있다. 본 명세서에 예로서 설명된 실시예들이 기록 헤드를 일 예로 사용하지만, 프로세스 및 구성들은 재료의 갭에 의해 분리되는 다른 자기 층들에 적용될 수도 있다.

이제 도 1을 참조하면, 디스크 드라이브 시스템의 일 예가 도시된다. 디스크 드라이브 시스템은 개시된 기술이 이용될 수 있는 단지 일 예이다. 도 1은 일 예의 사시도(100)를 예시한다. 디스크(102)는 동작 동안 스핀들 중심 또는 디스크 회전축(104) 주위를 회전한다. 디스크(102)는 내부 직경(106) 및 외부 직경(108)을 포함하며 그 사이에 원형 라인들에 의해 예시되는 다수의 동심원 데이터 트랙들(110)이 있다. 데이터 트랙들(110)은 실질적으로 원형이다.

정보는 상이한 데이터 트랙들(110)에서 디스크(102) 상의 비트들에 기록되고 비트들로부터 판독될 수 있다. 변환기 헤드(124)는 액추에이터 회전축(122)에서 먼 단부에서의 액추에이터 어셈블리(120) 상에 장착된다. 변환기 헤드(124)는 디스크 동작 동안 디스크(102)의 표면 위에 아주 근접하여 플라이한다(fly). 액추에이터 어셈블리(120)는 디스크(102)에 인접하여 위치되는 액추에이터 회전축(122) 주위를 시크 동작 동안 회전한다. 시크 동작은 변환기 헤드(124)를 데이터 트랙들(110)의 타겟 데이터 트랙 위에 위치시킨다.

분해도(140)는 변환기 헤드(124)(축척에 따라 도시되지 않음)의 일부의 단면을 예시한다. 단면은 일 실시예에 따라 구성될 수 있는 실질적으로 균일한 기록 갭을 도시한다.

자기 기록 매체의 면적 밀도가 증가함에 따라, 정보는 점점 더 작은 위치들에 저장될 수 있다. 이것은 판독 헤드 및 기록 헤드들이 각각 그 위치들로부터 판독되고 그 위치들에 기록될 수 있는 것을 필요로 한다. 기록 갭은 주 기록기 극을 기록 헤드에서의 전단 실드로부터 분리하는 비자기 갭이다. 기록 갭의 두께 및 기록 갭의 부근에 있는 자기 재료들은 기록성 및 트레일링 에지(TE) 필드 기술기에 큰 영향을 미칠 수 있다. 현재까지, 기록 갭 두께들은 약 30 nm의 범위이다.

기록 갭들을 형성하는 프로세스 동안, 증착된 기록 갭 재료에 포토리소그래피 및 에칭 프로세스들을 수행하는 것은 드물지 않다. 이것은 기록 갭이 그것의 표면을 가로질러 비평탄하게 악화되는 것을 야기한다. 기록 갭이 경사 에지를 포함하는 경우, 하나의 결과는 기록 갭이 경사 지점의 상단 부근에 테이퍼지거나 핀칭(pinch)될 수 있다는 것이다. 따라서, 불균일한 기록 갭은 종종 이러한 포토리소그래피 및 에칭 단계들에 의해 생성된다. 불균일한 기록 갭은 동작 동안 주 기록기 극에서 전단 실드까지 보다 많은 플럭스 션트(flux shunt)를 야기할 수 있다. 이러한 플럭스 손실은 기록 동작을 덜 효율적이고 가능한 한 결함이 있게 한다. 그것은 기록성을 억제하는 것으로 언급될 수 있다.

이제 도 2a, 도 2b, 도 2c, 도 2d, 도 2e, 도 2f, 도 2g, 및 도 2h를 참조하면, 더 균일한 기록 갭을 형성하는 프로세스가 일 실시예에 따라 예시될 수 있다. 이러한 프로세스는 기록 갭 시그마를 감소시키기 위해 사용될 수도 있다. 또한, 이러한 프로세스는 루테튬과 같은 대안적 시드가 전단 실드의 2.4T FeCo 층에 대한 시드 층으로서 사용될 수 있게 한다는 점이 이하의 설명으로부터 이해될 것이다. 더욱이, 그러한 시드 층은 증대된 TE 필드 기술기를 제공하기 위해 FeCo 자기 층이 기록 갭과 밀접하게 접촉하는 것을 허용한다.

도 2a에서, 제 1 자기 재료 층(204)이 증착된다. 자기 재료는 예를 들어 FeCo로 형성될 수 있다. 이러한 자기 재료 층은 기록 헤드의 동작 동안 궁극적으로 주 기록 극으로서의 역할을 할 수 있다. 주 기록 극을 형성하기 위해, 도 2b에 도시된 바와 같이, 경사 에지(208) 및 경사 지점(212)을 형성하도록 제 1 자기 재료 층(204)을 경사지게 할 수 있다. 경사는 예를 들어 자기 층을 밀링함으로써 형성될 수 있다.

도 2c에서, 자기 재료 층(204)의 상단 위에 증착되는 제 1 갭 재료 층(216)이 도시된다. 이용될 수 있는 재료의 한 타입은 루테튬이다. 루테튬은 갭 재료로서 양호하게 수행할 수 있는 비자기 재료이다. 그것은 제 2 갭 재료 층에 대한 시드 층으로서의 역할을 할 수도 있다.

도 2d에서, 제 2 갭 재료 층(220)은 제 1 갭 재료 층의 상단 위에 증착된 것으로 도시된다. 갭 재료로서 유용할 수 있는 하나의 재료는 알루미늄으로 또한 언급되는 Al_2O_3 이다.

도 2e에서, 제 1 희생 재료 층은 제 2 갭 재료 층의 상단 위에 증착된 것으로 도시된다. 흔히, 최종 자기 재료 층을 증착하기 전에 포토리소그래피 및 에칭 단계들을 수행하는 것을 선택할 것이다. 그러한 처리 단계들은 특히 경사 에지 영역에서, 이전에 증착된 갭 재료들의 균일성에 영향을 미칠 수 있다. 발생할 수 있는 하나의 불균일성은 기록 갭이 경사 지점에서 테이퍼진다는 것이다. 앞서 주목된 바와 같이, 이것은 기록 헤드에 의한 감

소된 성능을 초래하는 완성된 기록 헤드에서의 불균일한 기록 갭을 야기할 수 있다. 종종 수행되는 처리 단계들의 예들은 포토리소그래피 단계 뒤에 이어지는 에칭 단계를 포함한다. 다른 처리 단계들이 대안적으로 수행될 수 있다. 상관없이, 결과는 기록 갭이 불균일한 상태로 남는다는 것이다. 부가 희생 재료의 증착에 의해 재정비될 수 있는 희생 층을 이용함으로써, 갭의 균일성은 손상 처리 단계들 후에 실질적으로 회복될 수 있다. 따라서, 도 2f는 희생 층(224) 상에 손상 처리 단계들의 효과들을 도시한다. 인식될 수 있는 바와 같이, 손상 처리 단계들은 비평탄 상태로 희생 층을 남기는 한편, 기초 갭 층들은 손상되지 않는다. 희생 층이 시드 층에 의해 시딩(seed)될 수 있다는 점이 주목되어야 한다. 시드 층 재료의 하나의 선택은 루테튬이다. 다른 비자기 시드 재료가 루테튬 대신에 사용될 수 있다.

도 2g에서, 부가 희생 재료는 희생 층을 실질적으로 균일한 두께로 회복시키기 위해 증착될 수 있다. 회복된 희생 층은 도 2g에서 층(226)으로 언급된다. 또한, 희생 층은 후속 자기 층에 대한 시드 층으로서의 역할을 하기 위해 선택될 수 있다.

갭이 실질적으로 균일한 두께로 회복되면, 제 2 자기 재료 층이 증착될 수 있다. 예를 들어, 도 2h는 기록 헤드에 대한 전단 실드로서 사용될 수 있는 제 2 자기 재료 층(228)을 도시한다. 예를 들어, FeCo 또는 FeNiCo 고체 용액들을 자기 재료로서 이용할 수 있다. 두께는 수 나노미터 내지 수백 나노미터의 범위일 수 있다. 일 실시예에 따르면, 5-50 nm의 두께가 사용될 수 있다.

도 2h로부터 인식될 수 있는 바와 같이, 결과적인 기록 갭은 실질적으로 균일하고 제 2 자기 재료 층의 증착 전에 발생하는 중간 포토리소그래피 및 에칭 단계들에 의해 영향을 받지 않는다.

이제 도 3을 참조하면, 상술된 프로세스의 양상들을 예시하는 흐름도(300)가 보여질 수 있다. 블록(302)에서, 재료의 비자기 갭 층이 자기 재료의 주극 층 위에 증착될 수 있다. 블록(304)에서, 재료의 희생 층이 재료의 비자기 갭 층 위에 증착될 수 있다. 블록(306)에서, 희생 층의 일부는 재료의 희생 층을 완전히 제거하지 않으면서 예를 들어 에칭 프로세스에 의해 처리될 수 있다. 그리고, 블록(308)에서, 부가 희생 재료는 에칭된 희생 층에 증착될 수 있다.

도 4에서, 흐름도(400)는 더 상세한 실시예를 예시한다. 블록(402)에서, 재료의 비자기 층은 자기 재료의 주극 층 위에 증착된다. 자기 재료의 주극 층은 이미 경사진 구성으로 있을 수 있다. 다수의 층들 및 상이한 재료들은 갭을 형성하기 위해 사용될 수 있다는 점이 이해되어야 한다. 블록(404)은 재료의 희생 층이 재료의 상단 비자기 갭 층의 상단 위에 증착될 수 있는 것을 예시한다.

블록(406)에 따르면, 에칭 또는 다른 처리 단계는 구조 상에 수행될 수 있다. 이러한 처리는 임의의 기초 층들을 특히 경사 에지 영역을 따라 노출시키기 위해 반드시 전체 희생 층을 제거하지는 않으면서 희생 층의 일부들을 제거할 수 있다. 에칭 또는 다른 처리의 결과는 희생 층이 비평탄일 것이다. 따라서, 블록(408)에서, 부가 희생 재료는 에칭된 희생 층에 증착될 수 있다. 증착은 블록(410)에 도시된 바와 같이, 주극 층과 후속 도포 실드 층 사이에 실질적으로 균일한 갭을 형성하기 위해 제어될 수 있다. 그 다음, 재료의 전면 실드 층은 희생 층의 상단 위에 도포될 수 있다.

다른 실시예에 따르면, 상이한 유틸리티가 달성될 수 있다. 즉, 현재의 프로세스들은 전형적으로 전면 실드 층으로서 FeCo와 같은 자기 재료 층을 증착하기 전에 시드 층으로서 NiFe와 같은 자기 재료를 이용한다. NiFe는 약 1.0T의 자기 모멘트 특성을 갖는다. 시드 층으로서 자기 재료의 이러한 사용은 트레일링 에지(TE) 필드 기울기를 저하시킬 수 있으며 그것은 차례로 기록 헤드의 성능을 감소시킨다.

이러한 문제를 다루기 위해, 일 실시예는 전면 실드 층에 사용되는 자기 재료에 대한 시드 층으로서 비자기 재료를 이용한다. 이러한 비자기 재료는 더 좋은 필드 기울기가 NiFe와 같은 자기 재료와 대조적으로 달성되는 것을 허용한다. 상이한 재료들은 비자기 재료 시드 층으로서 이용될 수 있다. 그러나, 하나의 가능한 선택은 루테튬이다. 다른 가능한 재료들은 예를 들어 NiRu, NiCr, Cu, 및 Fe, Ni, 및 Co 합금들의 조합들을 갖는 높은 모멘트 재료이다. 시드 층의 두께는 예를 들어 1-10 nm의 범위에 있을 수 있다.

증착 프로세스는 비자기 시드 층이 제 2 자기 재료 층에 이용되는 도 2a 내지 도 2h에 관하여 도시된 것과 유사할 수 있다. 더욱이, 도 5는 다양한 양상들을 보여주는 흐름도를 예시한다.

도 5의 흐름도(500)에서, 블록(502)은 자기 재료의 주극 층이 증착되는 것을 도시한다. 블록(504)에서, 재료의 적어도 2개의 비자기 갭 층들이 증착된다. 그리고, 블록(506)에서, 제 2 자기 재료 층이 증착된다. 특히, 제 2 자기 재료 층은 비자기 갭 재료의 상부 층에 직접 인접하여 증착된다. 이것은 비자기 갭 재료가 자기 재료의 제

2 층에 대한 시드 층으로서의 역할을 하는 것을 허용한다.

도 6은 다소 더 상세한 실시예를 예시한다. 도 6의 흐름도(600)에서, 자기 재료의 주극 층이 블록(602)에서 증착된다. 블록(604)에서, 재료의 적어도 2개의 비자기 갭 층들이 증착된다. 이전의 실시예에서 주목된 바와 같이, 갭은 루테튬의 제 1 층과 같은 다수의 층들 뒤에 Al_2O_3 의 층, 및 루테튬의 시드 층으로 형성될 수 있다.

블록(606)에서, 제 2 자기 재료 층이 증착된다. 이 층은 예를 들어 기록 헤드에서의 전단 실드로서 사용될 수 있다. 이러한 제 2 층은 충분한 기울기를 형성하기 위해 비자기 갭 재료에 직접 인접하여 증착될 수 있다. 더욱이, 이러한 비자기 갭 재료는 블록(608)에 의해 도시된 바와 같이, 제 2 자기 재료 층에 대한 시드 층으로서 사용될 수 있다. 블록(610)에 의해 도시된 바와 같이, FeCo는 제 2 자기 재료 층에 대한 재료로서 이용될 수 있다. 블록(612)은 제 2 자기 재료 층이 기록 헤드에 사용되는 전단 실드에 형성될 수 있는 것을 예시한다.

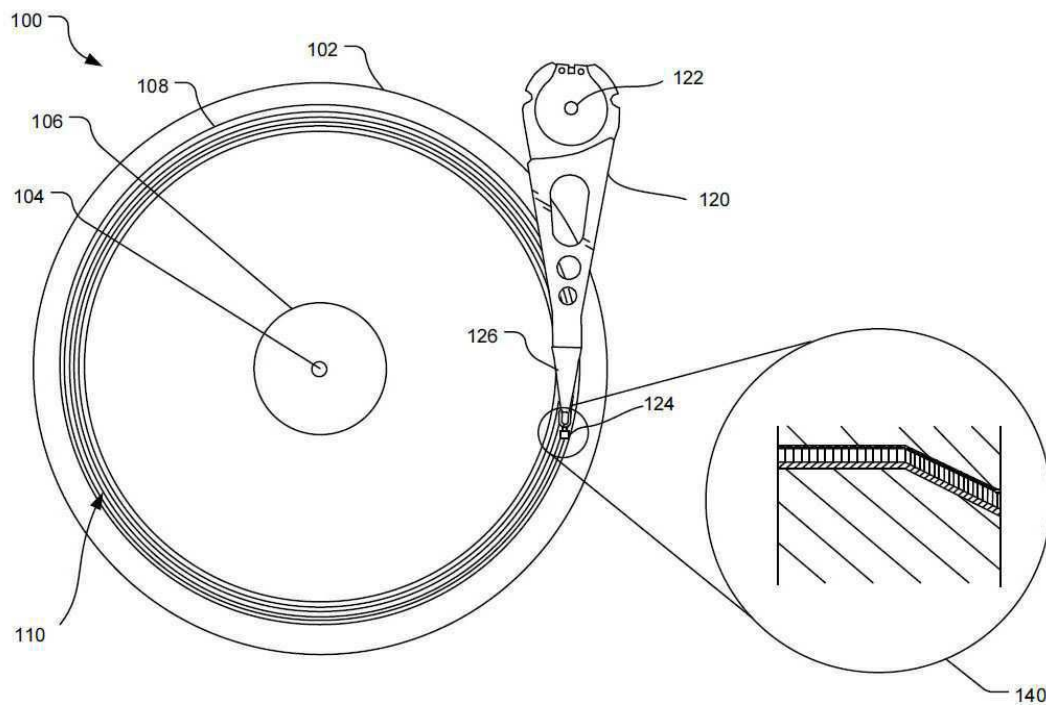
도 7은 비자기 재료의 2개 이상의 갭 층들로 형성되는 갭 층의 일 예를 예시한다. 도 7은 기록 헤드로서의 역할을 하는 제 1 자기 재료 층(702)을 도시한다. FeCo는 제 1 자기 층에 사용될 수 있는 자기 재료의 한 타입이다. 자기 재료 위에 및 자기 재료에 직접 인접하여 배치되는 비자기 재료의 제 1 갭 층(704)이 도시된다. 사용될 수 있는 하나의 재료는 예를 들어 루테튬이다. 제 1 갭 층 위에 및 제 1 갭 층에 직접 인접하여 배치되는 비자기 재료의 제 2 갭 층(706)이 도시된다. 예를 들어, Al_2O_3 은 이러한 재료에 사용될 수 있는 재료의 한 타입이다. 제 2 갭 층 위에 및 제 2 갭 층에 직접 인접하여 배치되는 비자기 재료의 제 3 갭 층(708)이 도시된다. 재료 루테튬은 제 1 갭 층과 대칭을 제공하기 위해 이러한 층에 이용될 수 있다. 더욱이, 루테튬은 제 2 자기 재료 층(710)에 대한 시드층으로서의 역할을 하는데 유용하다. 제 3 갭 층 위에 및 제 3 갭 층에 직접 인접하여 배치되는 층(710)이 도시된다. FeCo는 주극에 대해 전단 실드로서 역할을 하기 위해 층(710)에 이용될 수 있는 자기 재료의 일 예이다.

본 명세서에 인용된 많은 구조들, 재료들, 및 행위들은 기능을 수행하는 수단 또는 기능을 수행하는 단계로 인용될 수 있다는 점이 주목된다. 그러므로, 이러한 언어는 참조에 의해 통합된 임의의 물질을 포함하여 본 명세서 내에 개시된 모든 이러한 구성들, 재료들, 또는 행위들, 및 그 균등물들을 커버할 자격을 얻는다는 점이 이해되어야 한다.

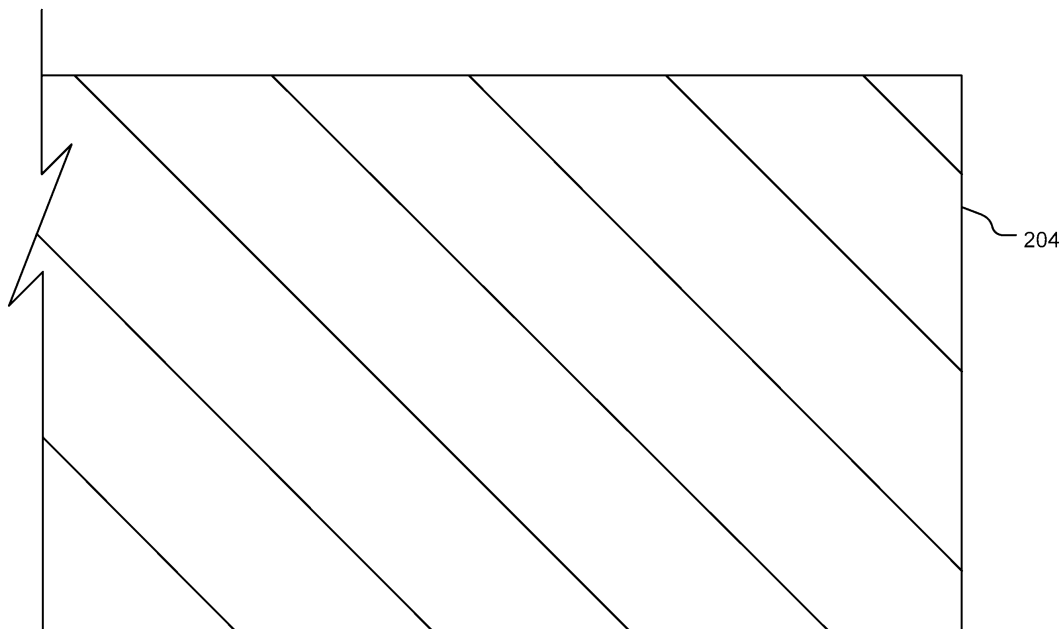
본 명세서에 설명된 실시예들의 장치들 및 방법들은 본 명세서로부터 이해될 것으로 생각된다. 상기 설명이 특정 실시예들의 완전한 설명이지만, 상기 설명은 청구항들에 의해 정의된 바와 같은 특허의 범위를 제한하는 것으로 해석되지 않아야 한다.

도면

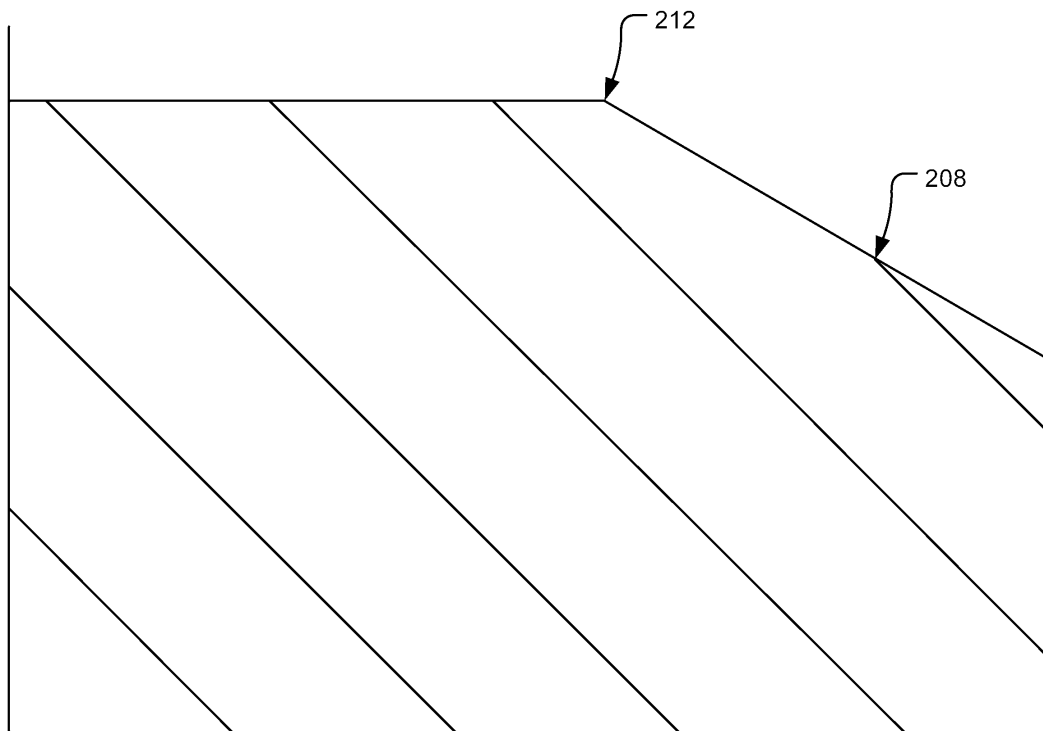
도면1



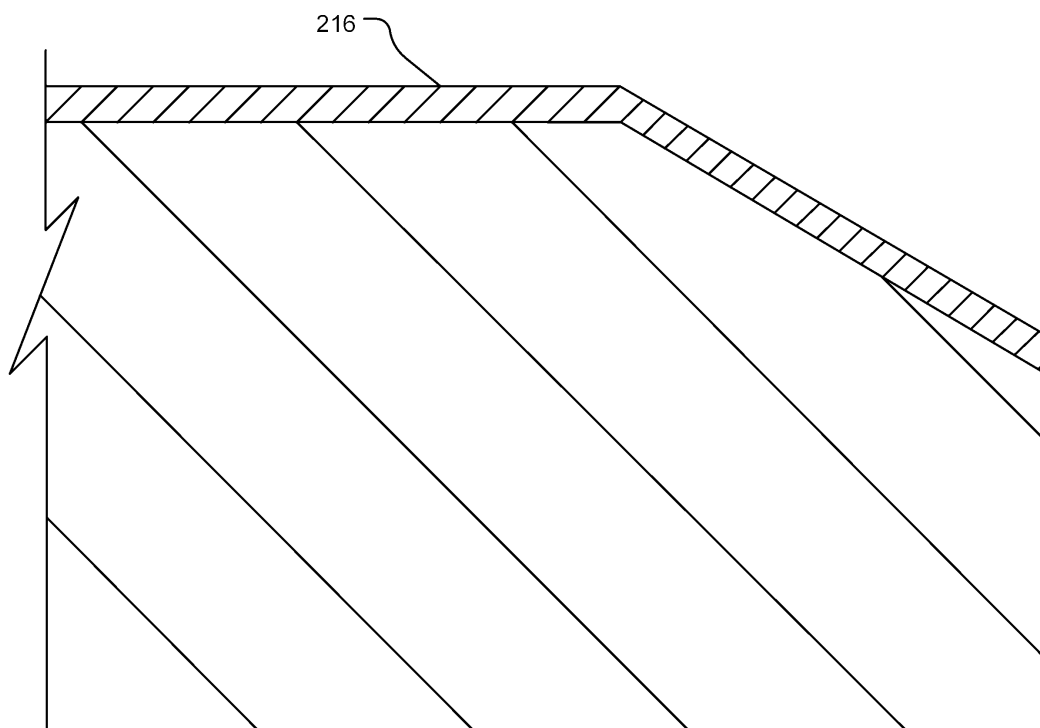
도면2a



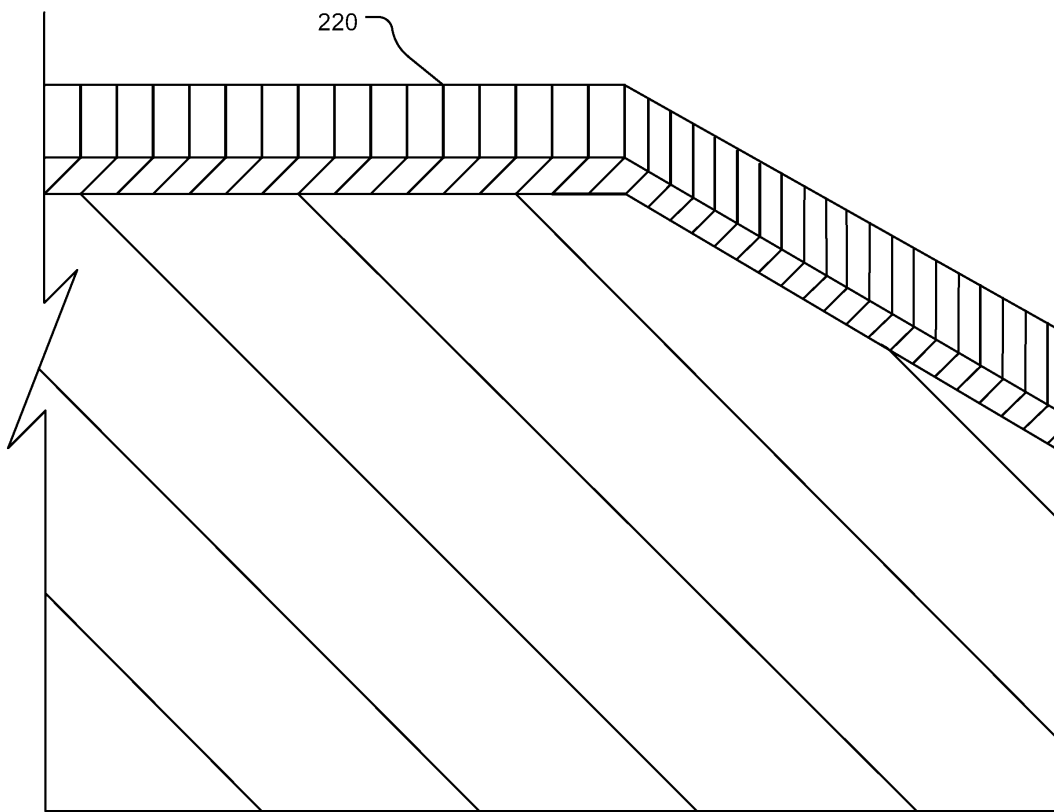
도면2b



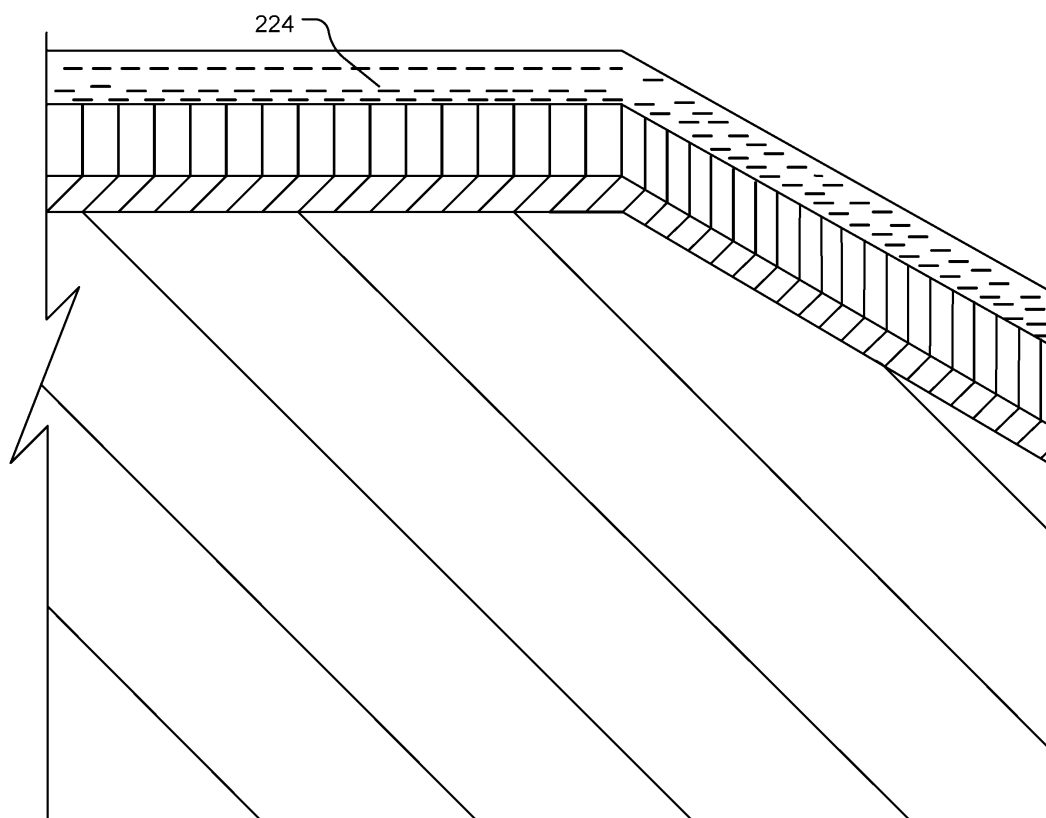
도면2c



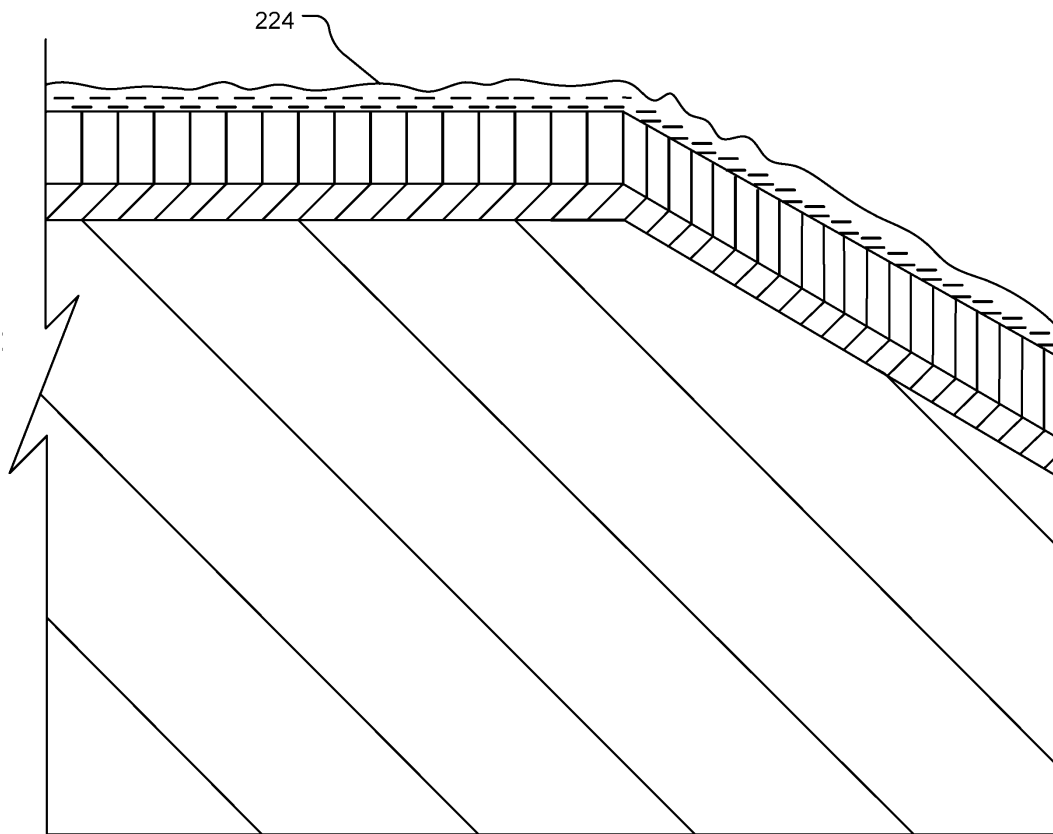
도면2d



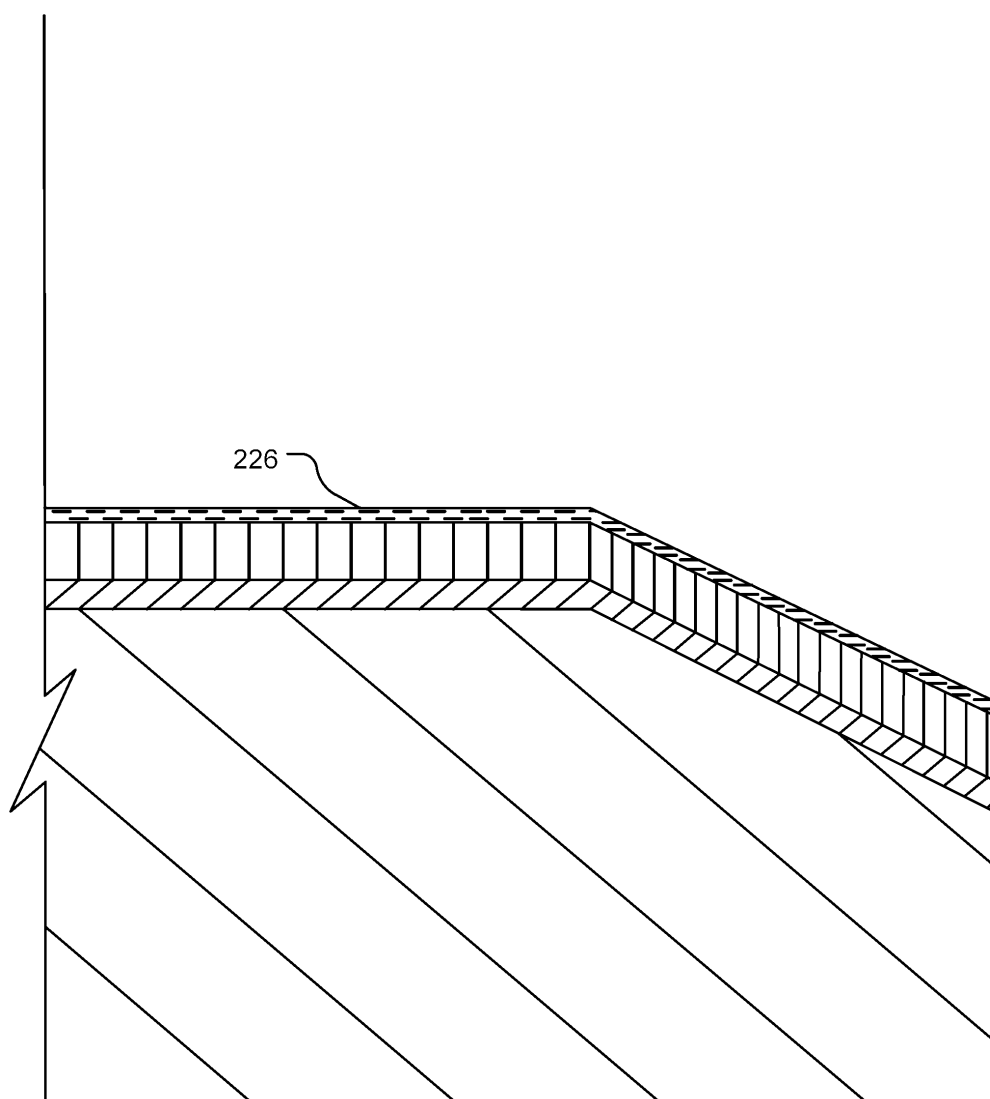
도면2e



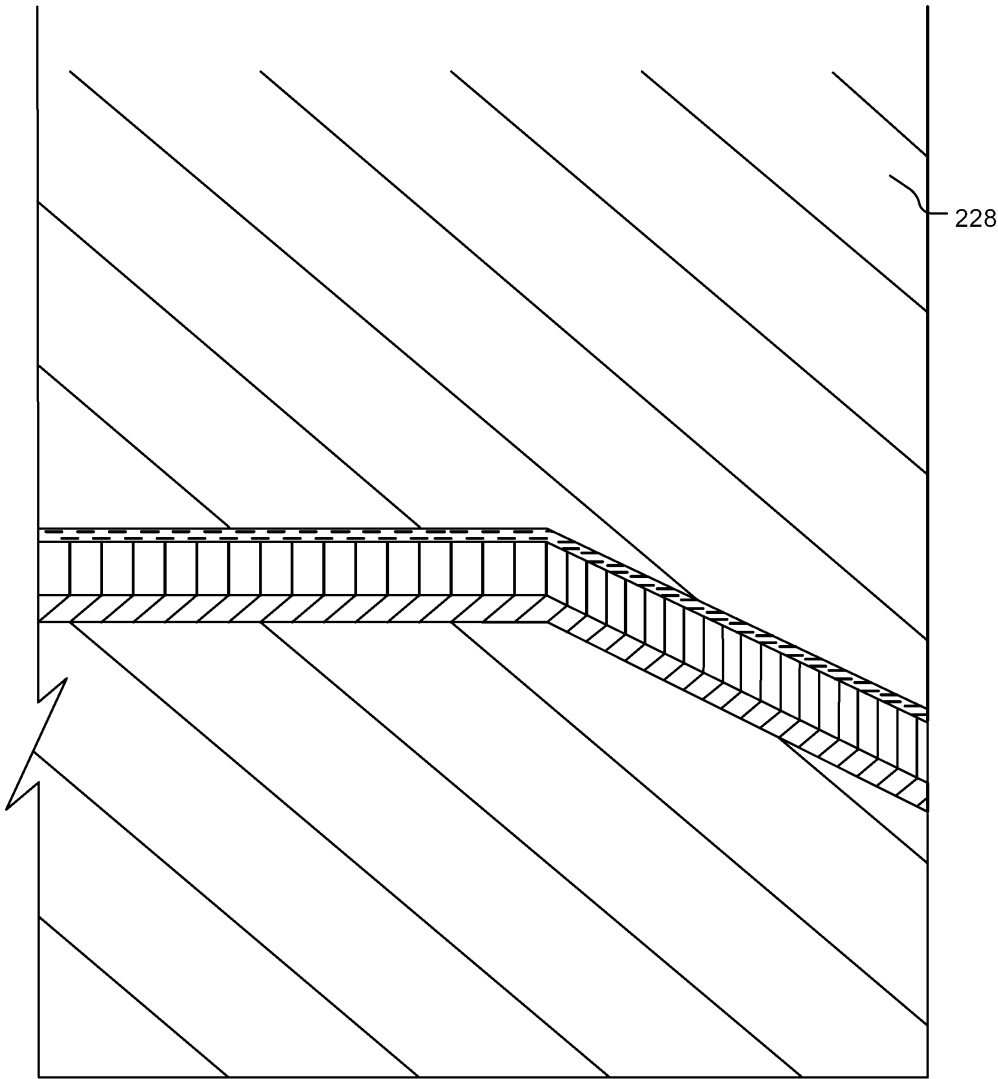
도면2f



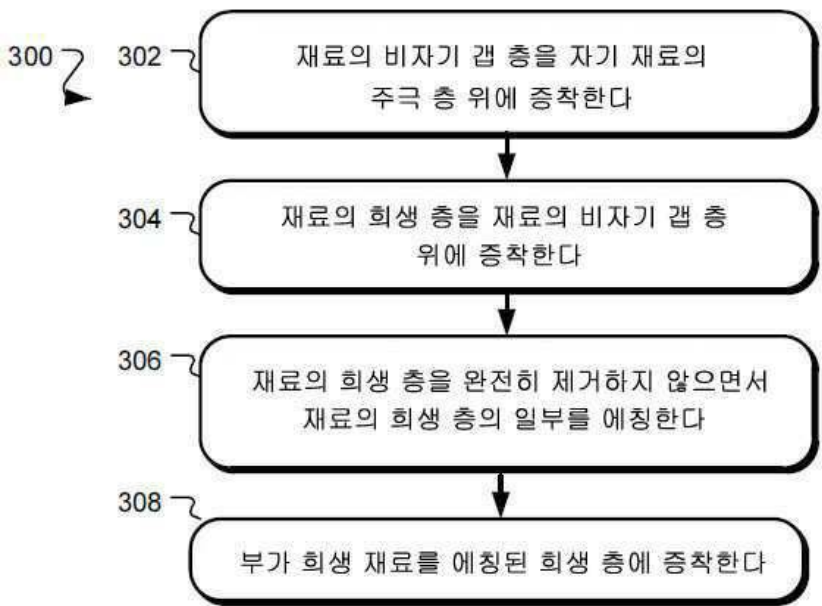
도면2g



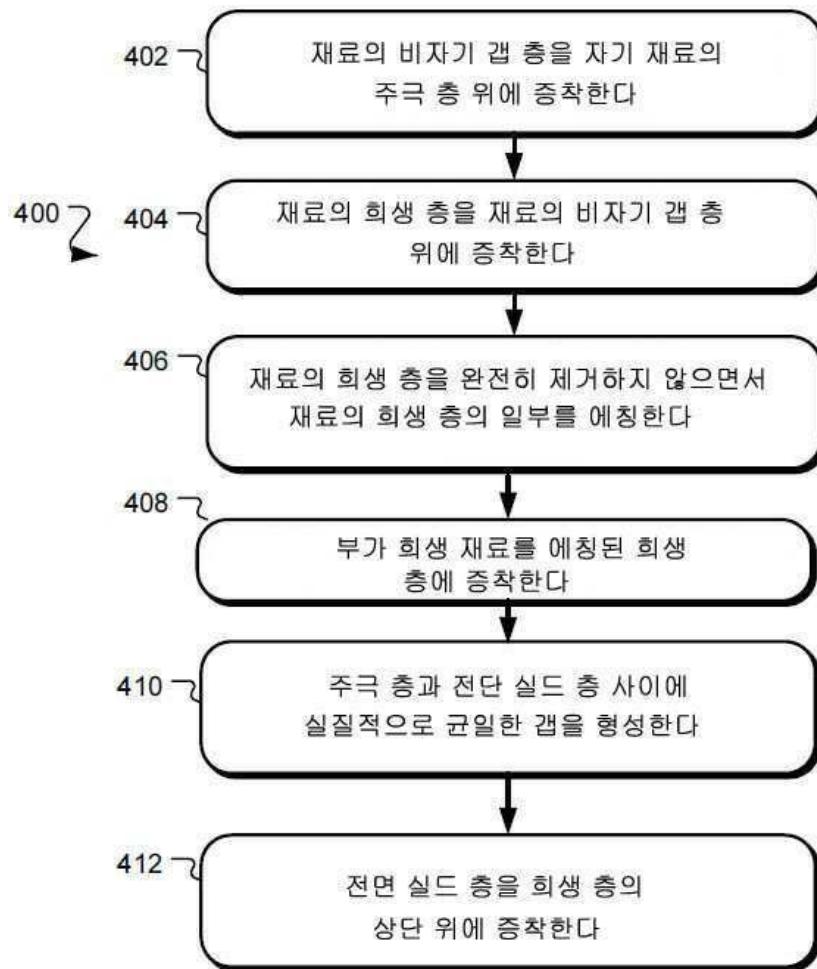
도면2h



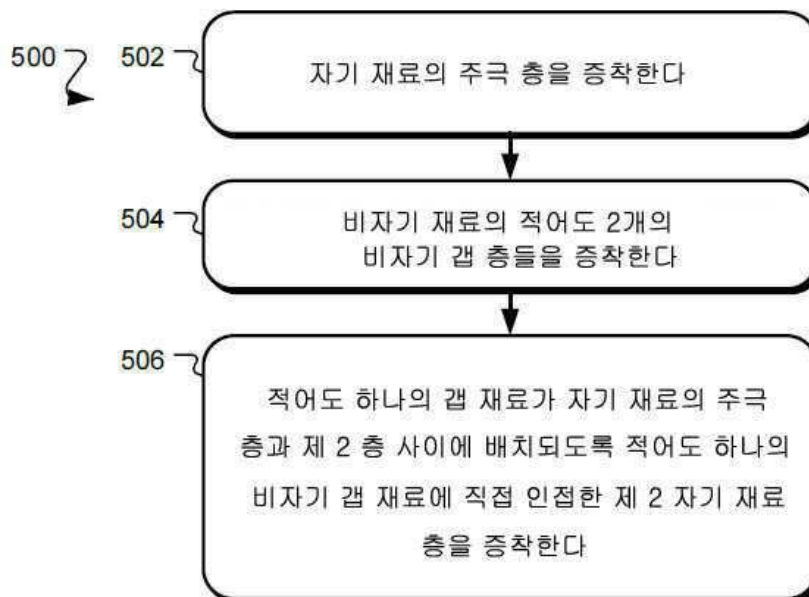
도면3



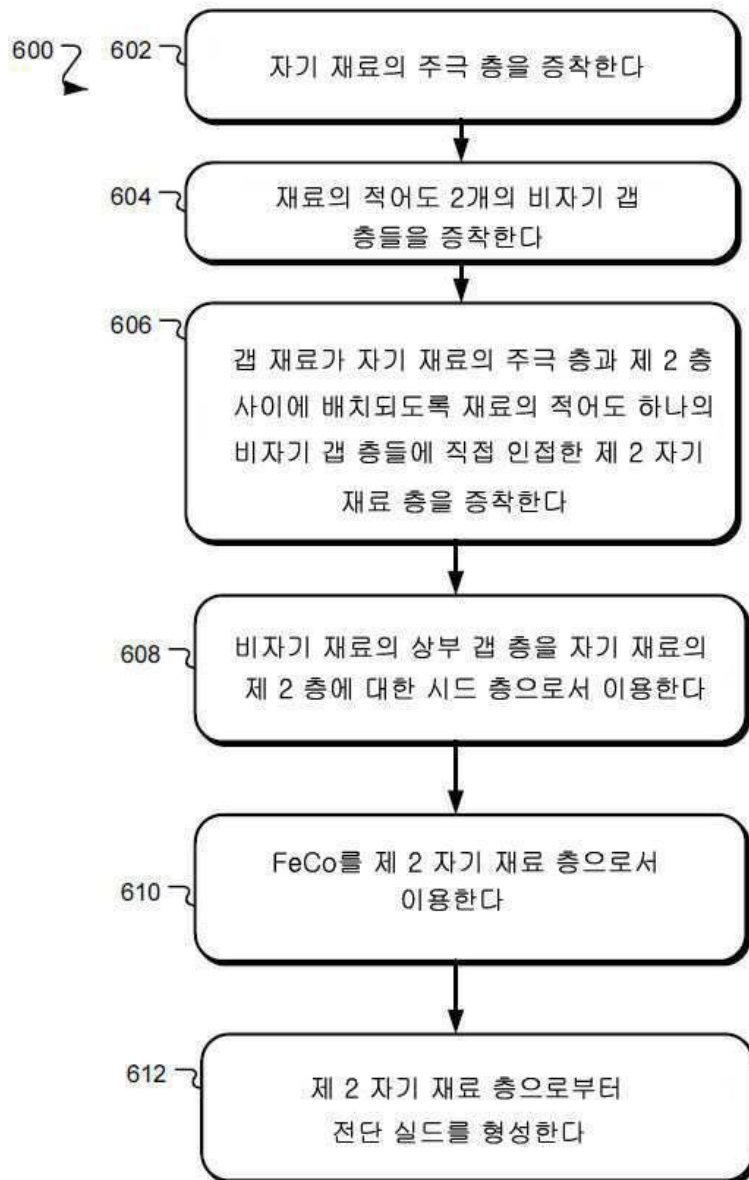
도면4



도면5



도면6



도면7

