



(12) Ausschließungspatent

(11) DD 287 341 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) G 06 F 13/368

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD G 06 F / 331 923 1

(22) 21.08.89

(44) 21.02.91

(71) siehe (72)

(72) Hrubesch, Norbert, Dipl.-Ing., DE

(73) Forschungszentrum des Werkzeugmaschinenbaus Karl-Marx-Stadt, O - 9044 Chemnitz, DE

(54) Schaltungsanordnung zur dezentralen Busvergabe

(55) dezentral; Busvergabe; Mehrrechnersystem; Globalbus; Zugriffssteuereinheit; Rangzeigerspeicher; Änderungseinheit; Rechneinheit; Anforderungseinheit; Rangwert; Änderungseinheit; Rangzeigerwert; Direktvorrangdekoder; Globalanforderungsspeicher; Reduziereinheit

(57) Die Erfindung betrifft eine Schaltungsanordnung zur dezentralen Busvergabe in Mehrrechnersystemen mit Datenaustausch über einen Globalbus im Zeitteilbetrieb. Das Anwendungsgebiet sind komplexe Steuerungssysteme zur Bewältigung umfangreicher Funktionen unter hohen Echtzeitanforderungen. In der Zugriffssteuereinheit jeder Rechneinheit ist eine Anforderungseinheit am Globalbus vorgesehen, die nur diejenige Bitstelle ihrer Ausgangsbitgruppe aktiviert, die dem ihr aktuell zugeordneten Rangwert entspricht. Dieser wird von einem Rangwertespeicher geliefert, dessen Auswahlweg über einen Umschalter von einem in allen Rechneinheiten einheitlich empfangenen oder in einer Änderungseinheit gebildeten Rangzeigerwert beaufschlagt wird. Mit Hilfe eines Direktvorrangdekoders nach dem Rangwertespeicher und einer Reduziereinheit zwischen Globalanforderungsspeicher und Rangvergleich erfolgt in bestimmten Fällen Vorrangentscheidungen ohne gegenseitigen Austausch der Rangwerte oder/und zu vorgezogenen Zeitpunkten.

Patentansprüche:

1. Schaltungsanordnung zur dezentralen Busvergabe in einem Mehrrechnersystem, bei dem jede Rechereinheit zur Durchführung des datenbezogenen Buszugriffs über eine Buskoppereinheit an den Globalbus angeschlossen ist und eine Zugriffssteuereinheit zur Bewerbung um das Zugriffsrecht, Erkennen des Zugriffsrechtes sowie davon abhängigen Freigabe der Buskoppereinheit enthält, wobei die Zugriffssteuereinheit eine Steuereinheit zur Ablauf- und Zustandssteuerung, einen Anforderungsspeicher, eine Wartesteuerung, einen Rangwertespeicher, einen Rangvergleich, dem an einem ersten Eingang der eigene Rangwert zugeführt wird, und eine Änderungseinheit für einen Binärwert aufweist, **dadurch gekennzeichnet**, daß
 - der Auswahleingang des Rangwertespeichers (13) mit dem Ausgang eines Rangzeigerspeichers (7) über einen Umschalter (12) in seiner ersten Stellung direkt und in seiner zweiten Stellung über die Änderungseinheit (11) verbunden ist, wobei der Ausgang der Änderungseinheit (11) außerdem auf den Eingang eines Rangzeigertreibers (8) geführt ist,
 - der Ausgang des Rangwertespeichers (13) auf einen Direktvorrangdekoder (14), der auf das Vorhandensein des Höchststranges anspricht und dessen Ausgang mit der Steuereinheit (6) in Verbindung steht, den Rangwerteingang einer Ranganforderungseinheit (9), deren Freigabeeingang von der Steuereinheit (6) belegt ist und die in Abhängigkeit von dem Signal an ihrem Rangwerteingang bei Freigabe nur eine Bitstelle aus der Gruppe ihrer Ausgangsbits aktiviert, sowie den ersten Eingang des Rangvergleichers (17) geführt ist,
 - der Ausgang eines Globalanforderungsspeichers (10) über den ersten Eingang einer Reduziereinheit (15) und einen ihr nachgeschalteten Vorrangdekoder (16) auf den zweiten Eingang des Rangvergleichers (17) geführt ist, wobei der Ausgang des Vorrangdekoders (16) zusätzlich an den zweiten Eingang der Reduziereinheit (15) und die Betätigungseingänge des Globalanforderungsspeichers (10) und der Reduziereinheit (15) an die Steuereinheit (6) angeschlossen sind, sowie
 - die Ausgänge aller Rangzeigertreiber (8) mit den Eingängen aller Rangzeigerspeicher (7) und die Ausgänge aller Ranganforderungseinheiten (9) mit den Eingängen aller Globalanforderungsspeicher (10) und den Globalbus (4) in Verbindung stehen.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Änderungseinheit (11) über einen zweiten Eingang mit dem lokalen Datenbus (5.1) und einen dritten Eingang mit dem lokalen Adreßbus (5.2) der Rechereinheit (1) zur Aufnahme ausgangswertbestimmender Informationen verbunden ist.
3. Schaltungsanordnung nach Anspruch 1 mit parallelem Globalbus, **dadurch gekennzeichnet**, daß der Eingang des Rangzeigerspeichers (7) parallel mit dem Ausgang des Rangzeigertreibers (8) an einen ersten Teil des Globalbusses und der Ausgang der Ranganforderungseinheit (9) parallel mit dem Eingang des Globalanforderungsspeichers (10) an einen zweiten Teil des Globalbusses (4) angeschlossen ist, wobei der zweite Teil den ersten Teil ganz oder teilweise überdecken kann und die Benutzung dieser Teile durch die Zugriffssteuereinheit (3) in Zuständen des Globalbusses (4) erfolgt, in denen sie für den datenbezogenen Buszugriff nicht genutzt werden.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf Mehrrechnersysteme mit Datenübertragung über einen gemeinsamen Globalbus im Zeitteilbetrieb, bei denen keine zentralen Einrichtungen zur Busverwaltung eingesetzt werden sollen. Solche Anordnungen werden in komplexen Steuerungssystemen zur Bewältigung umfangreicher Funktionen unter hohen Echtzeitanforderungen angewendet.

Charakteristik des bekannten Standes der Technik

Aus der EP-PS 0035731 ist bekannt, daß in Teilnehmerstationen unterschiedliche Signalkombinationen als Prioritätsnummern vorhanden sind, die nach Aufruf bitweise auf die Busleitung geschaltet werden, wobei Stellen gleicher Wertigkeit beginnend mit der höchstwertigen Stelle disjunktiv auf der Busleitung verknüpft werden. Alle Teilnehmerstationen empfangen das entstehende Signal, wobei die Stationen, deren auf die Busleitung geschalteter Teil der Prioritätsnummer kleiner ist als das auf der Busleitung entstandene Signal, sich von der weiteren Bewerbung um die Master-Funktion ausschließen. Die Master-Funktion wird

derjenigen Station zugeordnet, deren Prioritätsnummer mit dem nach Abschluß der Entscheidungssequenz auf der Busleitung jeweils entstandenen Signal übereinstimmt. Weiter wird vorgeschlagen, als Prioritätsnummer die Adresse der Teilnehmerstation zu verwenden, die Prioritätsnummer zyklisch zu verändern sowie die Master-Funktion übertragbar bzw. selbsttätig übernehmbar zu gestalten.

Als nachteilig wird angesehen, daß für jede Master-Übertragung alle Teilnehmerstationen ihre Prioritätsnummern auf die Busleitung aufschalten müssen und der sequentielle Entscheidungsprozeß bitstellenbezogen ablaufen muß, wodurch Zeit in Anspruch genommen wird, die für die eigentliche Datenübertragung nicht mehr zur Verfügung steht. Weiter wird die disjunktive Verknüpfung von Stellen gleicher Wertigkeit auf der Busleitung durch Wired-OR-Verbindungen der Stationsausgänge als problematisch hinsichtlich der relativ geringen Geschwindigkeit der durch den jeweils erforderlichen „Pull“-Widerstand bewirkten Schaltflanke sowie hinsichtlich der Fehlersuche bei Störungsfällen betrachtet.

Die EP-PS 0 118 731 offenbart eine Anordnung mit gleichen Schiedsvorrichtungen für jedes Element und Zeiteilbetrieb, wobei jede Schiedsvorrichtung mit einem gesonderten Prioritätsbus mit Binärbaumstruktur verbunden ist und einen Komparator enthält, der einen Prioritätsvektor des betreffenden Elements mit einem Signal vom Prioritätsbus vergleicht, woraus die Belegung des Busses abgeleitet wird. Beansprucht wird hauptsächlich ein erster interner Bus zur Zuführung eines augenblicklichen Prioritätsvektors, der revolvierend modifiziert werden soll, sowie eine Rechenschaltung zur Bildung der zukünftigen Priorität, in jedem Zyklus nach einer festen speziellen Rechenvorschrift, wobei die Rechenschaltung an den Eingängen den Prioritätsbus und den ersten internen Bus empfängt.

Als nachteilig muß das Erfordernis des gesonderten Prioritätsbusses sowie seine besondere Verdrahtung zur Realisierung der Binärbaumstruktur eingeschätzt werden, weil hierdurch ein hoher Aufwand an Rückverdrahtung und Steckverbindern verursacht wird und keine flexible Anordnung der Teilnehmer am Bus möglich ist.

In der DE-OS 3 535 436 wird bei über einen gemeinsamen Bus verbundenen Modulen, die Identifikationsziffern aufweisen, die den Prioritätspegel darstellen und auf deren Grundlage eine Arbitrationseinheit die Busbenutzung entscheidet, vorgeschlagen, daß jeder Modul eine Setzeinheit für die Identifikationsziffer, eine Verriegelungseinheit zum Halten dieses Wertes, eine Arbitrationseinheit zur Entscheidung der Busbenutzung durch Vergleich der Prioritätspegel sowie eine Änderungsvorrichtung zur Änderung der Identifikationsziffer von der Verriegelungseinheit enthält. Weiter wird im wesentlichen beansprucht, daß die Arbitrationseinheit den invertierten Wert der Verriegelungseinheit an den Bus abgibt und die Änderungsvorrichtung als Subtraktionseinheit, die den invertierten Wert von dem Wert der Verriegelungseinheit subtrahiert und das Ergebnis wieder der Verriegelungseinheit zuführt, oder als Dekrementierer, der den Wert der Verriegelungseinheit um einen vorbestimmten Wert bei jedem Erwerb des Rechts zur Benutzung des Busses durch die Arbitrationseinheit reduziert, ausgeführt ist.

Als kritisch ist zu bewerten, daß die den Modulen zugeordneten Set- und Änderungseinheiten ihre Funktion ohne gegenseitige Information durchführen, wodurch die Möglichkeit nicht auszuschließen ist, daß Identifikationsziffern in verschiedenen Modulen zu einem Zeitpunkt mit gleichem Wert definiert werden, so daß der Arbitrationsprozeß keine eindeutige Grundlage mehr hat und fehlerhafte Ergebnisse in Form von Zugriffskonflikten oder sogar Buskollisionen liefert. Zur Vermeidung solcher Fehler wären zumindest weitere zusätzliche Entscheidungsmittel bzw. -schritte erforderlich, über die jedoch keine Aussagen erfolgen. Solche Zusatzmaßnahmen würden in unerwünschter Weise den Aufwand erhöhen und die Entscheidungszeit verlängern.

Ziel der Erfindung

Die Erfindung hat zum Ziel, die Leistungsfähigkeit von Mehrrechnersystemen mit dezentraler Busvergabe durch Verkürzung des Entscheidungsprozesses für die Busvergabe zu erhöhen und den Vergabeprozess sicherer zu gestalten.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur dezentralen Busvergabe in einem Mehrrechnersystem gemäß dem Oberbegriff zu schaffen, die bei Verzicht auf einen gesonderten Prioritätsbus und ohne disjunktive Verknüpfung von Prioritätssignalen auf Busleitungen eine kürzere Entscheidungszeit für die Busvergabe benötigt und dabei hohe Sicherheit gegen Buskollisionen gewährleistet.

Erfindungsgemäß wird die Aufgabe wie folgt gelöst: Der Auswahleingang des Rangwertespeichers ist mit dem Ausgang eines Rangzeigerspeichers über einen Umschalter in seiner ersten Stellung direkt und in seiner zweiten Stellung über die Änderungseinheit verbunden, wobei der Ausgang der Änderungseinheit außerdem auf den Eingang eines Rangzeigertreibers geführt ist. Der Ausgang des Rangwertespeichers ist auf einen Direktvorrangdekoder, der auf das Vorhandensein des Höchstanges anspricht und dessen Ausgang mit der Steuereinheit in Verbindung steht, den Rangwerteingang einer Ranganforderungseinheit, deren Freigabeeingang von der Steuereinheit belegt ist und die in Abhängigkeit von dem Signal an ihrem Rangwerteingang bei Freigabe nur eine Bitstelle aus der Gruppe ihrer Ausgangsbits aktiviert, sowie den ersten Eingang des Rangvergleichers geführt. Der Ausgang eines Globalanforderungsspeichers ist über den ersten Eingang einer Reduziereinheit und einen ihr nachgeschalteten Vorrangdekoder auf den zweiten Eingang des Rangvergleichers geführt, wobei der Ausgang des Vorrangdekoders zusätzlich an den zweiten Eingang der Reduziereinheit und die Betätigungseingänge des Globalanforderungsspeichers und der Reduziereinheit an die Steuereinheit angeschlossen sind. Die Ausgänge aller Rangzeigertreiber stehen mit den Eingängen aller Rangzeigerspeicher und die Ausgänge aller Ranganforderungseinheiten mit den Eingängen aller Globalanforderungsspeicher über den Globalbus 4 in Verbindung.

Vorteilhafterweise ist die Änderungseinheit über einen zweiten Eingang mit dem lokalen Datenbus und einen dritten Eingang mit dem lokalen Adreßbus der Rechereinheit zur Aufnahme ausgangswertbestimmender Informationen verbunden.

Bei einem parallelen Globalbus ist es zweckmäßig, daß der Eingang des Rangzeigerspeichers parallel mit dem Ausgang des Rangzeigertreibers an einen ersten Teil des Globalbusses und der Ausgang der Ranganforderungseinheit parallel mit dem Eingang des Globalanforderungsspeichers an einen zweiten Teil des Globalbusses angeschlossen ist, wobei der zweite Teil den ersten Teil ganz oder teilweise überdecken kann und die Benutzung dieser Teile durch die Zugriffssteuereinheit in Zuständen des Globalbusses erfolgt, in denen sie für den datenbezogenen Buszugriff nicht genutzt werden.

Ausführungsbeispiel

Das Ausführungsbeispiel wird an Hand von Zeichnungen veranschaulicht, wobei zeigen

Fig. 1: ein Blockschaltbild der Schaltungsanordnung für eine Rechneinheit

Fig. 2: eine Tabelle der wesentlichen Signalbedingungen des Vergabeprozesses für vier Rechneinheiten.

In der Figur 1 sind von der Rechneinheit 1 nur die die Erfindung betreffenden Funktionsblöcke dargestellt: die Buskoppereinheit 2 und die Zugriffsteuereinheit 3. Weitere im allgemeinen vorhandene Funktionsblöcke, wie Prozessor, Speicher, Ein-/Ausgabeeinheiten usw., sind nicht dargestellt.

Die Buskoppereinheit 2 verbindet den Lokalbus 5 der Rechneinheit 1, bestehend aus dem Datenbus 5.1, dem Adreßbus 5.2 und dem Steuerbus 5.3 zeitteilig entsprechend mit dem Datenbus 4.1, dem Adreßbus 4.2 und dem Steuerbus 4.3 des Globalbusses 4 des Mehrrechnersystems.

Die Zugriffsteuereinheit 3 zur Bewerbung um das Zugriffsrecht, Erkennen des Zugriffsrechtes sowie davon abhängigen Freigabe der Buskoppereinheit 2 enthält eine Steuereinheit 6, die mit einer Steuertaktleitung 4.4, einer Anm...deleitung 4.5 und einer Quittungsleitung 4.6 zur Synchronisierung des Vergabeprozesses zwischen den Rechneinheiten, d...wie Busleitungen an jede Rechneinheit geführt sind, verbunden ist. Außerdem dient die Steuereinheit 6 zur zeitlichen und logischen Ablaufsteuerung weiterer Elemente, mit denen sie über ihre Ausgänge A2...A11 und ihre Eingänge E1...E3 in Verbindung steht. Der Ausgang A1 ist mit einem Freigabeeingang der Buskoppereinheit 2 verbunden.

Ein erster Teil des parallelen globalen Adreßbusses 4.2 – entsprechend der weiter unten erläuterten Wirkungsweise für vier Rechneinheiten z. B. bestehend aus den zwei niederwertigsten Adreßleitungen – ist an den Eingang des Rangzeigerspeichers 7 und an den Ausgang des Rangzeigertreibers 8 geführt. Der Ausgang des Rangzeigerspeichers 7, dessen Betätigungseingang an den Ausgang A2 der Steuereinheit 6 angeschlossen ist, ist mit dem Eingang der Änderungseinheit 11 und über einen Umschalter 12, dessen Steuereingang von dem Ausgang A7 der Steuereinheit 6 beaufschlagt wird, in seiner ersten Stellung mit dem Auswahleingang des Rangwertespeichers 13 verbunden. Der Ausgang der Änderungseinheit 11 ist an den Eingang des Rangzeigertreibers 8, dessen Freigabeeingang an den Ausgang A3 der Steuereinheit 6 angeschlossen ist, geführt und über den Umschalter 12 in seiner zweiten Stellung ebenfalls mit dem Auswahleingang des Rangwertespeichers 13 verbunden. Der Rangwertespeicher 13 enthält für jeden Rangzeigerwert, der an seinen Auswahleingang gelangt, einen Rangwert in binärer Form, der seinem Rang hinsichtlich der Zugriffsberechtigung in bezug auf die anderen Rechneinheiten entspricht und der für einen Rangzeigerwert unter allen Rechneinheiten nur einmal vergeben ist. Zum Laden des Rangwertespeichers 13 ist sein Dateneingang mit dem lokalen Datenbus 5.1 verbunden.

Der Datenausgang des Rangwertespeichers 13 ist auf einen Direktvorrangdekoder 14, dessen Ausgang an den Informationseingang eines Direktvorrangspeichers 20 angeschlossen ist, den Rangwerteingang einer Ranganforderungseinheit 9 und den ersten Eingang des Rangvergleichers 17 geführt. Der Freigabeeingang der Ranganforderungseinheit 9 ist mit dem Ausgang A4 der Steuereinheit 6 und ihr Ausgang mit einem zweiten Teil des globalen Adreßbusses 4.2 – entsprechend der weiter unten erläuterten Wirkungsweise für vier Rechneinheiten z. B. mit den vier niederwertigsten Adreßleitungen – verbunden, an den auch der Dateneingang eines Globalanforderungsspeichers 10 angeschlossen ist.

Der Ausgang des Globalanforderungsspeichers 10 ist über eine Reduziereinheit 15 und einen Vorrangdekoder 16 an den zweiten Eingang des Rangvergleichers 17 angeschlossen und der Ausgang des Vorrangdekoders 16 zusätzlich auf einen zweiten Eingang der Reduziereinheit 15 zurückgeführt, wobei die Betätigungseingänge des Globalanforderungsspeichers 10 und der Reduziereinheit 15 entsprechend mit Ausgängen A5 und A6 der Steuereinheit 6 verbunden sind.

Der Ausgang des Rangvergleichers 17 ist an den Informationseingang des Vorrangspeichers 21 angeschlossen. Die Betätigungseingänge des Direktvorrangspeichers 20 und des Vorrangspeichers 21 sind entsprechend mit den Ausgängen A9 und A8 und die Informationsausgänge mit den Eingängen E2 und E3 der Steuereinheit 6 verbunden.

Die Anforderungsleitung 22 für den datenbezogenen Buszugriff des nicht dargestellten Prozessors der Rechneinheit 1 ist auf den ersten Eingang einer Wartesteuerung 18 und auf den Informationseingang des Anforderungsspeichers 19 geführt, dessen Betätigungseingang vom Ausgang A10 der Steuereinheit 6 beaufschlagt wird und dessen Informationsausgang an den Eingang E1 der Steuereinheit 6 geführt ist. Die Wartesteuerung 18 ist mit ihrem zweiten Eingang an den Ausgang A11 der Steuereinheit 6 und mit ihrem Ausgang an eine Wartesteuerleitung 23, die an einen Wartesteuereingang des nicht dargestellten Prozessors der Rechneinheit 1 geführt ist, angeschlossen.

Die Wirkungsweise der Anordnung wird für ein Beispiel von vier Rechneinheiten 1-0...1-3 am Globalbus 4 an Hand der Fig. 2 erläutert, wobei jede dieser Rechneinheiten den beschriebenen Aufbau der Rechneinheit 1 aufweist. Entsprechend bedeutet z. B. die zusammengesetzte Bezugsziffer 6-2 die Steuereinheit 6 der Rechneinheit 2. Außer dem Rangzeiger- und dem Rangwert sind alle Signalpegel „0“-aktiv dargestellt.

Die Erläuterung erfolgt für den Fall, daß die Rechneinheiten 1-0, 1-1 und 1-2 den nächsten Zugriff auf den Globalbus durchführen wollen und die Rechneinheit 1-3 gerade den letzten Zugriff ausgeübt hat. Entsprechend wurden in den Rechneinheiten 1-0, 1-1 und 1-2 nach Vorliegen des Zugriffswunsches entsprechend Zeile 1 in Figur 2 die

Anforderungsleitungen 23 auf „0“ geschaltet, was gemäß Zeile 2 in Figur 2 zur Aktivierung der Wartesteuerungen 18 zur Ausgabe von „0“-Signalen auf den Wartesteuerleitungen 23 führt. Hierdurch werden die Prozessoren vorübergehend in den Wartezustand versetzt. Die Buskoppereinheiten 2 werden vom Ausgang A1 der Steuereinheiten 6 weiter inaktiv gehalten.

Die Rechneinheit 1-3, die ihren datenbezogenen Buszugriff, der das Lesen oder Schreiben eines Datenwortes in einem globalen Speicher zum Ziel hatte, abgeschlossen hat, führt noch folgende Operationen aus:

- Die Steuereinheit 6-3 gibt über ihren Steuerausgang A3 den Rangzeigertreiber 8-3 frei, wodurch dieser den von der Änderungseinheit 11-3 vorher bestimmten Rangzeigerwert für die nächste Busvergabe n nach Zeile 3 in Figur 2 als Wert „00“ auf den ersten Teil des globalen Adreßbusses 4.2 aussendet, der damit an allen anderen Rechneinheiten anliegt.
- Gleichzeitig schaltet die Steuereinheit 6-3 das Taktsignal auf der Steuertaktleitung 4.4 auf „1“ und signalisiert damit, daß sie ihren Buszugriff beendet hat und ein neuer Vergabevorgang, an dem sich alle Rechneinheiten beteiligen können, beginnt.

Außerdem gibt die Steuereinheit 6-3 damit die Steuerung der Steuertaktleitung 4.4 ab, die später von der Rechneinheit übernommen wird, die nach erfolgreicher Anforderung den Buszugriff durchführt.

Das Erscheinen der „0/1“-Flanke am Steuertakteingang der Steuereinheiten 6 hat unmittelbar zwei Wirkungen zur Folge:

- Durch Ausgabe eines Taktimpulses an den Ausgängen A2 wird die Übernahme des Rangzeigerwertes „00“ vom ersten Teil des globalen Adreßbusses 4.2 in die Rangzeigerspeicher 7 entsprechend Zeile 4 in Figur 2 veranlaßt. Der Rangzeigerwert wird danach von der aussendenden Rechneinheit 1-3 abgeschaltet.

- Durch Auslösen eines Taktimpulses von den Ausgängen A10 zu den Takteingängen der Anforderungsspeicher 19 werden die Anforderungsleitungen 24 abgetastet; spätere Anforderungen bleiben deshalb zunächst unberücksichtigt. Die in den Anforderungsspeichern 19 gespeicherten Anforderungssignale entsprechend Zeile 5 in Figur 2 signalisieren den Steuereinheiten 6 über die Eingänge E1 bei Signalwert „0“ das Vorliegen einer Busanforderung.

Vom Ausgang der Rangzeigerspeicher 7 gelangt der gespeicherte Rangzeigerwert zunächst über die Umschalter 12 in ihrer ersten Stellung an den Auswahleingang der Rangwertespeicher 13. In der Figur 2 ist oben dargestellt, in welcher Weise die Rangwertespeicher 13 z. B. in einer Initialisierungsphase von den Prozessoren der Rechneinheiten über den Anschluß des lokalen Datenbusses 5.1 geladen wurden. Dabei können die Prozessoren selbst ihre spezifischen Daten auf der Grundlage einer Information über ihren „geografischen“ oder logischen Ort am Globalbus ableiten oder aus einem ihnen zugeordneten Initialisierungsspeicher beziehen, der vorher von einem Initialisierungs-Master geladen wurde. Die Rangwertespeicher 13, die als schnelle RAM-Speicher realisiert sind, stellen nach ihrer Zugriffszeit an ihren Ausgängen den gültigen Rangwert für die jeweilige Rechneinheit entsprechend Zeile 6 in Figur 2 bereit.

Von den Direktvorrangdekodern 14 wird entsprechend Zeile 7 in Figur 2 zunächst festgestellt, ob der höchste überhaupt mögliche Rangwert – in Figur 2 der Rangwert „11“ – vorliegt. Da dies nach Betätigung der Direktvorrangspeicher 20 und Auswertung ihrer Informationsausgänge durch die Steuereinheiten 6 als nicht gegeben erkannt wird, setzen die Steuereinheiten 6 den Vergabevorgang wie folgt fort. Die Steuereinheiten 6 der anfordernden Rechneinheiten geben über ihren Ausgang A4 die Ranganforderungseinheiten 9 frei, was zur Folge hat, daß jeweils in Abhängigkeit vom anliegenden Rangwert nur ein Ausgang des 4fach-Ausganges entsprechend Zeile 8 in Figur 2 auf „0“ geschaltet wird. Auf dem zweiten Teil des globalen Adreßbusses 4.2 entsteht somit das resultierende Globalanforderungssignal „1000“, das aussagt, auf welchem Rangwert eine Busanforderung vorliegt.

Jede anfordernde Zugriffssteuereinheit 3 übernimmt auf ein Signal vom Ausgang A5 ihrer Steuereinheit 6 hin entsprechend Zeile 9 in Figur 2 das Globalanforderungssignal in ihren Globalanforderungsspeicher 10, dessen Ausgangssignal zunächst an den ersten Eingang der Reduziereinheit 15 gelangt, die sich am Anfang in einem rückgesetzten Zustand befindet, in dem ihr zweiter Eingang ohne Wirkung auf den ersten Eingang ist, so daß das Globalanforderungssignal unverändert an ihrem Ausgang und damit am Eingang des Vorrangdekoders 16 erscheint.

Dieser entschlüsselt jeweils die Bitstelle, die die Anforderung mit höchstem Vorrang aufweist. Nach Figur 2, Zeile 10, ergibt sich ein Wert von „1011“, der besagt, daß auf der Bitstelle B2 die Vorranganforderung vorhanden ist. Dieses Signal gelangt an den zweiten Eingang der Rangvergleichler 17. Nur wenn der bitstellenkodierte Wert am zweiten Eingang mit dem binär kodierten Wert am ersten Eingang des Rangvergleichers 17 wertmäßig übereinstimmt, wird der Ausgang auf „0“ geschaltet, was bedeutet, daß Vorrang für die eigene Rechneinheit vorliegt.

Den Steuereinheiten 6 stehen die Ausgangssignale der Rangvergleichler 17 nach Übernahme in die Vorrangspeicher 21 an ihren Eingängen E3 zur Auswertung zur Verfügung. Entsprechend Zeile 11 in Figur 2 wird nur der Steuereinheit 6-2 durch „0“-Signal Vorrang und damit Zugriffsberechtigung signalisiert, während die anderen anfordernden Steuereinheiten 6-0 und 6-1 infolge „1“-Signal erkennen, daß sie keinen Vorrang erhalten haben und demzufolge nicht berechtigt sind, den Bus zu belegen.

Die vorrangige Zugriffssteuereinheit 3-2 leitet jetzt ihren datenbezogenen Buszugriff ein. Hierzu aktiviert die Steuereinheit 6-2 über ihren Ausgang A1 die Buskoppereinheit 2-2, signalisiert über Ausgang A11 der Wartesteuerung 18-2, das Signal auf der Wartesteuerleitung 22-2 abzuschalten, was durch Wechsel in den „1“-Pegel aus Zeile 12 in Figur 2 ersichtlich ist, und schaltet das Taktsignal auf der Steuertaktleitung 4.4 auf „0“-Pegel.

Der Buszugriff über die Buskoppereinheit 2 auf den Globalbus 4 erfolgt in bekannter Weise durch Aussenden von Adreß- und Steuersignalen sowie der Übertragung der Daten in Abhängigkeit eines Lese- oder Schreibvorganges. Die anderen anfordernden Zugriffssteuereinheiten 3-0 und 3-1, die für sich keinen Vorrang erkannten, halten ihre Wartesteuerungen 18 über Ausgang A11 ihrer Steuereinheiten 6 aktiv und über Ausgang A1 ihre Buskoppereinheiten 2 gesperrt.

Die wartenden Zugriffssteuereinheiten 1-0 und 1-1 führen einen weiteren Entscheidungsvorgang aus, der zum Ziel hat, zu erkennen, ob sie im folgenden Vergabezyklus $n + 1$ Vorrang aufweisen, wobei diese Entscheidung mit den im Vergabezyklus n gewonnenen Informationen ausgeführt wird. Dieser vorgezogene Entscheidungsvorgang für den Zugriff $n + 1$ findet zeitlich parallel zum Zugriff n statt, so daß er keine zusätzliche Zeit benötigt. Ausgegangen wird hierbei von der Funktion der Änderungseinheit 7, die in der Lage ist, den Rangzeigerwert nach vorbestimmten Regeln jeweils in allen

Zugriffssteuereinheiten 3 in den zukünftigen Rangzeigerwert für den Vergabezyklus $n + 1$ zu modifizieren. Im vorliegenden Fall führen die Änderungseinheiten 11 einen einfachen Inkrementierungsvorgang für im Normalbetrieb umlaufenden Vorrang aus.

Mit Übergang auf „0“-Pegel des Taktsignals auf der Steuertaktleitung 4.4 werden in den Zugriffssteuereinheiten 3 von den Steuereinheiten 6 über Ausgang A7 die Umschalter 12 in ihre zweite Stellung geschaltet, wodurch der inkrementierte Rangzeigerwert für den Zugriff $n + 1$, der in allen Zugriffssteuereinheiten 3 den gleichen Wert aufweist – in Zeile 13 der Figur 2 der Wert „01“ –, jeweils an den Auswahleingang der Rangwertespeicher 13 gelangt. Daraufhin geben die Rangwertespeicher 13 an ihren Ausgängen die Werte entsprechend Zeile 14 in Figur 2 aus, die wiederum zuerst von den Direktvorrangdekodern 14 verarbeitet werden.

Diesmal weist der Rangwert der Rechneinheit 1-0 den Höchstwert „11“ auf, wodurch der Direktvorrangdekode 14-0 gemäß Zeile 15 in Figur 2 auf „0“ schaltet. Nach Übernahme in den Direktvorrangspeicher 21 erkennt die Steuereinheit 6-0 für sich Höchststang für den Zugriff $n + 1$, der von keiner anderen Rechneinheit überboten werden kann, so daß kein weiterer Entscheidungsbedarf besteht und der Entscheidungsvorgang abgeschlossen wird.

Die Rechneinheit 1-0 kann nun direkt nach dem datenbezogenen Buszugriff n der Rechneinheit 1-2 ihren eigenen datenbezogenen Buszugriff $n + 1$ ausüben. Die Zugriffssteuereinheit 1-0 signalisiert ihren beabsichtigten Direktfolgezugriff allen anderen Rechneinheiten über die Anmeldeleitung 4.5 und führt den Direktfolgezugriff nur aus, wenn von der Zugriffssteuereinheit 3-2 der momentan zugreifenden Rechneinheit 1-2 die Quittungsleitung 4.6 aktiviert wurde. Das

Taktsignal auf der Steuertakteitung 4.4 wird am Ende des Buszugriffs n von der Steuereinheit 6-2 auf „1“-Pegel geschaltet, jedoch von der Steuereinheit 6-0 der Zugriffssteuereinheit 3-0, die den Direktfolgezugriff durchführen will, sofort wieder auf „0“-Pegel gebracht, da sie ohne weiteren Entscheidungsvorgang ihren datenbezogenen Buszugriff einleitet.

Weist in dem vorgezogenen Entscheidungsvorgang für den Zugriff n + 1 im Gegensatz zum gerade beschriebenen Fall keine der Rechneinheiten Höchststang auf, das heißt, daß der Direktvorrangdekoder 14 nicht anspricht, so erfolgt die Vorrangentscheidung mit Hilfe des noch im Globalanforderungsspeicher 10 gespeicherten Globalanforderungssignals der Vergabe n, ohne daß ein neues Globalanforderungssignal empfangen werden muß.

Hierzu wird in den wartenden Zugriffssteuereinheiten 3-0 und 3-1 zunächst durch Betätigung vom Ausgang A6 der Steuereinheiten 6 die Reduziereinheit 15 aktiviert. Diese reduziert jeweils das vom Globalanforderungsspeicher 10 gelieferte Globalanforderungssignal um diejenige Anforderung, die ihr an ihrem zweiten Eingang vom Ausgang des Vorrangdekoders 16 als aktuell behandelte Vorranganforderung signalisiert wird. Somit gibt der Ausgang der Reduziereinheit 15 als Globalanforderungssignal nur noch die Anforderungen der wartenden Rechneinheiten 1-0 und 1-1 an den Eingang des Vorrangdekoders 16. Die weitere Verarbeitung erfolgt dann in der beschriebenen Weise, wobei dieser Vorgang so oft wiederholt werden kann, bis alle Anforderungen befriedigt sind.

Die Änderungseinheit 11 kann neben einem regelmäßigen Vorrangumlauf, z. B. durch Inkrementierung des Rangzeigerwertes, auch besondere Anforderungen der Rechneinheit berücksichtigen. Hierzu kann ihr an ihrem zweiten Eingang die Rechneinheit über den lokalen Datenbus Daten übergeben, die einen zukünftigen Rangzeigerwert direkt oder eine besondere Bildungsvorschrift enthalten. Weiter kann ihr an einem dritten Eingang während eines datenbezogenen Buszugriffs vom lokalen Adreßbus signalisiert werden, einen bestimmten nächsten Rangzeigerwert zur Berücksichtigung funktioneller Gesichtspunkte auszugeben.

Neben der beschriebenen Anwendung für einen parallelen Globalbus kann die erfindungsgemäße Schaltungsanordnung auch bei einem bit-seriellen Globalbus Anwendung finden. Dabei ist zu berücksichtigen, daß neben der seriellen Durchführung des datenbezogenen Buszugriffs auch die Informationsübertragungen für den Entscheidungsprozeß zur Busvergabe über den Globalbus in serieller Form erfolgen. Die internen Verarbeitungen in der Zugriffssteuereinheit können jedoch in der oben beschriebenen Weise erfolgen. Zwischen dem seriellen Globalbus und den zum Globalbus gerichteten Anschlüssen des Rangzeigerspeichers 7, des Rangzeigertreibers 8, der Anforderungseinheit 9 und des Globalanforderungsspeichers 10 sind in diesem Fall Mittel zur parallel/seriellen beziehungsweise seriell/parallelen Wandlung vorzusehen.

Die erfindungsgemäße Schaltungsanordnung läßt es auch zu, den Übergang von der parallelen zur seriellen Übertragung beziehungsweise Verarbeitung an anderer Stelle, z. B. in Abhängigkeit des wirtschaftlichen Einsatzes von Bauelementen oder der Funktionsweise der Umgebung der Schaltungsanordnung, vorzunehmen.

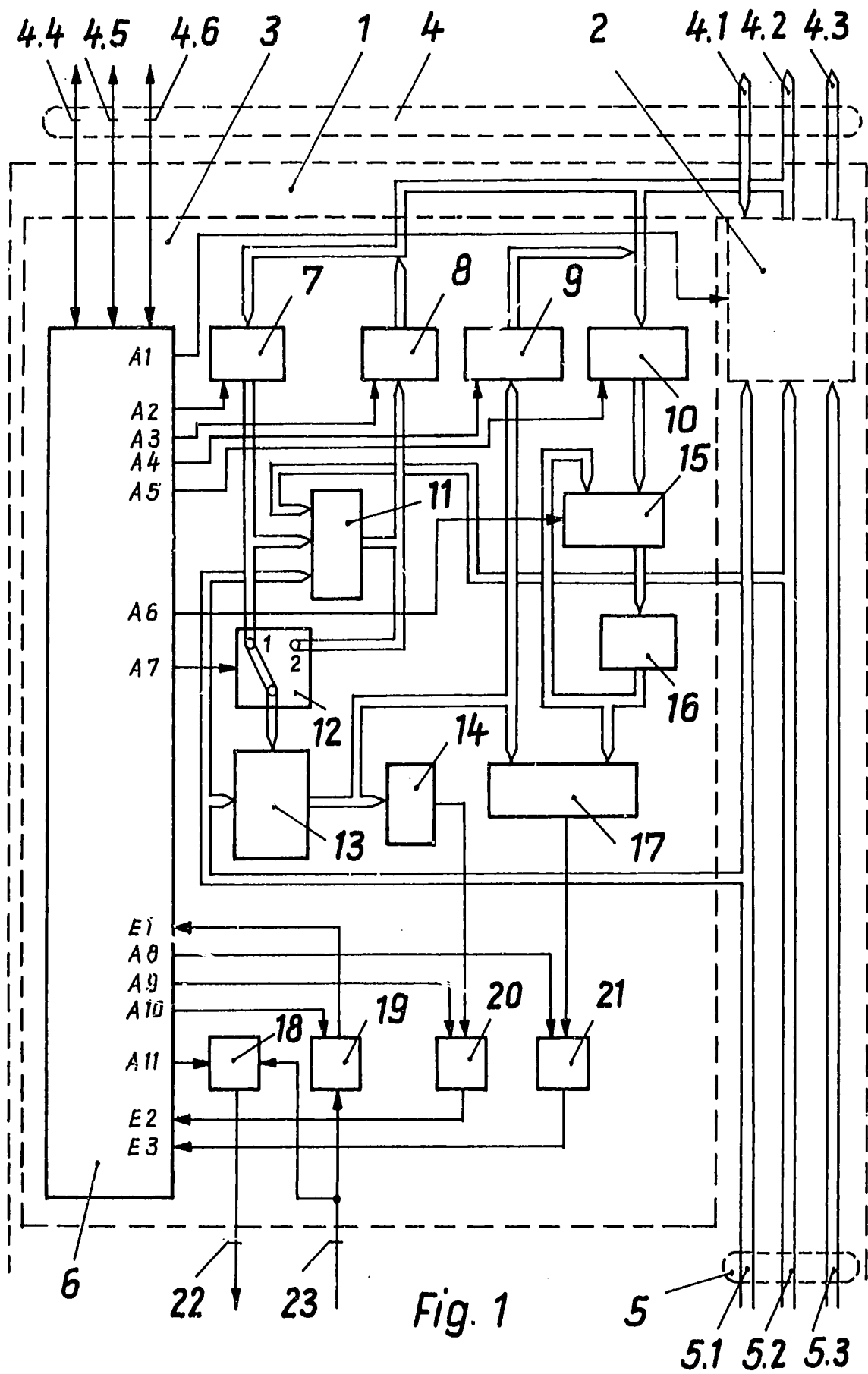


Fig. 1

		Rechnereinheiten				Kommentar
		(1-3)	(1-2)	(1-1)	(1-0)	
		Rangwertspeicher				
Rangzeiger		(13-3)	(13-2)	(13-1)	(13-0)	
00		11	10	01	00	Belegung Rangwerte- speicher
01		10	01	00	11	
10		01	00	11	10	
11		00	11	10	01	
Nr.	Element					
1	(23)	1	0	0	0	Abschluß Zugriff n-1
2	(22)	1	0	0	0	
3	(8)	00				
4	(7)	00	00	00	00	Vergabe n
5	(19)	1	0	0	0	
6	(13)		10	01	00	(12) in Pos. 1
7	(14)		1	1	1	
8	(8)		-0--	--0-	---0	
9	(10)		1000	1000	1000	
10	(15)		1011	1011	1011	
11	(17)		0	1	1	
12	(22)	1	1	0	0	Zugriff n
13	(11)			01	01	vorgezogene Vergabe n+1 (12) in Pos. 2
14	(13)			00	11	
15	(14)			1	0	
16	(22)	1	1	1	0	

Fig. 2