

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-190804
(P2013-190804A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H192
G02F 1/1368 (2006.01)	G02F 1/1368	5C094

審査請求 有 請求項の数 1 O L (全 16 頁)

(21) 出願番号 特願2013-96716 (P2013-96716)
 (22) 出願日 平成25年5月2日(2013.5.2)
 (62) 分割の表示 特願2011-241765 (P2011-241765) の分割
 原出願日 平成13年4月27日(2001.4.27)
 (31) 優先権主張番号 特願2000-128536 (P2000-128536)
 (32) 優先日 平成12年4月27日(2000.4.27)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒井 康行
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 BA13 BC72 BC82 CB05
 CB13 CB53 CC02 CC07 CC33
 CC44 DA02 DA42 EA04 FB02
 5C094 AA10 AA43 BA03 BA43 DA13
 EA04 FA01 GB10

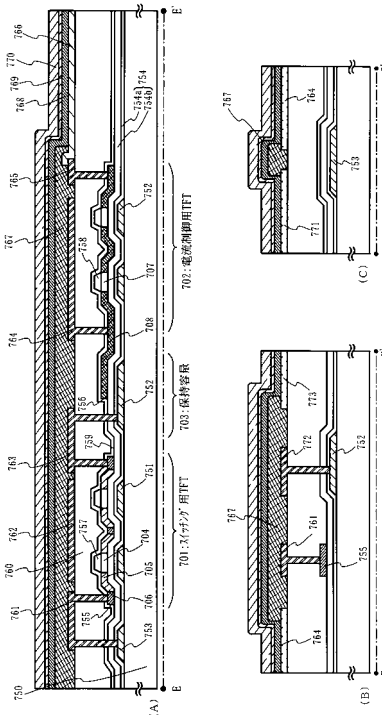
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画素部に形成される画素電極やゲート配線及びソース配線の配置を適したものと
 して、かつ、マスク数及び工程数を増加させることなく
 高い開口率を実現した画素構造を
 有するアクティブマトリクス型表示装置を提供することを
 目的とする。

【解決手段】絶縁表面上のゲート電極及びソース配線と、
 前記ゲート電極及びソース配線
 上の第1の絶縁層と、前記第1の絶縁膜上の半導体層と、
 前記半導体膜上の第2の絶縁層
 と、前記第2の絶縁層上の前記ゲート電極と接続するゲ
 ート配線と、前記ソース電極と前
 記半導体層とを接続する接続電極と、前記半導体層と接
 続する画素電極とを有することを
 特徴としている。

【選択図】 図 1 3



【特許請求の範囲】**【請求項 1】**

表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は薄膜トランジスタ（以下、TFTという）で構成された集積回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子装置に関する。尚、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子装置は全て半導体装置の範疇に含まれるものとする。

10

【背景技術】**【0002】**

半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を作製する技術が開発されている。TFTは液晶表示装置のスイッチング素子として実用化が進み、最近ではCMOS回路を形成し、ガラスなどの基板上に集積回路を形成することも可能となっている。

【0003】

液晶表示装置では、画質の高精細化に対応するため、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が主流となりつつある。このアクティブマトリクス型液晶表示装置には、大別して透過型と反射型の二種類が知られている。

20

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有し、携帯型情報端末やビデオカメラ用の直視型表示装置としての需要が高まっている。

【0004】

反射型のアクティブマトリクス型液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウムや銀などの光反射率の高い導電性材料を用いている。

30

【0005】

いずれにしても、画質の高精細化が進むにつれ、必然的に画素一つ当たりのサイズは微細化する。その結果、画素部においてTFT、ソース配線、ゲート配線などが占める面積の割合が大きくなり、開口率が低下してしまう。従って、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠となってくる。

【発明の概要】**【発明が解決しようとする課題】****【0006】**

規定の画素サイズの中で高開口率を実現するためには、画素部の回路構成に必要な要素を効率よく配置することが不可欠となる。

40

【0007】

本発明は、このような課題を鑑みて導き出されたものであり、画素部に形成される画素電極やゲート配線及びソース配線の配置を適したものとして、かつ、マスク数及び工程数を増加させることなく高い開口率を実現した画素構造を有するアクティブマトリクス型表示装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

本発明は、ブラックマトリクスを形成するための遮光膜を用いることなくTFTを遮光

50

し、さらに画素と画素との間から漏洩する光を遮断する構造を特徴としている。そのような構造を有する本発明の構成は、絶縁表面上のゲート電極及びソース配線と、前記ゲート電極及びソース配線上の第1の絶縁膜と、前記第1の絶縁膜上の半導体膜と、前記半導体膜上の第2の絶縁膜と、前記第2の絶縁膜上の前記ゲート電極と接続するゲート配線と、前記ソース配線と前記半導体膜とを接続する接続電極と、前記半導体膜と接続する画素電極とを有することを特徴としている。

【0009】

また、他の発明の構成は、絶縁表面上の第1のゲート電極と第2のゲート電極とソース配線と、前記第1及び第2のゲート電極とソース配線上の第1の絶縁膜と、前記第1の絶縁膜上に、ソース領域及びドレイン領域とチャンネル形成領域とを有する第1の半導体膜と、前記第2のゲート電極と重なる第2の半導体膜と、前記第1及び第2の半導体膜上の第2の絶縁膜と、前記第2の絶縁膜上に前記ゲート電極と接続するゲート配線と、前記ソース配線と前記ソース領域と接続する接続電極と、前記ドレイン領域と前記第2の半導体膜とに接続する画素電極とを有することを特徴としている。

10

【0010】

このような発明の構成において、前記画素電極の一方の端部は、前記ソース配線上に形成することにより、遮光膜を兼ねることができ、画素部において画素電極が占める面積の割合を大きくすることができる。

【0011】

また、他の発明の構成は、絶縁表面上にゲート電極とソース配線を形成する第1の工程と、前記ゲート電極上に第1の絶縁膜を形成する第2の工程と、前記第1の絶縁膜上に半導体膜を形成する第3の工程と、前記半導体膜上に第2の絶縁膜を形成する第4の工程と、前記第2の絶縁膜上に、前記ゲート電極と接続するゲート配線と、前記ソース配線と前記半導体膜とを接続する接続電極と、前記半導体膜と接続する画素電極とを形成する第5の工程とを有することを特徴としている。

20

【0012】

また、他の発明の構成は、絶縁表面上にゲート電極とソース配線を形成する第1の工程と、前記ゲート電極上に第1の絶縁膜を形成する第2の工程と、前記第1の絶縁膜上に半導体膜を形成する第3の工程と、前記半導体膜にソース領域及びドレイン領域を形成する第4の工程と、前記半導体膜上に第2の絶縁膜を形成する第5の工程と、前記第2の絶縁膜上に、前記ゲート電極と接続するゲート配線と、前記ソース配線と前記ソース領域とを接続する接続電極と、前記ドレイン領域と接続する画素電極とを形成する第6の工程とを有することを特徴としている。

30

【0013】

また、他の発明の構成は、絶縁表面上に第1のゲート電極と第2のゲート電極とソース配線を形成する第1の工程と、前記第1及び第2のゲート電極上に第1の絶縁膜を形成する第2の工程と、前記第1の絶縁膜上に、前記第1のゲート電極と重なる第1の半導体膜と、前記第2のゲート電極と重なる第2の半導体膜とを形成する第3の工程と、前記第1の半導体膜にソース領域及びドレイン領域を形成する第4の工程と、前記半導体膜上に第2の絶縁膜を形成する第5の工程と、前記第2の絶縁膜上に、前記ゲート電極と接続するゲート配線と、前記ソース配線と前記ソース領域とを接続する接続電極と、前記ドレイン領域と前記第2の半導体膜と接続する画素電極とを形成する第6の工程とを有することを特徴としている。

40

【0014】

上記工程に従えば、画素電極の一方の端部は、ソース配線上に形成することにより、ソース配線が遮光膜を兼ねる画素構造を形成することが可能となり、画素部において画素電極が占める面積の割合を大きくすることができる。

【発明の効果】

【0015】

本発明の画素構造とすることにより、画素部に占める画素電極の割合を大きくすること

50

が可能となり、反射型のアクティブマトリクス型液晶表示装置において開口率を向上させることができる。その結果、反射型の液晶表示装置のいずれにおいても明るく鮮明な画像表示を可能とする。

【図面の簡単な説明】

【0016】

【図1】本発明の液晶表示装置における画素の構成を説明する上面図。

【図2】駆動回路のTFT、画素TFTの作製工程を説明する上面図。

【図3】液晶表示装置における画素の構成を説明する回路図。

【図4】駆動回路のTFT、画素TFTの作製工程を説明する断面図。

【図5】駆動回路のTFT、画素TFTの作製工程を説明する断面図。

10

【図6】駆動回路のTFT、画素TFTの作製工程を説明する断面図。

【図7】反射型の液晶表示装置における画素の構成を説明する断面図。

【図8】反射型の液晶表示装置における画素の構成を説明する上面図。

【図9】透過型液晶表示装置の画素部の構造を説明する断面図。

【図10】液晶表示装置の構成を説明する断面図。

【図11】液晶表示装置の主要構成要素の組み立て図。

【図12】フロントライトを用いた反射型液晶表示装置の構成を説明する図。

【図13】EL表示装置の画素部の構成を説明する断面図。

【図14】EL表示装置の画素部の構成を説明する上面図。

【図15】半導体装置の一例を説明する図。

20

【図16】半導体装置の一例を説明する図。

【発明を実施するための形態】

【0017】

アクティブマトリクス型液晶表示装置に対する画素構造は、図1に示すように行方向に配置されたゲート配線235と、列方向に配置されたソース配線207と、ゲート配線とソース配線の交差部に対応して設けた画素TFTと、該画素TFTに接続する画素電極とから構成されている。

【0018】

画素毎に設けるTFT（以下、画素TFTと記す）のゲート電極204は絶縁表面上に形成され、第1の絶縁膜を介して半導体膜212が形成されている。ソース配線207は、ゲート電極204と同じ絶縁表面上に形成されている。ゲート配線235と画素電極236は、半導体膜212上に形成された第2の絶縁膜の上に形成されている。そして、ゲート配線235及び画素電極236は、コンタクトホールを介してゲート電極204及び半導体膜212とそれぞれ接続している。また、ソース配線207と半導体膜212は、ゲート配線235と同じ層に形成された接続配線234により接続されている。

30

【0019】

このような画素構造とすることにより、半導体膜212がゲート電極204と交差する部分（TFTにおいてチャンネルが形成される部分）を、ゲート配線235で覆い遮光することができる。また、また、半導体膜212のそれ以外の領域も遮光される構造とすることが望ましい。また、図1ではゲート電極が楕円形となり複数のチャンネル形成領域が存在するTFT構造を示しているが、チャンネル形成領域と他のチャンネル形成領域との間に存在する領域もゲート配線235によって遮光することが望ましい。

40

【0020】

図1における画素構造において、ゲート電極は画素に形成する保持容量を形成する一方の電極としての機能を有している。一つの画素は、半導体膜212と接続する画素電極236により形成されるが、画素電極236はまた半導体膜213と接続している。半導体膜213は容量を形成するための一方の電極として形成され、ゲート電極205と一対となって保持容量を形成する。この場合、半導体膜213にはp型の不純物（アクセプタ）が添加される。このような構成において保持容量は画素電極236と重なって形成されている。

50

【0021】

また、画素電極236の一方の端部は、ソース配線207と重ねて形成することができるので、隣接する画素電極242との間から漏洩する光を遮光することができる。

【0022】

このような画素構造のパターンは光露光プロセスにより形成される。光露光プロセスで必要とされるフォトマスクの数は、ゲート電極形成用の第1のフォトマスク、半導体膜形成用の第2のフォトマスク、画素TFTのLDD領域形成用の第3のフォトマスク、コンタクトホール形成用の第4のフォトマスク、ゲート配線と画素電極と接続配線形成用の第5のフォトマスクであり、5枚のフォトマスクで画素部形成することができる。画素部の周辺にnチャンネル型TFTとpチャンネル型TFTから成るCMOS回路を応用した駆動回路を形成する場合には、nチャンネル型TFTを覆うためのフォトマスクが追加される。以上のように、図1に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

10

【0023】

また、図1で示す画素構造は反射型の液晶表示装置を前提としたものであるが、フォトマスクを1枚追加して透明電極を所定のパターンに形成すれば、透過型の液晶表示装置を作製することもできる。以上の構成でなる本発明について、以下に示す実施例によりさらに詳細な説明を行う。

【実施例1】

【0024】

本実施例では同一基板上に画素部と、画素部の周辺に駆動回路を形成するTFT（nチャンネル型TFT及びpチャンネル型TFT）を同時に作製する方法については是面を参照しながら説明する。

20

【0025】

まず、図4(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板201上に、好適には、モリブデン(Mo)、タングステン(W)、タンタル(Ta)から選ばれた一種または複数種を成分とする導電膜からゲート電極202~204、ソース配線206、207、画素部の保持容量を形成するための容量配線205を形成する。例えば、低抵抗化と耐熱性の観点からはMoとWの合金は適している。また、アルミニウムを用い、表面を酸化処理してゲート電極を形成しても良い。

30

【0026】

第1のフォトマスクにより作製されるゲート電極は、その厚さを200~400nm、好ましくは250nmの厚さで形成し、その上層に形成する被膜の被覆性（ステップカバレッジ）を向上させるために、端部をテーパ形状となるように形成する。テーパ部の角度は5~30度、好ましくは15~25度で形成する。テーパ部はドライエッチング法で形成され、エッチングガスと基板側に印加するバイアス電圧により、その角度を制御する。

【0027】

次いで、図4(B)で示すように、ゲート電極202~204、ソース配線206、207、画素部の保持容量を形成するための容量配線205を覆う第1の絶縁膜208を形成する。第1の絶縁膜208はプラズマCVD法またはスパッタ法を用い、その厚さを40~200nmとしてシリコンを含む絶縁膜で形成する。例えば、50nmの厚さの窒化シリコン膜208aと、120nmの厚さの酸化シリコン膜208bから第1の絶縁膜208を形成する。その他に、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜(SiO_xN_y)を適用してもよい。

40

【0028】

第1の絶縁膜208は、その上層に半導体膜を形成して、ゲート絶縁膜として用いるものであるが、基板201からアルカリ金属などの不純物が半導体膜に拡散するのを防ぐ

50

ロッキング層としての機能も有している。

【0029】

第1の絶縁膜208上に形成する半導体膜209は、多結晶半導体を用いて30～100nm、好ましくは40～60nmの厚さで形成する。多結晶半導体の材料に限定はないが、代表的にはシリコンまたはシリコンゲルマニウム(SiGe)

合金などで形成すると良い。多結晶半導体は、プラズマCVD法やスパッタ法で作製される非晶質構造を有する半導体をレーザー結晶化法や熱結晶化法を用いて結晶化させて得る。

【0030】

レーザー結晶化法で多結晶半導体を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザー、YLFレーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を採用する。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0031】

この段階で、半導体膜209にはTFETのしきい値電圧を制御する目的で、ボロンに代表されるp型の不純物(アクセプタ)を $1 \times 10^{16} \sim 5 \times 10^{17}/\text{cm}^3$ の濃度で添加していても良い。

【0032】

多結晶半導体から成る半導体膜209は、第2のフォトマスクを用いて所定のパターンに形成する。図4(C)は島状に分割された半導体膜210～213を示す。半導体膜210～212は、ゲート電極202、204と一部が重なるように形成する。図2はこの状態における画素部の上面図を示し、図中に示すA-A'線に対応する断面が、図4(C)に対応している。

【0033】

その後、分割された半導体膜210～213上に酸化シリコンまたは窒化シリコンから成る絶縁膜を100～200nmの厚さに形成する。図4(D)は、ゲート電極をマスクとする裏面からの露光プロセスにより、自己整合的にチャンネル保護膜とする第3の絶縁層214～218を半導体膜210～212上に形成する。

【0034】

そして、nチャンネル型TFETのLDD(Lightly Doped Drain)領域を形成するための第1のドーピング工程を行う。ドーピングの方法はイオンドーピング法若しくはイオン注入法で行えば良い。n型の不純物(ドナー)としてリン(P)を添加し、第3の絶縁層215～218をマスクとして形成される第1の不純物領域219～222を形成する。この領域のドナー濃度は $1 \times 10^{16} \sim 2 \times 10^{17}/\text{cm}^3$ の濃度とする。

【0035】

第2のドーピング工程はnチャンネル型TFETのソース領域及びドレイン領域を形成する工程であり、図5(A)で示すように第3のフォトマスクを用いて、レジストによるマスク223～225を形成する。マスク224、225はnチャンネル型TFETのLDD領域を覆って形成され、第2の不純物領域226～228には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でドナー不純物を添加する。

【0036】

この第2のドーピング工程に前後して、マスク223～225が形成された状態でフッ酸によるエッチング処理を行い、第3の絶縁層214、218を除去しておくことが好ましい

10

20

30

40

50

。

【0037】

pチャネル型TFTのソース領域及びドレイン領域は、図5(B)に示すように第3のドーピング処理により行い、イオンドープ法やイオン注入法でp型の不純物(アクセプタ)を添加して第3の不純物領域230、231を形成する。この領域のp型の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにする。この工程において、半導体膜213にもp型の不純物を添加しておく。

【0038】

次に、図5(C)に示すように、半導体膜上に第2の絶縁膜を形成する。好適には、第2の絶縁膜を複数の絶縁膜で形成する。半導体膜上に形成する第2の絶縁膜の第1層目232は水素を含有する窒化シリコン膜または窒化酸化シリコン膜から成る無機絶縁物で50~200nmの厚さに形成する。その後、それぞれの半導体膜に添加された不純物を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法は窒素雰囲気中で400~600、代表的には450~500で行1~4時間の熱処理を行う。

10

【0039】

この熱処理により、不純物元素の活性化と同時に第2の絶縁膜の第1層目232の窒化シリコン膜または窒化酸化シリコン膜の水素が放出され、半導体膜の水素化を行うことができる。この工程は水素により半導体膜のダングリングボンドを終端する工程である。水素化をより効率よく行う手段として、第2の絶縁膜の第1層目232を形成する前にプラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

20

【0040】

図6(A)で示す第2の絶縁膜の第2層目233は、ポリイミド、アクリルなどの有機絶縁物材料で形成し表面を平坦化する。勿論、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)を用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

【0041】

次いで、第5のフォトリソマスクを用いてコンタクトホールを形成する。そして、第6のフォトリソマスクを用いてアルミニウム(Al)、チタン(Ti)、タンタル(Ta)などを用いて、駆動回路305において接続電極234及びソースまたはドレイン配線235~236を形成する。また、画素部306において、画素電極240、ゲート配線239、接続電極238を形成する。

30

【0042】

こうして、同一の基板上にpチャネル型TFT301とnチャネル型TFT302を有する駆動回路305と、画素TFT303と保持容量304を有する画素部306が形成される。駆動回路305のpチャネル型TFT301には、チャンネル形成領域307、第3の不純物領域から成るソースまたはドレイン領域308が形成されている。nチャネル型TFT302には、チャンネル形成領域309、第1の不純物領域から成るLDD領域310、第2の不純物領域から成るソースまたはドレイン領域311が形成されている。画素部306の画素TFT303は、マルチゲート構造であり、チャンネル形成領域312、LDD領域313、ソースまたはドレイン領域314、316が形成される。LDD領域313の間に位置する第2の不純物領域は、オフ電流を低減するために有用である。保持容量304は、容量配線205と半導体膜213とその間に形成される第1の絶縁膜とから形成されている。

40

【0043】

画素部306においては、接続電極238によりソース配線207は、画素TFT303のソースまたはドレイン領域314と電気的な接続が形成される。また、ゲート配線239は、第1の電極と電気的な接続が形成される。また、画素電極240は、画素TFT303のソースまたはドレイン領域316及び保持容量304の半導体膜213と接続し

50

ている。

【0044】

図6(A)における画素部306の断面図は、図1で示すA-A'線に対応したものである。また、図1において示すB-B'線及びC-C'線に沿った断面図は、それぞれ図6(B)と(C)に示されている。図6(B)はゲート電極204とゲート配線239のコンタクト部を説明する図である。ゲート電極204は隣接する画素の保持容量の一方の電極を兼ね、画素電極245と接続する半導体膜244と重なる部分で容量を形成している。また、図6(C)はソース配線207と画素電極240及び隣接する画素電極246との配置関係を示し、画素電極の端部をソース配線207上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。また、図3はこのような画素の等価回路を示している。尚、本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

10

【0045】

TFTを逆スタガ型で形成することの利点の一つは、nチャネル型TFTにおいてゲート電極とオーバーラップするLDD領域を裏面露光のプロセスにより自己整合的に形成できることにあり、ゲート絶縁膜と半導体膜を連続形成できる特徴と相まってTFTの特性ばらつきを小さくすることができる。

【実施例2】

【0046】

本実施例は、反射型の液晶表示装置に適した画素構造の一例を示し、図8で示す画素の上面図と、その図中に示すD-D'線に対応する断面図を図7で示して説明する。図7において、画素部422の画素TFT420は基板401上にゲート電極402、第1の絶縁膜405、半導体膜406、チャンネル保護膜408、第2の絶縁膜409、410ソース配線404、ゲート配線412、接続配線411、画素電極413から成っている。また、保持容量421は、容量配線403と半導体膜407とその間に形成されている第1の絶縁膜405から成り、これらの構成は図6(A)で示す画素TFT303、保持容量304と同様な構成である。

20

【0047】

画素部422の画素電極413の下側には、その表面を凹凸化させる島状領域417~419が形成されている。図では便宜上3つの島状領域を示すが、大きさを5~10 μm 、ピッチを10~20 μm として形成する。それぞれの島状領域は、ゲート電極402と同じ膜を用いて形成される第1の層417a~419a、半導体膜406と同じ層から形成される第2の層417b~419b、第3の絶縁層408と同じ層から形成される第3の層417c~419cから成っている。これらの層はそれぞれ別の工程でエッチング形成されるため、端部は一致せず、上層に行くに従って小さくなるように形成する。

30

【0048】

その上に第2の絶縁膜409、410を形成するが、有機樹脂材料で形成する第2の絶縁膜410は下地の凹凸を反映したものとするため、粘度が10~1000cp(好ましくは、40~200cp)のものを塗布して焼成し、表面に凹凸形状が形成されるものを用いる。有機樹脂材料から成る層を形成することにより、表面は曲率をもったなだらかな凹凸形状が形成され、その曲率半径を0.1~4 μm となるようにする。図8では島状領域を円形で示したが、形状はこれに限定される必要はなく、任意の多角形とすることができる。このような画素の構成とすることにより、反射型の液晶表示装置において鏡面反射が防止され、特に白表示のときの表示品位を向上させることができる。

40

【実施例3】

【0049】

実施例1では反射型のアクティブマトリクス型液晶表示装置の例を示したが、画素電極を透明導電膜で形成することにより透過型の表示装置を形成することができる。図9に示す画素部386の画素TFT383は、実施例1で説明する画素TFT303と同様にして作製されるものであり、本実施例ではその相違点について述べる。

50

【0050】

有機樹脂材料から成る第2の絶縁膜の第2層目229を形成した後、ゲート配線及び接続電極と同時に第1の画素電極250、251を形成する。第1の画素電極250は画素TFT383の半導体膜と接続し、251は保持容量384を形成する半導体膜と接続している。その後、透明導電膜252を形成し画素電極とする。

【0051】

透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金(In_2O_3 SnO_2 ; ITO)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。また、ITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れている。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを用いることができる。

10

【0052】

以上のように、実施例1では反射型の液晶表示装置を作製できるアクティブマトリクス基板を5枚のフォトマスクにより作製したが、さらに1枚のフォトマスクの追加(合計6枚)で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

20

【実施例4】

【0053】

本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図10はアクティブマトリクス基板と対向基板454とをシール材458で貼り合わせた状態を示している。最初に、図6(A)の状態のアクティブマトリクス基板上に柱状のスペーサ451、452を形成する。画素部に設けるスペーサ451は画素電極上のコンタクト部に重ねて設ける。スペーサは用いる液晶材料にも依存するが、3~10 μm の高さとする。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。その後、配向膜453を形成しラビング処理を行う。対向基板454には透明導電膜455、配向膜456を形成する。その後、アクティブマトリクス基板と対向基板とを貼り合わせ液晶を注入する。

30

【0054】

図11はアクティブマトリクス基板と対向基板とを貼り合わせて組み立てる様子を模式的に示す。アクティブマトリクス基板650は、画素部653、走査線側駆動回路652、信号線側駆動回路651、外部入力端子654、外部入力端子から各回路の入力部までを接続する配線659などが形成されている。対向基板655にはアクティブマトリクス基板650の画素部及び駆動回路が形成されている領域に対応して対向電極656が形成されている。このようなアクティブマトリクス基板650と対向基板655とはシール材657を介して貼り合わせ、液晶を注入してシール材657の内側に液晶層658を設ける。さらに、アクティブマトリクス基板650の外部入力端子654にはFPC(フレキシブルプリント配線板:Flexible Printed Circuit)660を貼り付ける。FPC660の接着強度を高めるために補強板659を設けても良い。

40

【0055】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子装置の表示装置として用いることができる。また、本実施例で示すアクティブマトリクス型液晶表示装置の作製方法は、実施例2又は実施例3のアクティブマトリクス基板を用いる場合においても同様に適用することができる。

【実施例5】

【0056】

図12は本発明の画素構造を用いて作製される反射型液晶表示装置のアクティブマトリ

50

クス型液晶表示装置を直視型の表示装置として用いる例を示す。アクティブマトリクス基板 1203 には画素部 1201 及び駆動回路部 1202 が形成され、シール材 1206 により対向基板 1204 が接着され、その間に液晶層 1205 が形成されている。

【0057】

図 12 の構成は、フロントライトを用いた反射型液晶表示装置の例であり、偏光板 1207 上にフロントライトシステム 1208 を設ける。反射型液晶表示装置は、昼間明るい場所では外光を利用して画像の表示を行うが、夜間など十分な外光を導入できない場合には、フロントライトを用いて表示を行う方式を採用することができる。いずれにしても、本発明の画素構造とすることにより、画素部における画素電極の占める割合が大きくなり、明るい画像表示を実現することができる。また、フロントライトを用いる場合には、照射する光の強度を小さくことができ、このような液晶表示装置を組み込んだ電子装置の消費電力を少なくすることができる。このような本実施例に構成は、実施例 4 で作製されるアクティブマトリクス型液晶表示装置に適用することができる。

10

【実施例 6】

【0058】

本実施例では、実施例 1 で示したアクティブマトリクス基板を、エレクトロルミネッセンス (EL: Electro Luminescence) 材料を用いた自発光型の表示装置 (以下、EL 表示装置と記す) に適用する場合について説明する。尚、エレクトロルミネッセンス材料における発光には、蛍光と燐光とによる発光の両方があり、本実施例でいう発光にはそのいずれか一方、またはその両方による発光を含んでいる。

20

【0059】

図 13 は画素部の断面図を示し、スイッチング用 TFT 701、電流制御用 TFT 702、保持容量 703 が形成されている様子を示す。これらの TFT は実施例 1 と同様の工程で作製される。スイッチング用 TFT 701 は n チャンネル型 TFT であり、ゲート電極 751 上の半導体膜 755 にチャンネル形成領域 704、LDD 領域 705、ソースまたはドレイン領域 706 を有している。そして、半導体膜 755 はソース配線 753 と接続電極 761 により接続されている。

【0060】

電流制御用 TFT 202 は p チャンネル型 TFT であり、ゲート電極 752 上の半導体膜 756 にチャンネル形成領域 707、ソースまたはドレイン領域 708 を有している。そして、電流制御用 TFT 202 のソース側は電源線 764 と接続し、ドレイン側はドレイン電極 765 と接続している。さらに、ドレイン電極 765 には透明導電膜で形成される画素電極 766 が接続している。また、容量配線 752 と半導体膜 756 とが重なる領域において保持容量 703 が形成される。

30

【0061】

第 1 の絶縁膜 754 (754a、754b)、第 2 の絶縁膜 759、760 は実施例 1 と同様のものとする。

【0062】

図 13 (A) の断面図は、図 14 で示す E - E' 線に対応したものである。また、図 14 において示す F - F' 線及び G - G' 線に沿った断面図は、それぞれ図 13 (B) と (C) に示されている。図 13 (B) はスイッチング用 TFT 701 のゲート電極 751 とゲート配線 772 のコンタクト部を説明する図である。

40

また、図 13 (C) はソース配線 753 と画素電極 767 及び隣接する画素電極 771 との配置関係を示し、画素電極の端部をソース配線 753 上に設け、重なり部を形成することにより遮光性を高めている。

【0063】

画素部には、陽極として用いる画素電極の端部を覆う絶縁膜でなるバンク 767 が形成され、その上にエレクトロルミネッセンスを発現させる有機化合物層が形成される。溶液塗布によりポリビニルカルバゾールなどの材料でなる発光層、カリウムアセチルアセトネート (acacK と表記される) でなる電子注入層を含む有機化合物層 768、769 が

50

形成される。その上にはアルミニウム合金でなる陰極 770 が形成される。この場合、陰極 770 がパッシベーション膜としても機能する。こうして陽極、有機化合物層、陰極から成る自発光型の EL 素子が形成される。本実施例の場合、発光層 768 で発生した光はアクティブマトリクス基板の方に向かって放射される。

【0064】

このように、本発明の画素構造とすることにより、アクティブマトリクス型の自発光型の表示装置においても開口率を向上させることができる。その結果、明るく鮮明な画像表示を可能とする。

【実施例 7】

【0065】

本実施例では、本発明の表示装置を組み込んだ半導体装置について示す。このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 15 と図 16 に示す。

【0066】

図 15 (A) は携帯電話であり、本体 2901、音声出力部 9002、音声入力部 2903、表示装置 2904、操作スイッチ 2905、アンテナ 2906 から構成されている。本発明は表示装置 2904 に適用することができ、特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0067】

図 15 (B) はビデオカメラであり、本体 9101、表示装置 9102、音声入力部 9103、操作スイッチ 9104、バッテリー 9105、受像部 9106 から成っている。本発明は表示装置 9102 に適用することができる。特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0068】

図 15 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9201、カメラ部 9202、受像部 9203、操作スイッチ 9204、表示装置 9205 で構成されている。本発明は表示装置 9205 に適用することができる。

特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0069】

図 15 (D) はテレビ受像器であり、本体 9401、スピーカー 9402、表示装置 9403、受信装置 9404、増幅装置 9405 等で構成される。本発明は表示装置 9403 に適用することができる。特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0070】

図 15 (E) は携帯書籍であり、本体 9501、表示装置 9502、9503、記憶媒体 9504、操作スイッチ 9505、アンテナ 9506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。直視型の表示装置 9502、9503 は特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0071】

図 16 (A) はパーソナルコンピュータであり、本体 9601、画像入力部 9602、表示装置 9603、キーボード 9604 で構成される。本発明は表示装置 9603 に適用することができる。特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

【0072】

図 16 (B) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 9701、表示装置 9702、スピーカ部 9703、記録媒体 9704、操作スイッチ 9705 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲー

10

20

30

40

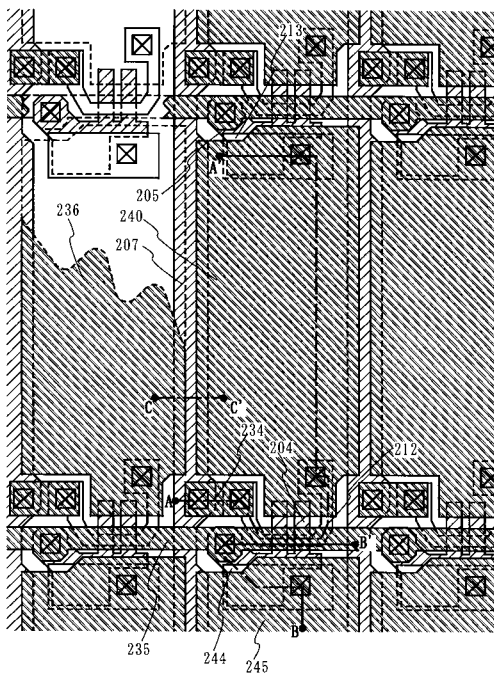
50

ムやインターネットを行うことができる。本発明は表示装置 9702 に適用することができる。特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

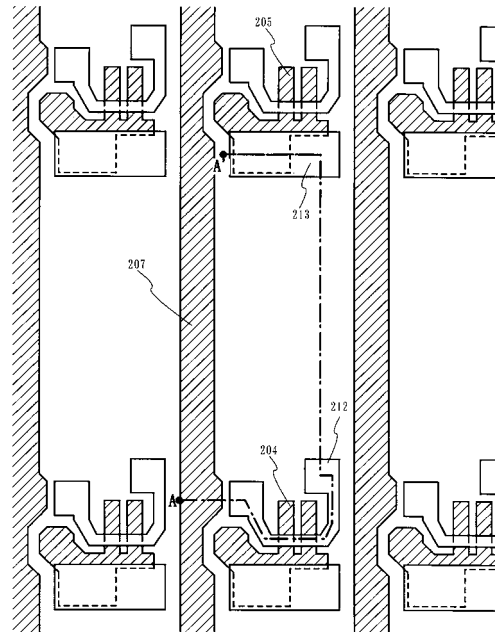
【0073】

図 16 (C) はデジタルカメラであり、本体 9801、表示装置 9802、接眼部 9803、操作スイッチ 9804、受像部 (図示しない) で構成される。本発明は表示装置 9802 に適用することができる。特に、実施例 5 で示す反射型の液晶表示装置は低消費電力化の観点から適している。

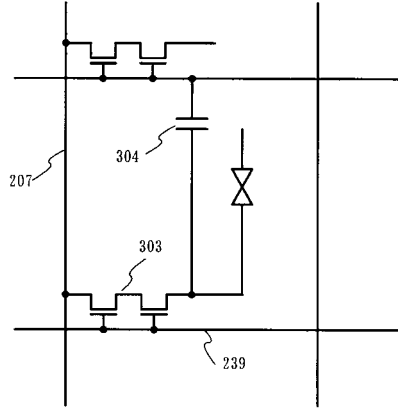
【図 1】



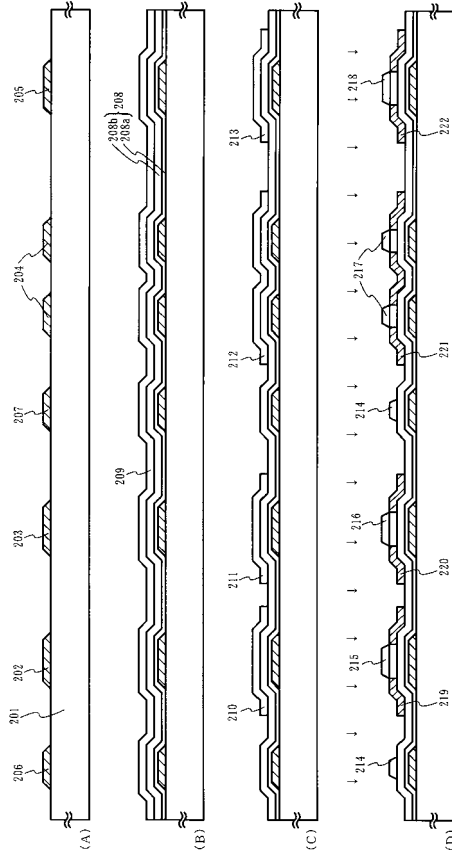
【図 2】



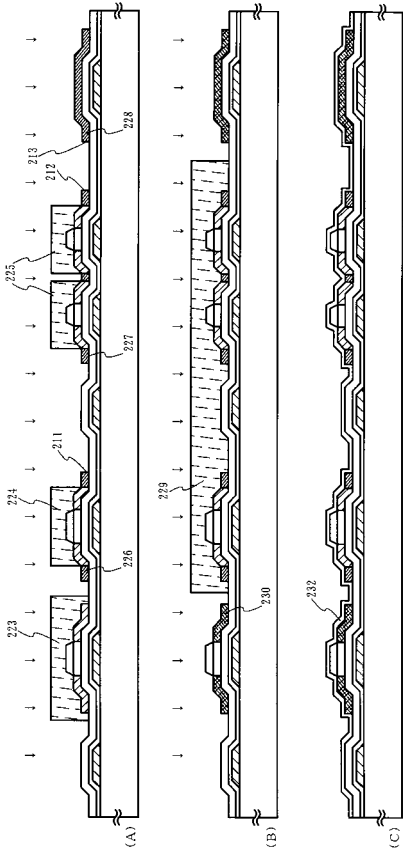
【図3】



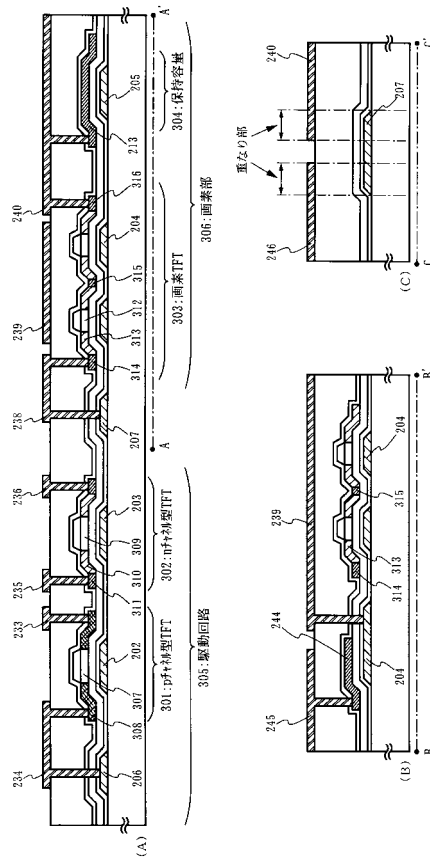
【図4】



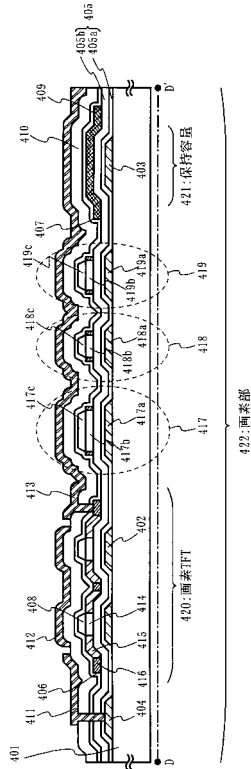
【図5】



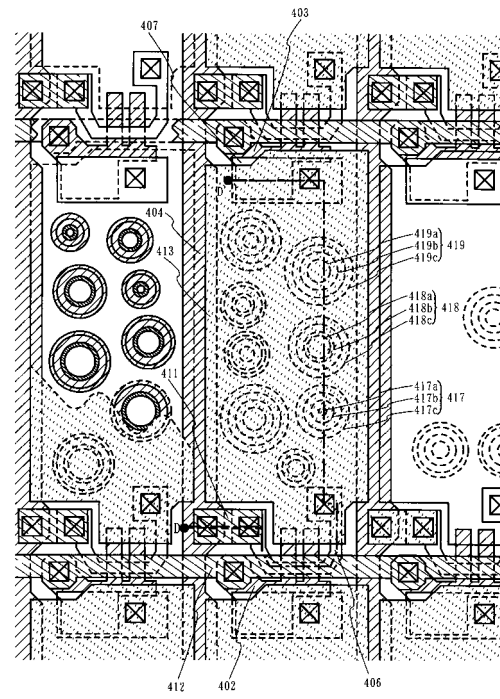
【図6】



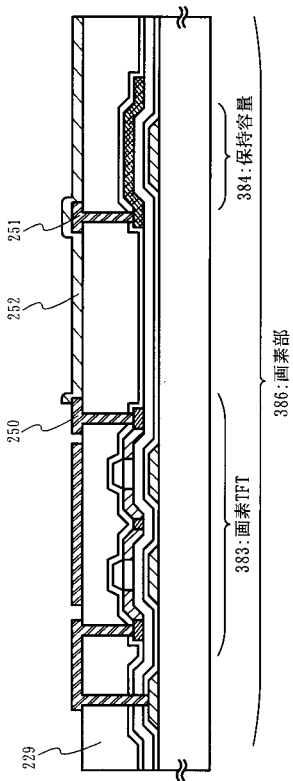
【 図 7 】



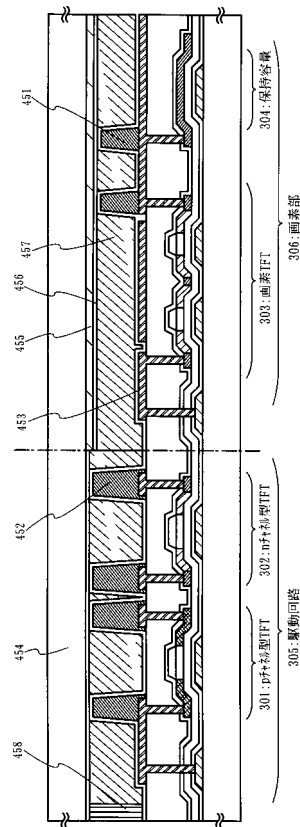
【 図 8 】



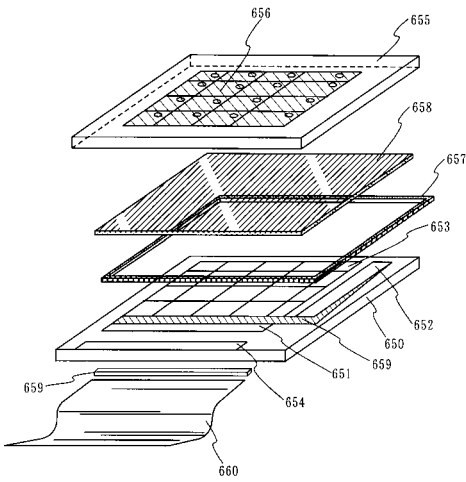
【 図 9 】



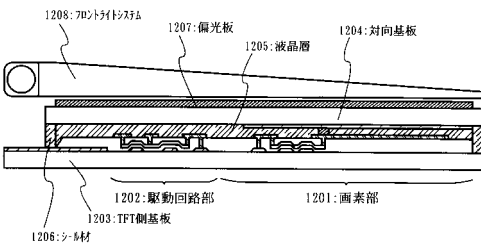
【 図 10 】



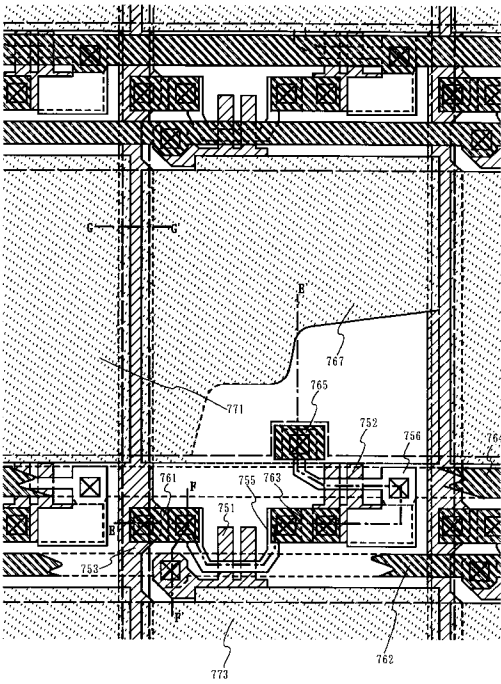
【図 1 1】



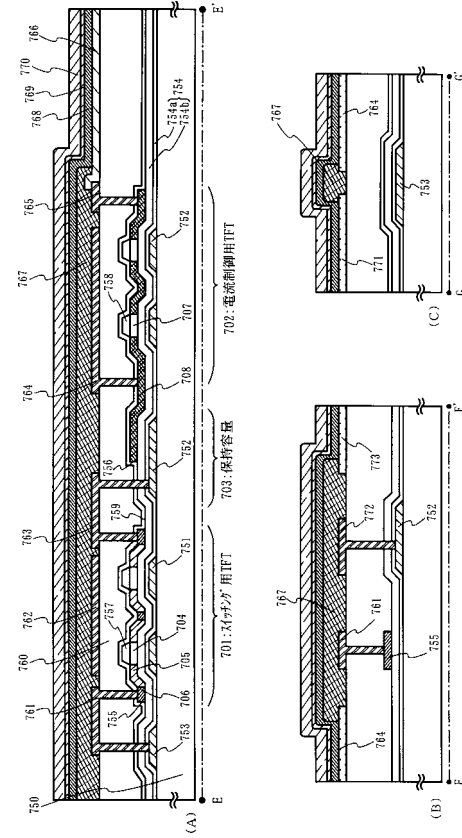
【図 1 2】



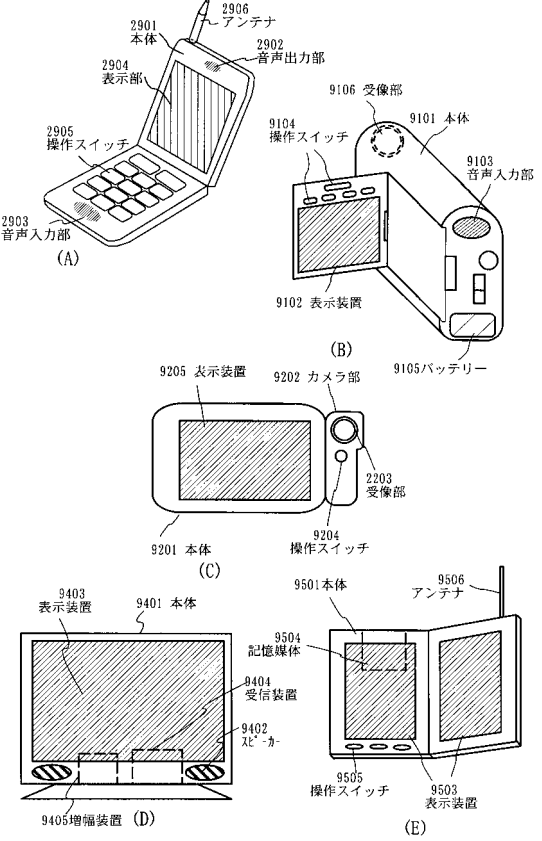
【図 1 4】



【図 1 3】



【図 1 5】



【 図 1 6 】

