

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4056525号
(P4056525)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl. F I
H05K 3/46 (2006.01) H05K 3/46 N

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2004-528511 (P2004-528511)	(73) 特許権者	390009531
(86) (22) 出願日	平成15年4月18日 (2003.4.18)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2005-527122 (P2005-527122A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成17年9月8日 (2005.9.8)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/EP2003/012647		
(87) 国際公開番号	W02004/017687		
(87) 国際公開日	平成16年2月26日 (2004.2.26)	(74) 代理人	100108501
審査請求日	平成16年12月16日 (2004.12.16)		弁理士 上野 剛史
(31) 優先権主張番号	02368053.1	(74) 代理人	100112690
(32) 優先日	平成14年5月23日 (2002.5.23)		弁理士 太佐 種一
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100091568
前置審査			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 積層型ビア構造体

(57) 【特許請求の範囲】

【請求項 1】

第1の導電層(110a)に属す、第1の導電路(205a)と第2の導電層(110c)に属す、第2の導電路(205c)とを接続する、電子装置キャリア中の積層型ビア構造体(200)であって、前記第1の導電層および前記第2の導電層は少なくとも1つの第3の導電層(100b)によって分離されており、前記導電層群の各々の間には誘電体層(120)が配置されており、

前記少なくとも1つの第3の導電層に属す、切り欠きまたは、突部を設けた環状リング形状の第3の導電路(205b)であって、前記第3の導電路は前記導電層群と垂直な軸を基準にして前記第1の導電路および前記第2の導電路の少なくとも一部分と位置合わせされている、第3の導電路と、

前記第1の導電路と前記第3の導電路との間に配置された少なくとも2つのビアを備えた第1のビアの組(210)と、

前記第2の導電路と前記第3の導電路との間に配置された少なくとも2つのビアを備えた第2のビアの組(215)とを備え、

前記第3の導電路は前記第1のビアの組および前記第2のビアの組によって前記第1の導電路および前記第2の導電路に接続されており、前記第1のビアの組のビアと前記第2のビアの組のビアとは未位置合わせである、
積層型ビア構造体。

【請求項 2】

10

20

前記第 1 のビアの組または前記第 2 のビアの組が 4 つのビアを備えている、
請求項 1 に記載の積層型ビア構造体。

【請求項 3】

前記第 1 のビアの組または前記第 2 のビアの組の隣接する 2 つのビアと、前記第 3 の導
電路ならびに前記第 1 の導電路および前記第 2 の導電路の前記位置合わせされた部分の中
心とがなす角が 90° に等しい、
請求項 2 に記載の積層型ビア構造体。

【請求項 4】

前記第 1 のビアの組の 1 つのビアと、前記第 2 のビアの組の最近接するビアと、前記第
3 の導電路ならびに前記第 1 の導電路および前記第 2 の導電路の前記位置合わせされた部
分の中心とがなす角が 45° に等しい、
請求項 3 に記載の積層型ビア構造体。

10

【請求項 5】

前記第 1 のビアの組または前記第 2 のビアの組の前記ビア群は前記第 3 の導電路ならび
に前記第 1 の導電路および前記第 2 の導電路の前記位置合わせされた部分の中心に対して
等距離の場所にある、
請求項 1 乃至請求項 4 のうちの 1 項に記載の積層型ビア構造体。

【請求項 6】

前記第 1 の導電路または前記第 2 の導電路ははんだボールに接続しうるように適合して
いる、
請求項 1 乃至請求項 5 のうちの 1 項に記載の積層型ビア構造体。

20

【請求項 7】

前記第 1 の導電路または前記第 2 の導電路は閉管スルーホールに接続しうるように適合
している、
請求項 1 乃至請求項 6 のうちの 1 項に記載の積層型ビア構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に電子印刷回路基板およびチップキャリアの構造および製造に関し、特に
多層型高密度電子装置キャリアにおける積層型ビア（バイア）の特定の構造に関する。

30

【背景技術】

【0002】

何種類かの電子コンポーネントは半導体材料から成るチップに集積化した回路で実現さ
れている。チップは通常、当該チップを機械的応力から保護するためにキャリアにマウン
トした後、パッケージ中に封緘（ふうかん）する。チップキャリアは導電路を有する絶縁
基板を備えている。各導電路は通常、印刷回路基板に接続するためにチップの対応する端
子にボンディングされるとともにコンコクト・パッドで終端している。一般に、チップキ
ャリアはいくつかの導電層を備えている。信号と電流を伝達する導電路は論理的、電氣的
制約、およびチップキャリア製造上の制約の双方によって決まる要件に従って設計する。
層間の接続はビア、またはめっきしたスルーホールを用いて行なうことが多い。

40

【0003】

同様に、印刷回路基板は一般に絶縁材料中に形成されビアまたはめっきしたスルーホ
ールに接続されたいくつかの導電層を備えている。これらの導電層はいくつかの電子装置
または電子装置 - コネクタ間において信号を伝送しうるように適合している。

【0004】

装置のスウィッチング速度が 1 GHz のクロック速度を超えるようになったら、もはや電
気信号の伝送を導電路上における単純なポイント・ツー・ポイント伝送として考えるのは
なく、回路の導電路上を流れる電流が担持する電磁波の伝搬として考える必要がある。電
子装置キャリア上のこのような導電路（伝送線とも呼ばれる）は特定の特性（伝送線の幅
と、伝送線間の距離と、伝送線と基準面との間にある誘電体の厚さとの間の関係）を備え

50

た少なくとも2つの導電経路を備えたシステムを表している。これらの伝送線は導電性の信号路 (signal track or trace)、他の導電路、および/または、基準電圧もしくは基準接地に近接して形成されるとともにそれに接続され信号路を電磁干渉から遮蔽する導電面を備えている。(「Aおよび/またはB」は「AおよびB、A、またはB」を表わす。)電磁波は信号路とその下にある基準電圧または基準接地面とによって画定され、信号電流用の完全なループ経路を形成している伝送線に沿って伝搬する。チップを高周波(たとえば1GHz超)で動作させると、電子装置キャリアは電子システム全体の性能に重大な影響を与える。

【0005】

特に、伝送線に何らかの不連続(すなわち遷移)(たとえば構造、材料特性、および設計上の特徴に何らかの変更)があると、媒体の電気インピーダンスが変化し、それにより反射波が生じる。また、システムには浮遊構造体(キャパシタ、インダクタ、および抵抗器)があり、それらが伝送信号に対して低域通過フィルタとして機能する。その結果、伝送線に沿って伝搬する電磁波の完全性が保全されなくなる。

【0006】

低電圧(論理値「0」)と高電圧(論理値「1」)との間でスイッチングする伝送信号は矩形波(くけいは)を生成する。伝送線におけるすべての不連続に起因して、この矩形波は劣化し、一般に疑似正弦波として受信される。伝送波の品質はいわゆる「アイ・ダイヤグラム(eye diagram)」によって視覚化することができる。アイ・ダイヤグラムは受信信号の値を、電子装置を制御しているクロック信号の相の関数としてプロットしたものである。伝送線に上述した不連続があると、アイ・ダイヤグラムの開き(opening)が小さくなる。この結果、スイッチング遷移が実際に起きたのか否か、あるいは信号基底線のシフトは背景雑音に起因するのか否かを判断するのがきわめて困難になる。

【0007】

これらの難点は低レベルの電力供給電圧(最低1.2V)で動作する現在の電子システムにおいて特に深刻である。この場合、論理値「0」(0V)と論理値「1」(1.2V)とを識別するための裕度はきわめて小さい。

【0008】

また、電子装置を小型化する継続的な傾向のためにチップキャリアと印刷回路基板の導電路の寸法を小さくすることが求められている。しかし、伝送線のインピーダンスは電子装置の性能を最適化するのに望ましい値(通常50)に維持する必要がある。したがって、導電路と接地面との間にはきわめて薄い誘電体層を用いる必要がある(なぜならば、伝送線のインピーダンスは導電路の幅に反比例し誘電体層の厚さに正比例するからである)。導電路と接地面との間の距離が短いと、対応する浮遊容量値が増大する。その結果、伝送線の帯域幅が顕著に狭くなる。

【0009】

したがって、電子装置キャリア(すなわちチップキャリアまたは印刷回路基板)の伝送品質が劣化すると、電子装置はチップが許容している動作周波数よりもかなり低い周波数で動作する可能性がある。

【0010】

これらの現象は積層型ビアを用い、図1に示すように遷移の数を最小化することにより低減させることができる。図1(a)はボール・グリッド・アレイ(BGA)型のチップキャリア100の断面部分を示す図であり、基台すなわちコア105、3つの導電層110a、110b、110c、表面層115、および誘電体層120を備えている。一般に誘電体層はエポキシから成り導電層は銅から成るが、他の材料を用いもよい。電子装置キャリア100はさらに、符号125-1、125-5を付された接続用の2つのはんだボールおよびめっきした閉管(blind)スルーホール130を備えている。ビアは導電層を接続するために使用する。たとえば、図示するように、導電路135、140はビア145、150、155によって接続する。しかし、黒い矢印で示すように、導電路135から導電路140に至る伝送線は5つの遷移を備えている。この結果、上述したように、伝送

10

20

30

40

50

線に沿って伝搬する電磁波の完全性は保全されない。図1(b)は類似の電子装置キャリア100'を示す図である。ビア145'、150'、155'は積層されているから、信号経路に沿う遷移の数は低減している。すなわち、黒い矢印で示すように、導電路135'から導電路140'までの伝送線には遷移が1つしかない。

【0011】

ビアを積層するということは、標準のプロセスでは製造が困難であることを暗に示している。埋め込みビアを形成するという事は、それらの間に誘電体が配置された2つの異なる導電層の間に垂直接続を配置することを意味する。この垂直接続を形成するプロセスにはたとえば機械的な穴あけやレーザなど多くのものがある。これらはすべて層群中の1つの層上にある導電路群のうちの1つの導電路から始まり、反対側の層に受容型導電パッドを必要とする。穴あけを行なったら、受容型導電パッドをめっきプロセスにさらす。このめっきプロセスによって、これら2つの層の間における電気信号の連続性を実現する、開口の垂直壁に沿った電気導電経路が構築される。このメタライゼーションの厚さは引き続いて行なう基板の製造状態と当該基板の動作状態において生成される熱機械的な応力とひずみを補償しうる最小の値にする必要がある。ビアと閉管ビアのめっきは、一般に逆切頭円錐(えんすい)形状をした垂直壁の形状を反映する。これらのビアの寸法はそれらを形成するのに使用する技術に関係している。上記寸法は通常、穴をあけるべき誘電体の厚さと所定の穴あけ技術に付随する所定の直径との間のアスペクト比によって表される、めっきに固有の制限を有する。このアスペクト比がめっきに影響するのは開口の寸法(幅対深さ)に起因してビア内のめっき溶液の流れが悪くなるときである。キャリアの製造における穴のメタライゼーション処理は適当な時間内に、しかも垂直壁がきわめて均質になるように行なう必要がある。ホールの薄い誘電体層の開口を過剰にメタライズすると、当該ホールの深さよりも大きくなってしまふ。積層型ビアのめっきはこの大きなギャップを埋めて、製造すべき積層型ビア用に許容範囲内の受容パッドを形成する必要があるから、めっき時間が長くなる。めっき時間が長くなると、表面の銅メタライゼーションに悪影響がある。この結果、厚さが厚くなるから、微細な線間ピッチの要件にもはや適合しえなくなる。実際、微細なピッチの回路をエッチングする前に表面の銅を再薄化するために、選択銅エッチバック処理が必要になる。製造工程には電気インピーダンス値に顕著に影響する、積層型ビアの最小設計寸法を左右するプロセス裕度を見込んでおく必要がある。

【0012】

米国特許第5758413号において、寸法とピッチが微細な積層型ビアを備えた多層回路基板の製造方法が開示された。導電パターンを備えた基台積層板を誘電体で被覆し、それをフォトリソグラフィで処理して下にある導電パターンの所定領域を露出させるホールを形成する。誘電体を貫通するホールをめっきし、表面と基台積層板上の導電パターンとの間にビア接続を形成する。ビアによって形成される凹部は導電性かつめっき可能なポリマで充填(じゅうてん)する。このポリマを硬化させると導電プラグが形成される。印刷回路基板構造体上に第2の誘電体層を堆積(たいせき)する。引き続きフォトリソグラフィで処理して下にあるビアとプラグを露出させる。第2の誘電体中のホールをめっきしたのち導電性ポリマで充填し、下にある第1のビアに垂直方向に位置合わせされるとともにそれに電氣的に接続された第2のビアを形成する。微細なピッチの積層型ビアを形成する能力は印刷回路基板構造体(たとえばフリップ・チップ・ダイのキャリア)にとっては次の点で特に重要である。すなわち、フリップ・チップのはんだボール・アレイの微細なピッチは多層印刷回路基板層全体に面積と電氣的劣化を最小にして拡張および/または分散配置させる必要があるという点である。

【0013】

しかしながら、この種の技術には電子装置キャリア、特に最終顧客専用の通信製品における高速信号の搬送について難点がある。第1に、それは標準の電子装置キャリアの製造工程などでは必要としない余分な製造工程を必要とするから、価格が高くなる。第2に、積層型ビアに沿った伝送経路がいくつかの導電材料(たとえば銅や導電性ポリマ)によって形成されているから、高速信号を擾乱し、たとえば信号の反射を生成する。最後に、積

10

20

30

40

50

層型ビアに複数の導電材料を使用すると機械的制約や化学的制約が課されるから、積層型ビア群の間に信頼性のない接触が形成され、および/または電子装置キャリアが脆弱(ぜいじゃく)になる。

【特許文献1】米国特許第5758413号

【発明の開示】

【発明が解決しようとする課題】

【0014】

したがって、本発明の広義の目的は上述した従来技術の難点を解消することである。

【0015】

本発明の別の目的は高速信号を搬送するのに適合した積層型ビア構造体を提供することである。 10

【0016】

本発明のさらに別の目的は高密度の電流を流すのに適合した積層型ビア構造体を提供することである。

【0017】

本発明のさらに別の目的は信号伝送線または電流伝送線の長さを短くしうる積層型ビア構造体を提供することである。

【課題を解決するための手段】

【0018】

これらの目的および他の関連する目的は次に示す積層型ビア構造体によって達成される。 20

第1の導電層に属す第1の導電路と第2の導電層に属す第2の導電路とを接続する、電子装置キャリア中の積層型ビア構造体であって、前記第1の導電層および前記第2の導電層は少なくとも1つの第3の導電層によって分離されており、前記導電層群の各々の間には誘電体層が配置されており、

前記少なくとも1つの第3の導電層に属す第3の導電路であって、前記第3の導電路は前記導電層群と垂直な軸に従って前記第1の導電路および前記第2の導電路の少なくとも一部分と位置合わせされている、第3の導電路と、

前記第1の導電路と前記第3の導電路との間に配置された少なくとも2つのビアを備えた第1のビアの組と、 30

前記第2の導電路と前記第3の導電路との間に配置された少なくとも2つのビアを備えた第2のビアの組とを備え、

前記第3の導電路は前記第1のビアの組および前記第2のビアの組によって前記第1の導電路および前記第2の導電路に接続されており、前記第1のビアの組のビアと前記第2のビアの組のビアとは未位置合わせである、

積層型ビア構造体。

【発明を実施するための最良の形態】

【0019】

本発明によれば、いくつかの導電層を備えた電子装置キャリアにおいて積層型ビア構造が実現される。隣接する2つの導電層に属す2つの導電路の間の電気接続はいくつか(少なくとも2つ、好ましくは4つ)のビアによって行なう。ビアの接続先の導電路部はこれらのビア全体に信号電流が対称的に配分されるように設計する。これらの導電路の形状は任意の幾何学的固体金属形状(solid metal shape)をとりうるが、好適な実施形態では、この導電路部の形状は環状リング(annular ring)のように見える。上述した製造上および電気接続上の難点を避けるために、z軸に着目すると、第2の導電層と第3の導電層との間に配置したビアは第1の導電層と第2の導電層との間に配置したビアと同じ場所には位置していない。 40

【0020】

特に、図2を参照する。図2は本発明に係る積層型ビア構造体200を示す図である。積層型ビア構造体200は第3の導電層によって分離された2つの異なる導電層に属す2 50

つの導電路に接続するように適合している。第1の導電層110aは環状リングの形状をしており、符号205aで示す第1の導電路を備えている。環状リング205aには4つのビア210-1~210-4(一括して210と呼ぶ)が接続されており、導電層110aに隣接する導電路110bに属す、これも環状リング形状をした導電路205bとの電気接続を実現している。上述したように、導電層110aと導電層110bは誘電体層120によって分離されている。ビア210-1~210-4は導電路205aと導電路205bの上に対称的に配置されているから、電気信号の流れはそれらに均一に分配される。導電層110bと導電層110cとの間にも同様の構造が繰り返されている。環状リング205bには4つのビア215-1~215-4(一括して215と呼ぶ)が接続されており、導電層110cに属す、これも環状リング形状をした導電路205cとの電気接続を実現している。各ビア215は導電路205bに次に示す態様で接続されている。すなわち、このビアと最も近いビア210との間の距離が同じであり、ビア210-iからビア215-jへの電気信号の流れが均一に分配されるようにである(iとjは1~4の間で変化する)。図2に示す例では、導電路205a、205b、205cは大きさが同じであり、z軸に沿って整列されている。導電路205a、205b、205cの中心をz軸と考えると、ビア210は0°、90°、180°、270°の位置に配置されており、ビア215は45°、135°、225°、315°の位置に配置されている。

10

【0021】

次に、電子装置キャリアの部分平面を示す図3を参照する。図3は本発明に係る積層型ビア構造体を実現している3つの導電層300a、300b、300cから成る導電路の構成を示す図である。図3(a)には同一平面上にある2つの導電路(305-1、305-2と呼ぶ)が示されている。これらは高周波差分信号を伝送するのに使用される。信号導電路305-1、305-2の回りには導電路310が配置されている。導電路310は接地に接続されており、高周波差分信号を遮蔽している。この例では、導電路305-1、305-2、310は導電層300aに形成されている。各導電路305-1、305-2は部分環状リング(それぞれ315-1、315-2と呼ぶ)のように見える。図示するように、4つのビア320-1と4つのビア320-2が接続されている。次に、図3(b)を参照する。図3には環状リングの形状をした2つの導電路325-1、325-2が示されている。導電路325-1、325-2は導電層300bに形成されており、それぞれビア320-1、320-2によって部分環状リング315-1、315-2に接続されている。ビア320-1、320-2に着目すると、導電層300bの反対側において、導電路325-1、325-2にはそれぞれ4つのビア330-1と4つのビア330-2が接続されている。上述したように、ビア325-1、325-2は次のように配置されている。すなわち、一側の1つのビアと、同じ導電路に接続された反対側の2つの最接近したビアとの間の距離が同じになるように、である。これは、たとえば各側で4つのビアを使用する場合、それらを45°の角度に形成することにより行なう。図3(c)には高周波差分信号を伝送するのに使用する、同一平面上にある2つの導電路(335-1、335-2と呼ぶ)が示されている。信号導電路335-1、335-2の回りには導電路340が配置されている。導電路340は接地に接続され、図3(a)を参照して上述したように、高周波差分信号を遮蔽している。図示するように、導電路335-1、335-2、340は導電層300cに形成されている。各導電路335-1、335-2の一端はビア330-1、330-2が接続された部分環状リング(それぞれ345-1、345-2と呼ぶ)のように見える。図3(c')は導電層300cの導電路構成の別の例を示す図である。導電層300cはこの場合、ディスク形状をした2つの導電路345'-1、345'-2を備えている。導電路345'-1、345'-2にはそれぞれビア330-1、330-2が接続されている。この例では、導電層300cは表面層であり、はんだボール(図示せず)に接続しうるように適合している。これにより、チップまたは印刷回路基板との接続を実現することができる。

20

30

40

【0022】

50

図4は高周波信号、高密度電流、および他の種類の信号を電子装置キャリアによって伝送しうるように適合した完全な導電経路を示す図である。説明の便宜のために、この電子装置キャリアは内部導電層を有さないコア400を備えている。コア400の両側には2つの付加導電層405a-1、405b-1、405a-2、405b-2、1つの外部導電層405c-1、405c-2が設けられている。導電層はエポキシなどの誘電体材料410によって分離されている。コア400の両側には本発明に係る積層型ビア構造体415-1、415-2が配置されている。これらの構造体は埋め込みスルーホール420によって接続されている。積層型ビア415-1構造体の一側は埋め込みスルーホール420に接続されており、反対側ははんだボール425に接続されている。はんだボール425はチップまたは印刷回路基板に接続しうるように適合している。同様に、積層型ビア415-2の一側は埋め込みスルーホール420に接続されており、反対側は、説明の便宜のために、外部導電層400c-2の導電層430に接続されている。これにより、信号を別のはんだボール(図示せず)または電子装置キャリア(図示せず)の別の導電経路に伝送することを可能にしている。導電層は最適化された導電経路を形成する所定の導電層405n-1または405m-2に接続することができる(n、mは図示する実施形態においてはa~cの範囲で変化する)。

【0023】

図4には本発明に係る積層型ビア構造体を形成する製造工程も示されている。まず、電子装置キャリアのコア400から開始する。コア400は銅箔(すなわち導電層405a-1、405a-2)で被覆されている。次いで、コア400を機械的穴あけまたはレーザ穴あけによって穴あけする。次いで、得られたホール420を無電界銅めっき工程を用いてめっきする。めっきしたホールに樹脂マトリクスを充填する。積層体製造工程のこの時点で、フォトマスクを感光材料とともに用いて導電層を描画する、すなわち導電層を形成すべき場所において、除去可能な材料でコアを保護する。露光済みフォトレジストを不要な銅箔とともに除去した後、未露光のフォトレジストも除去してコアの2つの表面に導電層を形成し、めっき済みホール420を囲む円形の金属領域または金属ランド435-1を上部層上に画定し、めっき済みホール420を囲む円形の金属領域または金属ランド435-2を下部層上に画定する。次いで、この回路化した基板に誘電体材料から成る新たな層410を積層または堆積する。誘電体層410はカーテンコーティング(流し塗り)工程とその後の硬化工程によって、または膜の積層によって形成した液体ディスプレイ(liquid dispense)の形態をしていてもよい。この新たな誘電体層には開口を形成することができるが、それは所定の材料が感光特性を有する場合には露光工程と現像工程によって行ない、積層膜の場合にはレーザ穴あけによって行なう。これらの新たなホールによって次の層への相互接続、すなわち導電層405a-1から導電層405b-1への接続と導電層405a-2から導電層405b-2への接続とが実現する。再度、無電界銅めっき工程を用いて、新たに付加した誘電体層の表面全体を積層構造体の表面層に見える新たに形成したホール440-1、440-2を含めてめっきする。再度、フォトマスクを感光材料とともに用いて導電層を描画する。露光したフォトレジストを不要な銅箔とともに除去した後、未露光のフォトレジストも除去して2つの表面に導電層を形成し、この誘電体層上に円形構造体すなわち環状構造体を画定する、つまり導電層445-1、445-2を画定する。それらの底部にあるビア440-1は上部コア層405a-1の銅ランド435-1と接続されており、それらの上部は図4に示す場所で導電層405b-1の銅ランド445-1に接続されている。コアの下側にも同様の配置を適用することができる。付加誘電体層のビアは直下のランド435-2と導電層405b-2の銅ランド445-2とに接続されることになる。この時点で、必要な回数だけ全工程を繰り返して、新たな誘電体層を付加し、ホールを処理し、ホールをめっきしてビア450-1、450-2、および銅ランド455-1、430を形成する。

【0024】

次に、図5を参照する。図5は3つのビアを用いて2つの隣接する導電層の導電層を接続する場合において好適に配置する際に守るべき方法を示す図である。上述したように、

10

20

30

40

50

ビア群は電気信号電流の流れが当該ビア群の間で均一に配分されるように配置する必要がある。図5は2つの隣接する導電層に形成された2つの環状リング500-1、500-2を備えている。環状リング500-1は上部導電層に形成されている。したがって、環状リング500-1と500-2に着目すると、これらの環状リングを接続する3つのビア505-1、505-2、505-3はz軸を基準にして(according to) $\theta = 360^\circ / n = 120^\circ$ の角度をなす線上に配置する必要がある(nは本発明に係る積層型ビア構造体中の2つの隣接する導電層を接続するのに使用するビアの個数である。すなわち、この例では $n = 3$ である)。また、ビアと環状リング500-1の中心との間の距離dとビアと環状リング500-2の中心との間の距離dは同じにする必要がある。同様に、環状リング500-1を上部導電層の導電路に接続する3つのビア510-1、510-2、510-3と、環状リング500-2を下部導電層の導電路に接続する3つのビア515-1、515-2、515-3とはビア505-1、505-2、505-3の位置を基準にして配置する必要がある。ビア510-1、510-2、510-3はz軸と垂直に(perpendicular to) $\theta = 120^\circ$ の角度をなす線群上に配置する必要がある。これらの線群はビア505-1、505-2、505-3を配置した線群と $\theta / 2 = 60^\circ$ の角度をなしている。ビアと環状リング500-1の中心との間の距離d'とビアと環状リング500-2の中心との間の距離d'とは同じにする必要があるが、距離d'はビア505-1、505-2、505-3と環状リング500-1との間の距離dおよびビア505-1、505-2、505-3と環状リング500-2との間の距離dと同じにする必要はない。

【0025】

図6と図7は本発明に係る積層型ビア構造体の上述した環状リングを置換しうる導電路の例を示す図である。各図は2つの隣接する導電層の導電路を備え、4つのビアを用いて隣接する導電路を接続する当該ビア群の位置の例を示している。これらの導電路は所定の導電層500-nの各々について45°の相対回転を行なった様子を示している(nはコア積層構造体の異なる側で利用可能な層の個数である)。環状リングに切り欠きを挿入したこの構成、または突部を設けた構成によって、電磁波の伝搬を妨げる条件を生成することになる電流のループが形成されるのを防止することができる。

【0026】

特に図8を参照する。図8は図1(a)を参照して上述したようにビアが積層されていない既知の電子モジュールの相たい(対)周波数(曲線a)と、本発明に係る積層型ビア構造体を備えた電子装置の相たい(対)周波数(曲線b)とを示す図である。この図が示すところによれば、これら2つの構造体が導電路の垂直(Z)経路の遷移を許容している点で機械的に等価であるとしても、それらが示す電氣的挙動はまったく異なる。この相違によって、入来する電気信号の伝送における遅延が異なることになる。15GHz(約66psのサイクル時間に等しい)で動作する信号を用いる応用例において、これら2つの構造体と入来波に対して約17psだけ相違する遅延を示す(図9に示すように、曲線sは入力信号に対応している)。この遅延の差異は合計サイクル時間の4分の1を表すにすぎないから、積層型構造体を使用すると、信号面に与えるひずみ効果の少ないより良好な信号制御が可能になる。

【0027】

当然、局所的かつ特定の要件を満たすために、当業者は上述した解決策に対して多くの変更と変形をなすことができる。しかしながら、それらはすべて特許請求の範囲によって画定される本発明の保護範囲内に含まれる。

【図面の簡単な説明】

【0028】

【図1】(a)非積層型ビアを使用したときにおける導電路間の電気経路を示す電子装置キャリアの断面図である。(b)積層型ビアを使用したときにおける導電路間の電気経路を示す電子装置キャリアの断面図である。

【図2】本発明による、電子装置の隣接する3つの導電層の間における積層型ビアの3D

10

20

30

40

50

構造を示す図である。

【図3】(a)第1の導電層の導電路の構成を示す積層型ビアの部分平面図である。(b)第2の導電層の導電路の構成を示す積層型ビアの部分平面図である。(c)第3の導電層の導電路の構成を示す積層型ビアの部分平面図である。(c')第3の導電層の導電路の別の構成例を示す図である。

【図4】本発明に係る積層型ビアをコア、めっき済みスルーホール、およびはんだボールとともに使用方法を説明するための、コアと各面に3つの導電層を備えた電子装置キャリアの部分の透視図である。

【図5】3つのビアを用いて2つの隣接する導電層の導電路達を接続する場合において好適に配置する際に守るべき方法を示す図である。

【図6】好適な実施形態の環状リングを置換しうる、その上にビアを接続する導電層の形状の例を示す図である。

【図7】好適な実施形態の環状リングを置換しうる、その上にビアを接続する導電層の形状の例を示す図である。

【図8】既知の電子装置の構成例の出力(曲線a)と本発明に係る積層型ビアを備えた電子装置(曲線b)とを比較することにより、電気的挙動の観点から本発明に係る積層型ビア構造体によって得られる利点を説明する図である。

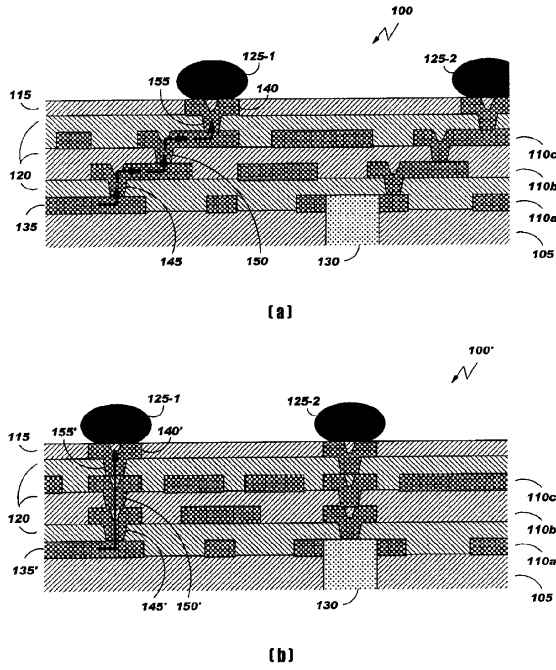
【符号の説明】

【0029】

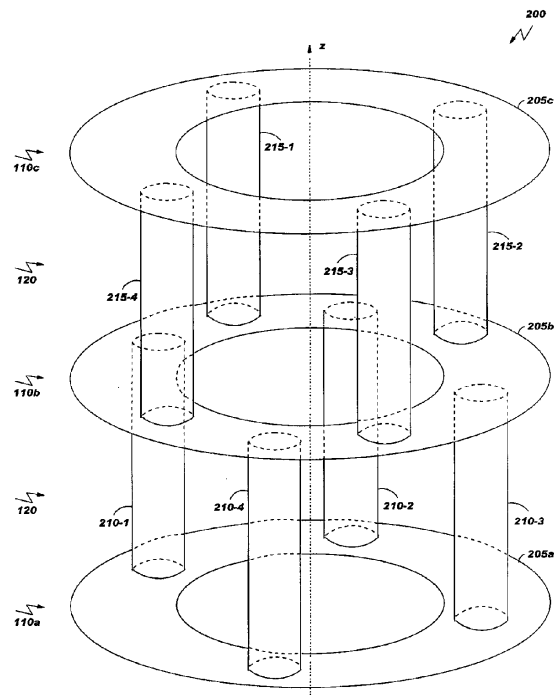
100	チップキャリア	20
105	コア	
110a	導電層	
110b	導電層	
110c	導電層	
115	表面層	
120	誘電体層	
125-1	はんだボール	
125-5	はんだボール	
130	盲管スルーホール	
135	導電路	30
140	導電路	
145	ビア	
150	ビア	
155	ビア	
135'	導電路	
140'	導電路	
145'	ビア	
150'	ビア	
155'	ビア	
200	積層型ビア構造体	40
205a	第1の導電路	
205b	環状リング	
205c	導電路	
210	ビア	
215	ビア	
300a	導電層	
300b	導電層	
300c	導電層	
305-1	導電路	
305-2	導電路	50

3 1 0	導電路	
3 1 5 - 1	部分環状リング	
3 1 5 - 2	部分環状リング	
3 2 0 - 1	ビア	
3 2 0 - 2	ビア	
3 2 5 - 1	導電路	
3 2 5 - 2	導電路	
3 3 0 - 1	ビア	
3 3 0 - 2	ビア	
3 3 5 - 1	導電路	10
3 3 5 - 2	導電路	
3 4 0	導電路	
3 4 5 - 1	部分環状リング	
3 4 5 - 2	部分環状リング	
3 4 5 ' - 1	導電路	
3 4 5 ' - 2	導電路	
4 0 0	コア	
4 0 5 a - 1	付加導電層	
4 0 5 b - 1	付加導電層	
4 0 5 a - 2	付加導電層	20
4 0 5 b - 2	付加導電層	
4 0 5 c - 1	外部導電層	
4 0 5 c - 2	外部導電層	
4 1 0	誘電体材料	
4 1 5 - 1	積層型ビア構造体	
4 1 5 - 2	積層型ビア構造体	
4 2 0	埋め込みスルーホール	
4 2 5	はんだボール	
4 3 0	導電路	
4 3 5 - 1	金属ランド	30
4 3 5 - 2	金属ランド	
4 4 0 - 1	ホール	
4 4 0 - 2	ホール	
4 4 5 - 1	導電路	
4 4 5 - 2	導電路	
4 5 0 - 1	ビア	
4 5 0 - 2	ビア	
4 5 5 - 1	銅ランド	
5 0 0 - 1	環状リング	
5 0 0 - 2	環状リング	40
5 0 5 - 1	ビア	
5 0 5 - 2	ビア	
5 0 5 - 3	ビア	
5 1 0 - 1	ビア	
5 1 0 - 2	ビア	
5 1 0 - 3	ビア	
5 1 5 - 1	ビア	
5 1 5 - 2	ビア	
5 1 5 - 3	ビア	

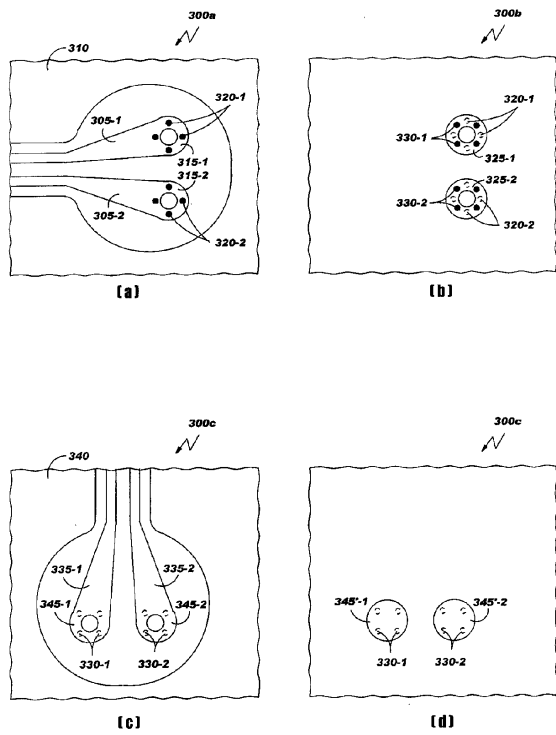
【 図 1 】



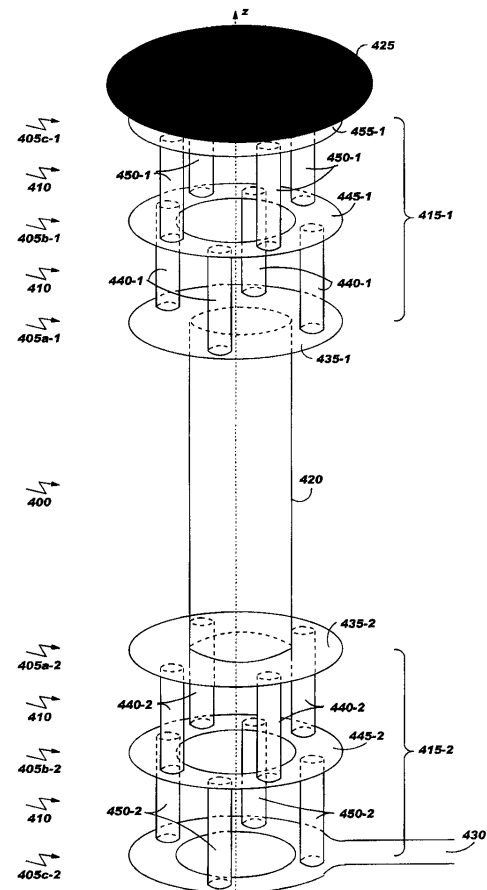
【 図 2 】



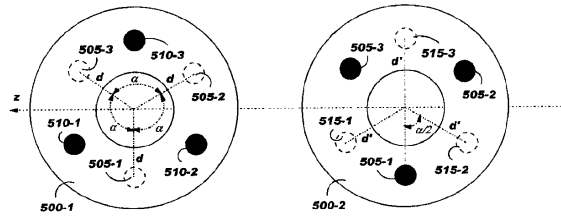
【 図 3 】



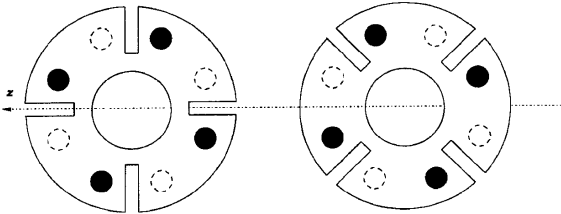
【 図 4 】



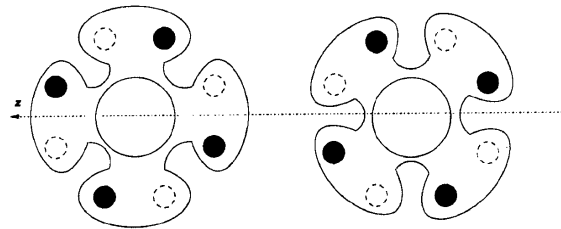
【 図 5 】



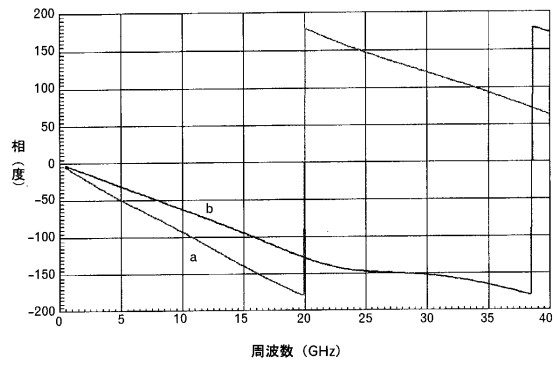
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

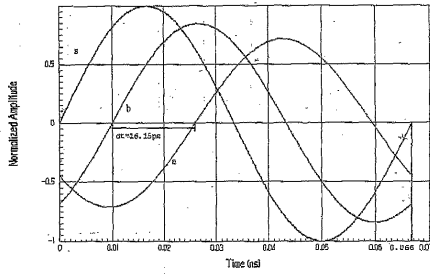


Figure 9

フロントページの続き

- (74)代理人 100086243
弁理士 坂口 博
- (72)発明者 カストリオッタ、ミッシェル
イタリア国 アイ - 7 1 0 4 3 マンフレドーニア、ヴィア ダンテ アリジエリ エヌ 1 1
- (72)発明者 オッジオーニ、ステファノー
イタリア国 アイ - 2 0 1 4 5 ベサナ ブリアンツァ、ヴィア カラヴァッジオ 1 5
- (72)発明者 ロジアーニ、ジアンルカ
イタリア国 アイ - 2 0 0 1 6 2 ミラノ、ヴィア ランフランコ デラ ピラ 5
- (72)発明者 スプレアフィコ、マウロ
イタリア国 アイ - 2 0 0 9 9 セスト サン ジオヴァンニ、ヴィア エフ ガブアロッティ
エヌ 1 6 4
- (72)発明者 ヴィエロ、ジョルジョ
イタリア国 アイ - 2 4 0 4 0 ステッツァーノ、ヴィア ベリーニ 9

審査官 中村 一雄

- (56)参考文献 特開平04 - 0 2 3 4 9 5 (J P , A)
特開平06 - 3 2 6 4 7 1 (J P , A)
特開平03 - 1 4 2 8 9 6 (J P , A)
特開平08 - 0 0 8 3 9 3 (J P , A)
特開2001 - 0 3 6 2 4 7 (J P , A)
特開平03 - 0 4 8 4 9 5 (J P , A)

- (58)調査した分野(Int.Cl. , DB名)
H05K 3/46