

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|-----------------------------|-----------|-------------|
| (51) Int. Cl. | (45) 공고일자 | 2006년06월19일 |
| <i>H03K 17/00</i> (2006.01) | (11) 등록번호 | 10-0590464 |
| <i>H03K 17/16</i> (2006.01) | (24) 등록일자 | 2006년06월09일 |

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0116067 | (65) 공개번호 | 10-2005-0111526 |
| (22) 출원일자 | 2004년12월30일 | (43) 공개일자 | 2005년11월25일 |

(30) 우선권주장 JP-P-2004-00150571 2004년05월20일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라쿠 가미고다나카 4초메 1-1

(72) 발명자 구도마사히로
일본 가나가와켄 가와사키시 나카하라쿠 가미고다나카 4-1-1 후지쯔가
부시끼가이샤 나이

(74) 대리인 김진환

심사관 : 여인홍

(54) 샘플링 스위치

요약

본 발명은 샘플링 스위치의 온 저항의 변화에 의한 신호의 왜곡을 저감시키며, 아날로그 신호 처리의 정밀도를 향상시키는 것을 목적으로 한다.

소스 단자에 스위치에의 입력 전압이 공급되고, 드레인 단자로부터 출력 전압이 부여되는 MOS 트랜지스터와, 이 MOS 트랜지스터의 게이트 단자에의 전압을 상기 입력 전압으로부터 지연시켜 공급하는 게이트 전압 제어 수단을 구비하며, 게이트 전압 제어 수단이 게이트 단자 전압의 지연 시간을 출력 전압의 입력 전압으로부터의 지연 시간의 절반이 되도록 제어한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 샘플링 스위치의 원리 구성 블록도.

도 2는 샘플링 스위치의 제1 실시예의 기본 회로를 도시한 도면.

- 도 3은 샘플링 스위치의 제2 실시예의 기본 회로를 도시한 도면.
- 도 4는 샘플링 스위치의 제3 실시예의 기본 회로를 도시한 도면.
- 도 5는 제1 실시예의 상세 회로를 도시한 도면.
- 도 6은 제1 실시예에 있어서의 각 노드의 전위를 설명한 도면.
- 도 7은 제1 실시예의 동작을 도시한 타임 차트.
- 도 8은 제2 실시예의 상세 회로를 도시한 도면.
- 도 9는 제2 실시예를 PMOS 트랜지스터를 이용하여 구성한 회로를 도시한 도면.
- 도 10은 제3 실시예의 상세 회로를 도시한 도면.
- 도 11은 본 발명의 샘플링 스위치를 이용한 샘플 홀드 회로의 예를 도시한 도면.
- 도 12는 샘플링 스위치의 제1 종래예를 도시한 도면.
- 도 13은 샘플링 스위치의 제2 종래예를 도시한 도면.
- 도 14는 샘플링 스위치의 제3 종래예를 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 샘플링 스위치
- 2 : MOS 트랜지스터
- 3 : 게이트 전압 제어 수단
- 10, 21~29, 35, 36 : 트랜지스터
- 11 : 전원
- 12, 13, 18, 37 : 정전 용량
- 14~16, 19 : 스위치
- 30, 31 : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그 신호의 처리를 위해 이용되는 샘플링 스위치에 관한 것으로, 더욱 상세하게는 스위치에의 입력 신호 전압이 변화되는 경우에도, 스위치의 온 저항의 변동에 의해 신호 파형에 생기는 왜곡을 저감시킬 수 있는 샘플링 스위치에 관한 것이다.

아날로그 신호 처리, 예컨대 샘플 홀드 회로, 스위치 커패시터 회로 및 아날로그-디지털 변환기 등에 있어서는, 샘플링 스위치가 널리 이용되고 있다. 이와 같이 아날로그 신호의 신호 경로에서 이용되는 스위치의 특성으로서, 스위치의 온 저항이 신호 파형에 왜곡을 주지 않는 것이 중요하다. 예컨대 A/D 변환기에 있어서, 아날로그 신호를 샘플링하는 샘플링 스위치에 의해 신호 파형에 왜곡이 가해지는, 즉 출력 신호 파형이 입력 신호 파형에 비하여 변화되어 버리는 경우에는 그대로 A/D 변환기의 변환 특성이 열화하게 된다.

도 12는 샘플링 스위치의 제1 종래예로서의 MOS 트랜지스터를 도시한다. MOS 트랜지스터는 스위치로서 널리 이용되고 있지만, 온 상태에 있어서의 MOS 트랜지스터의 온 저항의 값은 게이트와 소스간의 전압(게이트와 드레인간의 전압)과, 기판과 소스간의 전압에 의존한다.

일반적으로 게이트 단자에 가해지는 제어 전압(Φ)과 기판 단자 전압은 입력 신호 전압에 무관하게 일정하며, 스위치의 온 저항은 입력 신호 전압에 의존하여 변화된다. 입력 신호가 스위치를 통과할 때의 지연 시간은 스위치의 온 저항과 부하측의 정전 용량에 따라 결정되는 시정수와 밀접하게 관련되고, 스위치의 온 저항이 입력 신호 전압에 의존성을 갖는 경우에는, 출력 신호의 지연 시간은 입력 신호 전압에 의존하여 변화된다.

이 때문에 스위치를 통과한 출력 신호 파형이 통과하기 전의 입력 신호 파형에 비하여 변형함으로써 왜곡이 생긴다. 이러한 입력 신호 전압의 영향은 회로의 저전압화가 진행함에 따라, 또한 신호의 고속화가 진행함에 따라 더욱 커진다고 생각되며, 이 문제점을 극복하기 위한 기술이 필요로 되고 있다.

샘플링 스위치의 온 저항을 일정하게 하고, 신호에 왜곡을 가하지 않도록 하는 기술로서 부트 스트랩 회로를 이용한 MOS 트랜지스터의 스위치가 알려져 있다. 도 13은 이러한 샘플링 스위치의 제2 종래예를 도시한다. 이 종래예에 대해서는 다음 문헌에 기재되어 있다.

[비특허 문헌 1] A. M. Abo, P. R. Gray: A 1.5-V, 10-bit, 14.3 MS/s CMOS Pipeline Analog-to-Digital Converter, IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 599-606, May 1999

도 13에 있어서, 기본적인 스위치는 트랜지스터(100)이며, 그 소스 단자에 입력 전압(V_{in})이 공급되고, 드레인 단자로부터 전압(V_{out})이 출력된다. 그 밖의 회로는 전부 제어 회로이다. 이 회로에서는 트랜지스터(100)가 온의 상태에 있어서, 트랜지스터(100)의 게이트와 소스간의 전압이 일정하게 유지되는 동작이 행해지고, 온 저항의 입력 신호 전압 의존성을 작게 할 수 있어, 스위치에 의해 신호에 가해지는 왜곡이 저감된다.

즉, 트랜지스터(100)가 오프 상태에서는, 정전 용량(101)은 전원 전압(V_{dd})으로 충전된다. 이 때, 스위칭 제어 신호(Φ)는 L로 되고 있다. 스위칭 제어 신호(Φ)가 L에서 H로 변화되면, 트랜지스터(103)는 온에서 오프로, 트랜지스터(104)는 오프에서 온으로 변화된다. 이것에 의해 트랜지스터(105)는 온이 되고, 트랜지스터(100)와 트랜지스터(102)의 게이트 전압은 정전 용량(101)의 충전 전압, 즉 전원 전압(V_{dd})에 의해 기본적으로 결정되는 전압이 되며, 트랜지스터(100)와 트랜지스터(102)가 온이 된다. 트랜지스터(100)의 게이트와 소스간의 전압은 이 전원 전압(V_{dd})의 값으로 거의 일정하게 유지된다.

그러나, 이 제2 종래예에 있어서도, 트랜지스터(100)의 드레인 단자로부터 출력되는 출력 신호는 입력 신호에 대하여 지연되기 때문에, 입력 신호가 고속으로 변화되는 경우에는 소스 단자와 드레인 단자의 전압이 반드시 동일하게 변화된다고 생각할 수 있는 것은 아니다. 온 상태의 트랜지스터는 저항의 연속체라고 볼 수 있기 때문에, 채널의 각 부의 전압은 소스 단자 전압과 드레인 단자 전압 사이의 중간적인 값을 취하고, 채널의 평균 전압은 소스 단자 전압과 드레인 단자 전압의 평균이 된다.

따라서 게이트 단자 전압을 소스 단자 전압과 드레인 단자 전압의 평균 전압에 대하여 일정하게 유지하는 제어를 행하면 트랜지스터의 온 저항의 변동을 작게 억제할 수 있는 것으로 생각되지만, 도 13의 제2 종래예와 같이 게이트와 소스간의 전압만을 일방적으로 일정하게 유지하여도 게이트와 드레인간의 전압은 크게 변동하여, 신호에 가해지는 왜곡이 커져 버리는 원인이 된다고 하는 문제점은 해결되지 않는다. 또한 트랜지스터의 온 저항은 기판과 소스간의 전압에도 의존하지만, 이 제2 종래예에 있어서는, 기판 전압이 일정한 고정 전위로 유지되고 있다고 생각되기 때문에, 이 제어에 의해 왜곡을 저감시킬 수 없다고 하는 문제점도 있다.

이와 같이 부트 스트랩 회로를 이용하여 게이트 전압의 제어를 행하는 종래 기술은 다음 특허 문헌에도 기재되어 있지만, 이 문헌의 기술에 있어서도 제2 종래예와 동일한 문제점은 해결되고 있지 않다.

[특허문헌 1] 일본 특허 공개 평성 제5-151795호 공보 「CDAC용 다이내믹 입력 샘플링 스위치」

도 14는 샘플링 스위치의 제3 종래예의 회로도이다. 이 회로는 다음 문헌에 기재되어 있다.

[비특허문헌 2]

M. Waltari, L. Sumanen, T. Korhonen, K. Halonen: A Self-Calibrated Pipeline ADC with 200 MHz IF-Sampling Frontend, ISSC Digest of Technical Papers, 18. 5, Feb. 2002

도 14의 회로에 있어서, 기본적인 스위치는 트랜지스터(100)이다. 이 트랜지스터(100)를 중심으로 하여, 도 13의 제어 회로와 동일한 회로가 우측과 좌측 양방에 설치되어 있다. 우측의 회로가 설치된 이유는 트랜지스터(100)의 기판 단자 전압을 제어하기 위함이다. 이 회로에서는 트랜지스터(100)의 온 기간에 있어서, 그 기판 전압을 출력 신호 전압을 이용하여 제어함으로써, 스위치가 신호에 가하는 왜곡을 저감시킬 수 있다.

도 14에 있어서는, 입력 전압(V_{in})과 출력 전압(V_{out})의 각각을 기초로 하여 부트 스트랩 회로에 의한 게이트 전압 제어가 우측과 좌측의 회로에 의해 행해진다. 좌측의 회로는 입력 전압(V_{in})에 대하여 좌측의 정전 용량(101)의 충전 전압만큼 게이트 전압을 승압시키는 동작을 행하고, 우측의 회로는 동일하게 출력 전압(V_{out})에 대하여 우측의 정전 용량(101)의 충전 전압만큼 게이트 전압을 승압시키는 동작을 행한다. 이것에 의해 트랜지스터(100)에 대한 게이트 전압이 입력 전압과 출력 전압에 의해 균등하게 제어, 즉 V_{in} 과 V_{out} 의 중간 전압에 의한 제어가 행해져, 스위치가 신호에 주는 왜곡은 더욱 저감되는 것으로 생각된다.

그러나 기판과 소스간의 전압의 제어에 대해서는 기판 단자 전압의 제어가 출력 신호 전압만으로 행해지고 있기 때문에, 입력 신호 전압과 출력 신호 전압의 중간 전압에 의한 제어에 비하여 신호 왜곡의 저감 효과는 작다고 하는 문제점은 해결되고 있지 않다. 추가로 이 제3 종래예에서는 기본적인 스위치로서의 트랜지스터(100)의 양측에 동일 형식의 제어 회로가 필요로 되어, 회로 면적이 커진다고 하는 문제점도 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 과제는 기술한 문제점을 감안하여, 게이트와 소스간의 전압을 출력 신호 전압의 입력 전압으로부터의 지연 시간에 대응하여 입력 전압을 지연시켜 공급하도록 제어하고, 또한 동시에 기판과 소스간의 전압이 거의 0으로 일정해지도록 제어함으로써, 혹은 게이트와 소스간의 전압의 지연과 기판과 소스간의 전압의 지연을 독립적으로 제어함으로써, 샘플링 스위치의 온 저항의 변화에 의한 신호의 왜곡을 저감시켜 아날로그 신호 처리의 정밀도를 향상시키는 것이다.

발명의 구성 및 작용

도 1은 본 발명의 샘플링 스위치의 원리적인 구성 블록도이다. 동 도면에 있어서 샘플링 스위치(1)는 MOS 트랜지스터(2)와, 게이트 전압 제어 수단(3)으로 구성된다. MOS 트랜지스터(2)의 소스 단자에는 스위치의 입력 전압이 공급되고, 드레인 단자로부터는 스위치의 출력 전압이 출력된다.

게이트 전압 제어 수단(3)은 MOS 트랜지스터(2)의 게이트 단자에의 전압을 MOS 트랜지스터(2)에의 입력 전압을 지연, 예컨대 MOS 트랜지스터(2)의 출력 전압의 입력 전압으로부터의 지연 시간에 대응하여 지연시켜 공급하는 것이다.

발명의 실시 형태에 있어서는, 게이트 전압 제어 수단(3)은 입력 전압으로부터의 게이트 단자 전압의 지연 시간을, 출력 전압의 입력 전압으로부터의 지연 시간의 절반이 되도록 제어할 수도 있다.

또한, 실시 형태에 있어서는, 게이트 전압 제어 수단(3)은, 샘플링 스위치(1)가 오프가 되어야 하는 기간에 전원 전압으로 충전되고, 한쪽 단자가 샘플링 스위치(1)가 온이 되어야 하는 기간에 도통하는 제1 전환 수단을 통해 상기 소스 단자에 접속되며, 다른 쪽 단자가 샘플링 스위치(1)가 온이 되어야 하는 기간에 도통하는 제2 전환 수단을 통해 게이트 단자에 접속되는 제1 정전 용량과, 제1 정전 용량의 상기 한쪽 단자와 고정 전위 사이에 접속되는 제2 정전 용량을 구비하고, 상기 제2 정전 용량의 값을 변화시킴으로써, 상기 지연 시간을 조정하여 게이트 단자 전압을 공급할 수도 있으며, 추가로 게이트 전압 제어 수단(3)이 MOS 트랜지스터(2)의 기판 단자와, 제1 정전 용량의 상기 한쪽 단자를 접속하는 배선을 구비할 수도 있다.

또한, 실시 형태에 있어서는, MOS 트랜지스터(2)의 게이트 단자가 샘플링 스위치가 오프가 되어야 되는 기간에 고정 전위에 접속되는 것도, 또한 그 고정 전위가 MOS 트랜지스터(2)가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위일 수도 있다.

추가로, 실시 형태에 있어서는 샘플링 스위치(1)가 오프가 되어야 하는 기간에 MOS 트랜지스터(2)의 기판 단자가 고정 전위에 접속되는 것도, 또한 제1 스위치 및 제2 스위치가 MOS 트랜지스터에 의해 구성되는 것도, 추가로 전술한 고정 전위가 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위일 수도 있다.

추가로, 실시 형태에 있어서는, 샘플링 스위치(1)가 상기 입력 전압을 지연시킨 전압을 MOS 트랜지스터(2)의 기판 단자에 공급하는 기판 전압 제어 수단을 더 구비할 수도 있다.

이 경우, 기판 전압 제어 수단이, 한쪽 단자가 MOS 트랜지스터(2)의 기판 단자 및 샘플링 스위치(1)가 온이 되어야 하는 기간에 도통하는 제3 전환 수단을 통해 MOS 트랜지스터(2)의 소스 단자에 접속되고, 다른 쪽 단자가 고정 전위에 접속되는 제3 정전 용량을 구비할 수도 있으며, 이 제3 정전 용량의 값의 조절에 의해 기판 단자 전압의 입력 전압으로부터의 지연 시간을, 예컨대 출력 전압의 입력 전압으로부터의 지연 시간의 절반으로 조절할 수도 있다.

추가로, 실시 형태에 있어서는, 전술한 제1 스위치, 제2 스위치 및 제3 스위치가 MOS 트랜지스터에 의해 구성되고, 전술한 고정 전위가 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위일 수도 있다.

이상과 같이 본 발명에 따르면, 우선 기본적으로 MOS 트랜지스터(2)의 게이트 전압이 입력 전압과 출력 전압의 중간값에 의해 제어된다. 예컨대 미소 시간마다의 신호 전압의 변화를 선형으로 근사시키면, 입력 전압과 출력 전압의 평균치는 입력 신호에 대한 출력 신호의 지연 시간의 절반만큼 입력 신호를 지연시킨 전압이라고 생각할 수 있다. 즉 게이트 전압을 입력 전압에 대하여 그 지연 시간의 절반만큼 지연시켜 제어함으로써, 게이트 단자 전압은 입력 전압과 출력 전압의 평균치에 대하여 일정한 전압차로 제어되게 된다. 또한 이 때 기판과 소스간의 전압을 거의 0의 일정 상태로 유지함으로써, 트랜지스터의 온 저항의 변화는 더욱 작아진다. 혹은 기판 단자에 공급하는 전압을 게이트와 소스간의 전압과 독립적으로, 게이트 단자 전압과 동일하게 지연시켜 제어함으로써, 온 저항의 변화를 더욱 적게 하는 것이 가능해진다.

도 2는 본 발명의 샘플링 스위치의 제1 실시예의 기본 구성 회로도이다. 동 도면에 있어서, 샘플링 스위치는 입력 전압(Vin)이 소스 단자에 공급되고, 드레인 단자로부터 출력 전압(Vout)이 출력되는 MOS 트랜지스터(10), 전원(11), 정전 용량(12, 13), 스위치(14, 15, 16)로 구성되어 있다. MOS 트랜지스터(10) 이외의 요소가 특허 청구 범위의 청구항 1에 있어서의 게이트 전압 제어 수단을 구성한다.

이 제1 실시예는 MOS 트랜지스터(10)의 게이트 단자 전압을 제어하기 위한 부트 스트랩 회로를 갖는 제어 회로가, 게이트 단자 전압의 입력 전압(Vin)에 대한 지연 시간을, 출력 전압(Vout)의 입력 전압(Vin)에 대한 지연 시간에 대응시켜 제어할 수 있는 실시예이다.

도 2에 있어서, 입력 전압(Vin)이 소스 단자에 공급되고, 드레인 단자로부터 출력 전압(Vout)이 출력되는 MOS 트랜지스터(10)가 비도통, 즉 오프의 상태에서는, 도 2와 반대로 스위치(14, 15)는 각각 단자 a측에, 또한 스위치(16)는 온이 되고 있다. 이 상태에서 정전 용량(12; 청구항 3에 있어서의 제1 정전 용량에 해당)은 전원(11)의 전압으로 충전된 상태로 되고 있다.

이 상태에서부터, 도시하지 않은 스위칭 제어 신호의 제어에 의해 스위치(14, 15)는 단자 b측(제1 전환 수단과 제2 전환 수단에 해당)으로 전환되고, 스위치(16)가 오프가 되면, MOS 트랜지스터(10)의 게이트 단자에는 정전 용량(12)의 양단의 전압에 입력 전압(Vin)이 가산된 전압값이 인가되어, MOS 트랜지스터(10)는 온의 상태가 되고, 입력 전압(Vin)에 대응한 출력 전압(Vout)이 드레인 단자로부터 출력되게 된다.

이 때, 게이트 단자 전압 중에서 정전 용량(12)의 양단의 전압에 가산되는 입력 전압(Vin)에 의한 성분은 스위치(14)의 온 저항과, 정전 용량(12)의 하측의 단자(노드 A)의 정전 용량, 즉 단자 A 자체의 기생 용량과 정전 용량(13; 제2 정전 용량에 해당)의 용량과의 합에 따라 결정되는 시정수에 의해서 입력 전압(Vin)을 지연시킨 것이 된다. 이 지연의 시간이 출력 전압(Vout)의 입력 전압(Vin)으로부터의 지연 시간의 절반이 되도록 정전 용량(13)의 값을 조정함으로써, MOS 트랜지스터(10)의 게이트 단자 전압(의 변화)의 입력 전압(Vin)(의 변화)으로부터의 지연 시간을, 출력 전압의 입력 전압으로부터의

지연 시간의 절반으로 할 수 있다. 즉, 예컨대 입력 전압이 시간적으로 선형으로 변화되는 경우, 입력 전압과 출력 전압의 평균치로서 게이트 전압이 제어되게 되어, 스위치가 신호에 주는 왜곡을 저감시키기 위해서 최적의 게이트 단자 전압의 제어가 실현된다.

또, 도 2에 있어서, 3개의 스위치(14, 15, 16)는 후술하는 바와 같이 예컨대 MOS 트랜지스터에 의해 실현되지만, 그 동작을 포함한 상세한 내용에 대해서는 후술한다.

도 3은 샘플링 스위치의 제2 실시예의 기본 회로도이다. 동 도면을 도 2의 제1 실시예와 비교하면, 입력 전압(V_{in})이 소스 단자에 공급되고, 게이트 단자 전압으로부터 출력 전압(V_{out})이 출력되는 MOS 트랜지스터(10)의 기판 단자가, 정전 용량(12)과 정전 용량(13)의 접속점(노드 A)에 접속되어 있는 점만이 다르다. 또, 도 2에 있어서는, MOS 트랜지스터(10)의 기판의 접속처에 대해서는 도시되어 있지 않지만, 본 발명의 실시 형태에 있어서는, 특별히 거절되지 않는 한 MOS 트랜지스터로서 PMOS 트랜지스터보다도 도전성이 우수한 NMOS 트랜지스터를 기본적으로 사용하는 것으로 하고, 따라서 도 2에 있어서 MOS 트랜지스터(10)의 기판 단자는 일반적으로 어스 전위(V_{ss})에 접속되어 있는 것으로 한다.

도 3의 제2 실시예에 있어서는, MOS 트랜지스터(10)의 기판 단자와 소스 단자가 스위치(14)에 의해 접속되게 되고, 기판과 소스간의 전압이 거의 0의 일정 상태로 유지되게 된다. 이것에 의해 샘플링 스위치의 도전 상태에 있어서 게이트와 소스간의 전압 및 게이트와 드레인간의 전압에 덧붙여 기판과 소스간의 전압을 거의 일정한 상태로 유지할 수 있고, 트랜지스터의 온 저항의 변동을 더욱 작게 할 수 있어, 스위치에 의해 신호에 가해지는 왜곡을 더욱 저감하는 것이 가능해진다.

트랜지스터(10)의 게이트 단자 전압의 제어에 대해서는, 도 2의 제1 실시예에 있어서와 동일한 효과를 얻을 수 있지만, 도 3에서는, 정전 용량(13)의 용량값으로서는, 노드 A에 트랜지스터(10)의 기판 단자가 접속됨으로써, 그 기판 단자의 기생 용량의 값만큼 작게 하도록 제어하는 것이 필요하게 된다.

도 4는 샘플링 스위치의 제3 실시예의 기본 회로도이다. 동 도면을 도 2의 제2 실시예와 비교하면, MOS 트랜지스터(10)의 기판 단자에, 청구항 7의 기판 전압 제어 수단을 구성하는 정전 용량(18)과, 스위치(19)가 접속되어 있는 점이 다르다. 정전 용량(18; 청구항 8의 제3 정전 용량에 해당)의 다른 쪽 단자는 어스에 접속되며, 스위치(19)는 MOS 트랜지스터(10)가 온인 기간에서는 단자 b(제3 전환 수단에 해당), 즉 입력 전압(V_{in})에 접속되고, 트랜지스터(10)가 오프인 기간에는 단자 a, 즉 어스에 접속된다.

도 4의 제3 실시예에 있어서는, 트랜지스터(10)의 게이트 전압의 제어에 대해서는 제1 실시예와 동일한 제어가 가능하다. 그것에 덧붙여, 도 4에 있어서는 입력 전압(V_{in})이 스위치(19)를 통해 MOS 트랜지스터(10)의 기판 단자에 접속됨으로써, 기판 단자 전압의 제어를 게이트 전압의 제어와 독립적으로 행하는 것이 가능해진다. 그리고 이 경우, 정전 용량(18)이 기판 단자에 접속되어 있음으로써, 스위치(19)의 온 저항과, 노드 C의 용량, 즉 트랜지스터(10)의 기판 단자의 기생 용량과 정전 용량(18)의 용량과의 합에 따라 결정되는 시정수에 대응하여 입력 전압(V_{in})으로부터의 기판 단자 전압의 지연 시간이 결정되게 되고, 정전 용량(18)의 값을 조정함으로써, 예컨대 기판 단자 전압의 입력 전압으로부터의 지연 시간을 출력 전압의 입력 전압으로부터의 지연 시간의 절반으로 조정하는 것도 가능해져, 스위치에 의해 신호에 가해지는 왜곡은 더욱 저감되게 된다.

도 5는 도 2의 기본 회로도에 대응하는 제1 실시예의 상세 구성 회로도이다. 동 도면에 있어서, (MOS)트랜지스터(21)는 도 2의 스위치(14)의 단자 b측에 해당하고, 트랜지스터(22)는 단자 a측에 해당한다. 또한 트랜지스터(23)는 스위치(15)의 단자 b측에, 트랜지스터(24)는 단자 a측에 해당한다. 또한 트랜지스터(25)는 스위치(16)에 해당한다.

그 밖의 구성 요소는 이들 스위치의 제어나 보호를 위해 추가된 것이다. 샘플링 스위치의 스위칭 제어를 위한 신호 $Not\Phi$ 가 공급되는 2단의 인버터(30, 31), 트랜지스터(23)와 트랜지스터(25) 사이에 접속되는 트랜지스터(26), 트랜지스터(23)의 게이트 단자(부논리)와 트랜지스터(21)의 소스 단자(노드 A) 사이에 병렬로 접속되는 2개의 트랜지스터(27, 28), 트랜지스터(24)와 트랜지스터(27) 사이에 접속되는 트랜지스터(29)가 추가되어 있다.

도 5의 제1 실시예의 샘플링 스위치의 동작에 대해서 더욱 상세히 설명한다. 또, 스위칭 제어 신호 $Not\Phi$ 의 값이 H일 때에 트랜지스터(10)는 오프가 되고, L일 때에 온이 되도록 동작이 행해진다.

우선 트랜지스터(10)가 오프인 상태에 있어서의 회로의 동작을 설명한다. 이 때, 인버터(30)의 출력은 L, 인버터(31)의 출력은 H가 되고, 트랜지스터(22)는 온이 되어 노드 A는 V_{ss} 에 접지된다. 전술한 바와 같이 도시하지 않지만, 트랜지스터(10)의 기판 단자는 V_{ss} 에 접지되어 있다.

트랜지스터(25)의 게이트 단자에는 스위칭 제어 신호 Not Φ 가 H로서 공급되기 때문에 트랜지스터(25)는 온이 되어, 노드 G는 Vss에 접지되며, 트랜지스터(10) 및 트랜지스터(21)는 오프로 되고 있다. 또한 트랜지스터(24)는 온이 되어, 정전 용량(12)은 전원 전압(Vdd)으로 충전된다.

이 때, 트랜지스터(29)의 게이트에는 인버터(30)의 출력의 L 레벨이 공급되고, 트랜지스터(29)는 온이 되어, 노드 X의 전위는 Vdd가 되고, 트랜지스터(23)는 오프로 되고 있다. 또한 트랜지스터(27) 및 트랜지스터(28)의 게이트 전압은 모두 L이 되고 있어, 이들 트랜지스터는 오프로 되고 있다.

다음에 스위칭 제어 신호 Not Φ 가 L이 되어, 샘플링 스위치, 즉 트랜지스터(10)가 오프에서 온의 상태로 이행하는 동작에 대해서 설명한다. 스위칭 제어 신호 Not Φ 가 L이 되기 때문에 인버터(30)의 출력은 H, 인버터(31)의 출력은 L로 변화된다. 이 때, 트랜지스터(22) 및 트랜지스터(25)는 모두 오프가 된다. 또한 트랜지스터(27)의 게이트 전압이 H가 되기 때문에, 트랜지스터(27)는 온이 되어, 노드 X는 노드 A와 도통한다.

따라서, 트랜지스터(23)의 게이트와 소스간의 전압으로서의 노드 X와 노드 B간의 전압은 트랜지스터(10)가 오프인 상태에서 정전 용량(12)이 충전되어 있던 전원 전압과 그 절대값이 같아지고, 트랜지스터(23)는 온이 되어, 노드 G와 노드 B가 도통한다.

이것에 의해 트랜지스터(21)의 게이트와 소스간의 전압은 정전 용량(12)의 충전 전압, 즉 전원 전압과 거의 같아지고, 트랜지스터(21)는 온이 된다. 이 때, 입력 전압이 공급되는 소스 단자와 노드 A가 트랜지스터(21)에 의해 도통 상태가 되기 때문에, 노드 G의 전위는 거의 입력 전압(Vin)과 전원 전압(Vdd)의 합으로 유지되게 된다. 이것에 의해 당연히 트랜지스터(10)도 트랜지스터(21)와 마찬가지로 온이 된다.

노드 G의 전위가 거의 입력 전압과 전원 전압의 합으로 유지됨으로써, 트랜지스터(10)의 게이트와 소스간의 전압은 트랜지스터(10)가 온인 기간에 있어서 거의 일정하게 유지되게 되어, 샘플링 스위치의 온 저항의 입력 신호 전압 의존성이 저감된다. 추가로 이 때, 노드 B 및 노드 G의 전위는 입력 신호 전압에 대응하여, 전원 레벨보다도 높은 전위가 되는 경우도 있지만, 트랜지스터(26)가 존재함으로써, 트랜지스터(25)의 게이트와 드레인간의 전압이 전원 전압 이상으로 커지는 일은 없어, 트랜지스터 소자의 신뢰성이 유지된다.

도 6은 이상 설명한 트랜지스터(10)가 오프와 온인 상태에 있어서의 각 노드의 전위를 나타낸다. 동 도면에 있어서 스위칭 제어 신호 Not Φ 의 H 레벨이 전원 전압(Vdd), L 레벨이 어스 전위(Vss)인 것으로 각 노드의 전위가 도시되어 있다.

다음에 도 5의 제1 실시예의 상세 회로도에 있어서, 스위칭 제어 신호 Not Φ 가 다시 전원 전압 레벨, 즉 H로 변화되어, 샘플링 스위치의 동작이 오프의 상태로 이행할 때의 회로의 동작에 대해서 추가로 설명한다. 본 실시 형태에 있어서는, 인버터(30)와 인버터(31)를 2단 접속하여 각 트랜지스터의 게이트 전압의 제어를 행함으로써, 특히 트랜지스터(22)가 오프 상태로 변화되는 타이밍이 트랜지스터(25)가 온 상태로 변화되는 타이밍보다도 지연되도록 제어가 행해져, 트랜지스터(10, 21, 22)가 동시에 온 상태에 있는 시간을 가능한 한 짧게 하는 제어가 행해진다.

그 이유는 트랜지스터(22)가 온 상태로 변화할 때에 트랜지스터(10, 21)가 온 상태에 있으면, 노드 A의 전위의 변화에 의해 샘플링 스위치의 출력 전압(Vout)의 전위가 변화되어 버려, 샘플링 대상의 전압에 오차가 생기기 때문이다. 따라서 트랜지스터(10, 21)와 트랜지스터(22)가 동시에 온 상태에 있는 시간은 전혀 없거나 짧을수록 좋은 것이 된다.

도 5에 있어서 스위칭 제어 신호 Not Φ 가 H로 변화되면, 우선 트랜지스터(25)가 온이 되어, 노드 G의 전위가 어스 전위(Vss)로 저하하기 시작한다. 이것에 의해 트랜지스터(10) 및 트랜지스터(21)의 각각의 게이트와 소스간의 전압이 각각 임계치 전압을 하회한 시점에서 트랜지스터(10), 트랜지스터(21)는 오프가 된다. 전술한 바와 같이 트랜지스터(22)가 온이 되면 노드 A의 전위가 어스 전위(Vss)를 향해 저하하기 시작하고, 이 때 트랜지스터(10) 및 트랜지스터(21)가 오프로 되어 있으면, 노드 A의 전위의 변화가 출력 전압에 영향을 주는 일은 없어, 샘플링 스위치에 의한 샘플링 정밀도를 높일 수 있다.

도 7은 도 5의 제1 실시예에 있어서의 스위칭 제어 신호, 인버터(30)와 인버터(31)의 출력 및 각 노드 X, G, B, 및 A의 전위 변화의 타임 차트이다. 도 5의 회로는 아날로그 회로로서, 디지털 회로와 달리 클럭에 대응하여 동작을 설명하는 것은 불가능하지만, 도 7에서는 간단하게 하기 위해 변화의 타이밍을 클럭에 대응시키는 형식으로 나타내고 있다. 또한 입력 전

압은 아날로그 신호로서, 그 값이 변화함으로써 본 발명의 문제점으로서의 스위치에 의해 신호에 가해지는 왜곡이 발생하게 되지만, 도 7에서는 간단하기 하기 위해 입력 전압(V_{in})은 전원 전압(V_{dd})의 1/2로 일정하게 유지되는 것으로서, 타임 차트가 그려지고 있다.

도 7에 있어서 스위칭 제어 신호 $\text{Not}\Phi$ 값이 H에서 L, 즉 V_{dd} 에서 0으로 저하하면, 인버터(30)의 출력이 0에서 V_{dd} 로 증가하고, 그 후 인버터(31)의 출력은 V_{dd} 에서 0으로 저하한다. 이 때 거의 동시에 노드 X의 전위도 V_{dd} 에서 0으로 저하한다. 그 후 노드 G의 전위가 0에서 V_{dd} 로 증가하고, 추가로 그 후 $3V_{dd}/2$ 로 증가한다. 이 때 노드 B의 전위도 $3V_{dd}/2$ 까지 증가하고, 노드 X, 노드 A의 전위는 0에서 $V_{dd}/2$ 로 증가한다.

다음에 스위칭 제어 신호 $\text{Not}\Phi$ 가 0에서 V_{dd} 로 증가한 후, 인버터(30)의 출력은 0으로 저하하고, 또한 그 후 인버터(31)의 출력은 V_{dd} 로 증가한다. 스위칭 제어 신호 $\text{Not}\Phi$ 가 V_{dd} 로 증가하면 노드 G의 전위는 저하하기 시작하여, 이윽고 0까지 저하한다. 이 과정의 도중에서 노드 X의 전위는 V_{dd} 까지 증가하고, 또한 노드 A, 노드 B의 전위는 각각 저하하기 시작하여, 이윽고 노드 A의 전위는 0, 노드 B의 전위는 V_{dd} 가 된다. 또, 이 때 노드 A와 노드 B의 전위의 변화(저하)에 시간이 걸리는 것은 전술한 바와 같이 도 5에서 노드 G의 전위가 0으로 변화되어 트랜지스터(10)와 트랜지스터(21)가 함께 오프가 되고 나서 트랜지스터(22)를 온으로 하기 때문이다.

도 8은 도 3의 기본 회로에 대응하는 제2 실시예의 상세 회로도이다. 동 도면을 도 5의 제1 실시예와 비교하면, 트랜지스터(10), 트랜지스터(21)의 기판 단자가 각각 노드 A에 접속되어 있는 점만이 다르다. 전술한 바와 같이 제2 실시예에서는 트랜지스터(10)의 기판 단자가 노드 A에 접속되고, 또한 노드 A가 입력 전압 단자와 도통하고 있음으로써, 트랜지스터(10)가 온, 즉 샘플링 스위치의 도통 상태에 있어서 트랜지스터(10)의 기판과 소스간의 전압이 거의 0의 일정 상태로 유지되고, 샘플링 스위치의 온 저항에 대한 입력 신호 전압의 영향은 제1 실시예보다도 더욱 저감된다.

도 9는 제2 실시예를 NMOS 트랜지스터 대신에 PMOS 트랜지스터에 의해 구성하는 경우의 상세 구성 회로도이다. 동 도면에 있어서 기본적으로 전압의 특성이 반전되어, 전원 전압(V_{dd})과 어스 전위(V_{ss})가 교체되고, 또한 스위칭 제어 신호 $\text{Not}\Phi$ 대신에 그 극성을 반전시킨 Φ 가 이용되고 있다. 일반적으로 PMOS 트랜지스터보다도 NMOS 트랜지스터쪽이 채널폭 당 저항이 작고, 고속 동작이 가능하기 때문에, NMOS 트랜지스터를 사용하는 경우를 중심으로 하여 본 발명의 실시 형태를 설명하고 있지만, 본 발명의 샘플링 스위치는 NMOS 트랜지스터에 한정되지 않고, PMOS 트랜지스터를 이용하여 구성하는 것도 당연히 가능하다.

도 10은 도 4의 기본 회로에 대응하는 제3 실시예의 상세 구성 회로도이다. 동 도면을 예컨대 제2 실시예를 도시하는 도 8과 비교하면, 트랜지스터(21)의 기판 단자는 도 8과 마찬가지로 노드 A에 접속되어 있지만, 트랜지스터(10)의 기판 단자 전압의 제어를 위해 입력 전압(V_{in})이 드레인 단자에 공급되고, 소스 단자와 기판 단자가 접속되어 트랜지스터(10)의 기판 단자에 접속되는 트랜지스터(35), 인버터(31)의 출력이 게이트에 공급되는 트랜지스터(36), 트랜지스터(10)와 트랜지스터(35)의 기판 단자에 접속되는 정전 용량(37)이 추가되어 있다.

도 10의 제3 실시예에 있어서, 트랜지스터(35)는 도 4의 스위치(19)의 단자 b측에 해당하고, 트랜지스터(36)는 단자 a측에 해당하며, 또한 정전 용량(37)은 정전 용량(18)에 해당한다. 이 구성에 의해 트랜지스터(10)가 오프인 기간에서는, 트랜지스터(36)가 온이 되고, 트랜지스터(10)와 트랜지스터(35)의 기판은 모두 어스 전위(V_{ss})가 된다.

이것에 대하여 트랜지스터(10)가 온인 기간에서는, 트랜지스터(35)가 온이 되고, 트랜지스터(10)의 기판 단자 전압으로서, 트랜지스터(35)의 온 저항과 노드 C의 용량, 즉 노드 C의 기생 용량과 정전 용량(37)의 용량과의 합에 의해 결정되는 시정수에 대응하여 입력 전압(V_{in})이 지연되어 공급되게 된다.

도 11은 본 발명의 샘플링 스위치의 응용예로서의 샘플 홀드 회로의 예이다. 샘플 홀드 회로는 입력 신호의 샘플링을 행하고, 그 후 샘플링 전압을 유지하는 동작을 행하는 회로로서, A/D 변환기의 신호 입력부 등에 널리 이용된다. 동작 상태, 즉 샘플 페이즈와 홀드 페이즈의 전환은 제어 클럭에 의해 행해지고, 샘플 페이즈와 홀드 페이즈가 교대로 전환되는 형식으로 동작이 행해진다. 도 11에 있어서, 스위치(S1)로서 본 발명의 샘플링 스위치를 이용함으로써, 종래의 샘플링 스위치에 비하여 신호 왜곡을 저감한 샘플 홀드 회로를 구성하는 것이 가능하다. 또 동 도면에 있어서, 샘플링 스위치(S1)를 포함하는 3개의 스위치의 상태는 샘플 페이즈의 상태를 나타내고, 홀드 페이즈에 있어서는 각 스위치는 반대의 상태, 예컨대 스위치(S1)는 오프가 된다.

(부기 1) 입력 전압을 샘플링하여 출력 전압을 공급하는 샘플링 스위치로서,

소스 단자에 상기 입력 전압이 공급되고, 드레인 단자로부터 상기 출력 전압이 공급되는 MOS 트랜지스터와,

상기 MOS 트랜지스터의 게이트 단자에의 전압을 상기 입력 전압으로부터 지연시켜 공급하는 게이트 전압 제어 수단을 구비하는 것을 특징으로 하는 샘플링 스위치.

(부기 2) 상기 게이트 전압 제어 수단은 상기 게이트 단자 전압의 입력 전압으로부터의 지연 시간을 상기 출력 전압의 입력 전압으로부터의 지연 시간의 절반이 되도록 제어하는 것을 특징으로 하는 부기 1에 기재한 샘플링 스위치.

(부기 3) 상기 MOS 트랜지스터의 게이트 단자는 상기 샘플링 스위치가 오프가 되어야 하는 기간에 고정 전위에 접속되는 것을 특징으로 하는 부기 1에 기재한 샘플링 스위치.

(부기 4) 상기 고정 전위는 상기 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위인 것을 특징으로 하는 부기 3에 기재한 샘플링 스위치.

(부기 5) 상기 게이트 전압 제어 수단은,

상기 샘플링 스위치가 오프가 되어야 하는 기간에 전원 전압으로 충전되고, 한쪽 단자가 상기 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제1 전환 수단을 통해 상기 소스 단자에 접속되며, 다른 쪽 단자가 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제2 전환 수단을 통해 게이트 단자에 접속되는 제1 정전 용량과,

상기 제1 정전 용량의 상기 한쪽 단자와 고정 전위 사이에 접속되는 제2 정전 용량을 구비하며,

상기 제2 정전 용량의 값을 변화시켜, 상기 지연 시간을 조정하는 게이트 단자 전압을 공급하는 것을 특징으로 하는 부기 1에 기재한 샘플링 스위치.

(부기 6) 상기 MOS 트랜지스터의 기판 단자와, 상기 제1 정전 용량의 상기 한쪽 단자를 접속하는 배선을 구비하는 것을 특징으로 하는 부기 5에 기재한 샘플링 스위치.

(부기 7) 상기 샘플링 스위치가 오프가 되어야 하는 기간에 있어서, 상기 기판 단자가 상기 고정 전위에 접속되는 것을 특징으로 하는 부기 6에 기재한 샘플링 스위치.

(부기 8) 상기 고정 전위는 상기 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위인 것을 특징으로 하는 부기 7에 기재한 샘플링 스위치.

(부기 9) 상기 제1 전환 수단 및 제2 전환 수단은 MOS 트랜지스터에 의해 구성되는 것을 특징으로 하는 부기 5에 기재한 샘플링 스위치.

(부기 10) 상기 고정 전위는 상기 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위인 것을 특징으로 하는 부기 9에 기재한 샘플링 스위치.

(부기 11) 상기 샘플링 스위치에 있어서,

상기 MOS 트랜지스터의 기판 단자에 상기 입력 전압을 지연시킨 전압을 공급하는 기판 전압 제어 수단을 더 구비하는 것을 특징으로 하는 부기 5에 기재한 샘플링 스위치.

(부기 12) 상기 기판 전압 제어 수단은,

한쪽 단자가 상기 MOS 트랜지스터의 기판 단자 및 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제3 전환 수단을 통해 상기 소스 단자에 접속되고, 다른 쪽 단자가 고정 전위에 접속되는 제3 정전 용량을 구비하는 것을 특징으로 하는 부기 11에 기재한 샘플링 스위치.

(부기 13) 상기 기판 전압 제어 수단은 상기 제3 정전 용량의 값을 조정에 의해, 상기 입력 전압으로부터의 기판 단자 전압의 지연 시간을 조정하는 것을 특징으로 하는 부기 12에 기재한 샘플링 스위치.

(부기 14) 상기 제1 전환 수단, 제2 전환 수단 및 제3 전환 수단은 MOS 트랜지스터에 의해 구성되는 것을 특징으로 하는 부기 12에 기재한 샘플링 스위치.

(부기 15) 상기 고정 전위는 상기 MOS 트랜지스터가 NMOS형일 때에는 접지 전위, PMOS형일 때에는 전원 전위인 것을 특징으로 하는 부기 14에 기재한 샘플링 스위치.

(부기 16) 상기 기판 전압 제어 수단은 상기 기판 단자 전압의 입력 전압으로부터의 지연 시간을 상기 출력 전압의 입력 전압으로부터의 지연 시간의 절반으로 제어하는 것을 특징으로 하는 부기 11에 기재한 샘플링 스위치.

발명의 효과

본 발명에 따르면, 샘플링 스위치로서 이용되는 MOS 트랜지스터의 온 저항의 변화를 최소한으로 억제하여, 온 저항의 변화에 의한 신호의 왜곡을 저감시킬 수 있다. 이 효과는 금후의 회로의 저전압화 및 신호의 고속화의 진행에 따라 더욱 유효하게 되며, 또한 회로 규모를 작게 할 수도 있기 때문에, 아날로그 신호 처리에서 이용되는 샘플링 스위치의 실용성 향상에 기여하는 바가 크다.

(57) 청구의 범위

청구항 1.

입력 전압을 샘플링하여 출력 전압을 공급하는 샘플링 스위치로서,

소스 단자에 상기 입력 전압이 공급되고, 드레인 단자로부터 상기 출력 전압이 공급되는 MOS 트랜지스터와,

상기 MOS 트랜지스터의 게이트 단자에의 전압을 상기 입력 전압으로부터 지연시켜 공급하는 게이트 전압 제어 수단

을 구비하는 것을 특징으로 하는 샘플링 스위치.

청구항 2.

제1항에 있어서, 상기 게이트 전압 제어 수단은 상기 게이트 단자 전압의 입력 전압으로부터의 지연 시간을 상기 출력 전압의 입력 전압으로부터의 지연 시간의 절반이 되도록 제어하는 것을 특징으로 하는 샘플링 스위치.

청구항 3.

제1항에 있어서, 상기 게이트 전압 제어 수단은,

상기 샘플링 스위치가 오프가 되어야 하는 기간에 전원 전압으로 충전되고, 한쪽 단자가 상기 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제1 전환 수단을 통해 상기 소스 단자에 접속되며, 다른 쪽 단자가 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제2 전환 수단을 통해 게이트 단자에 접속되는 제1 정전 용량과,

상기 제1 정전 용량의 상기 한쪽 단자와 고정 전위 사이에 접속되는 제2 정전 용량을 구비하며,

상기 제2 정전 용량의 값의 조정에 의해, 상기 지연 시간을 조정할 게이트 단자 전압을 공급하는 것을 특징으로 하는 샘플링 스위치.

청구항 4.

제3항에 있어서, 상기 MOS 트랜지스터의 기관 단자와, 상기 제1 정전 용량의 상기 한쪽 단자를 접속하는 배선을 구비하는 것을 특징으로 하는 샘플링 스위치.

청구항 5.

제4항에 있어서, 상기 샘플링 스위치가 오프가 되어야 하는 기간에 있어서, 상기 기관 단자가 상기 고정 전위에 접속되는 것을 특징으로 하는 샘플링 스위치.

청구항 6.

제3항에 있어서, 상기 제1 전환 수단 및 제2 전환 수단은 MOS 트랜지스터에 의해 구성되는 것을 특징으로 하는 샘플링 스위치.

청구항 7.

제3항에 있어서, 상기 샘플링 스위치에 있어서,

상기 MOS 트랜지스터의 기관 단자에 상기 입력 전압을 지연시킨 전압을 공급하는 기관 전압 제어 수단을 더 구비하는 것을 특징으로 하는 샘플링 스위치.

청구항 8.

제7항에 있어서, 상기 기관 전압 제어 수단은,

한쪽 단자가 상기 MOS 트랜지스터의 기관 단자 및 샘플링 스위치가 온이 되어야 하는 기간에 도통하는 제3 전환 수단을 통해 상기 소스 단자에 접속되고, 다른 쪽 단자가 고정 전위에 접속되는 제3 정전 용량을 구비하는 것을 특징으로 하는 샘플링 스위치.

청구항 9.

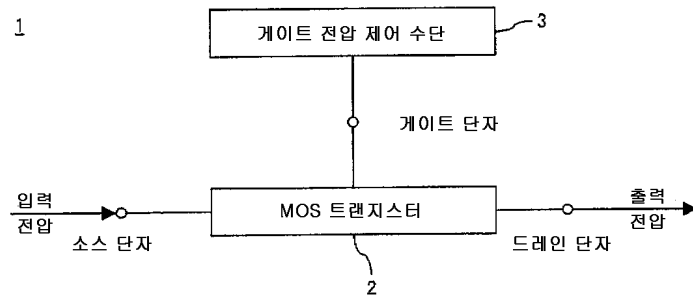
제8항에 있어서, 상기 기관 전압 제어 수단은 상기 제3 정전 용량의 값의 조정에 의해, 상기 입력 전압으로부터의 기관 단자 전압의 지연 시간을 조정하는 것을 특징으로 하는 샘플링 스위치.

청구항 10.

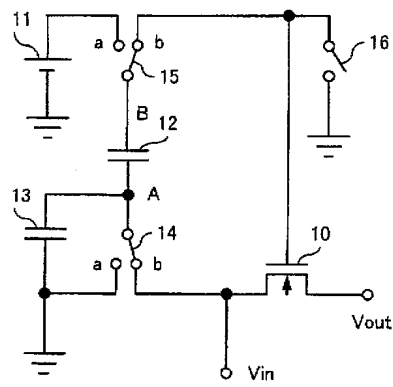
제7항에 있어서, 상기 기관 전압 제어 수단은 상기 기관 단자 전압의 입력 전압으로부터의 지연 시간을 상기 출력 전압의 입력 전압으로부터의 지연 시간의 절반으로 제어하는 것을 특징으로 하는 샘플링 스위치.

도면

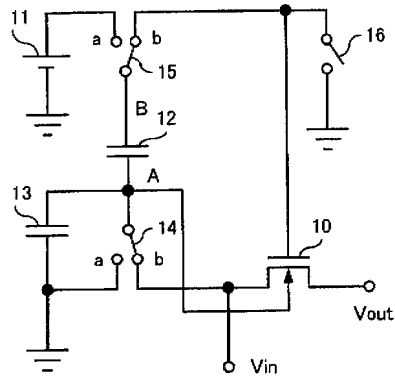
도면1



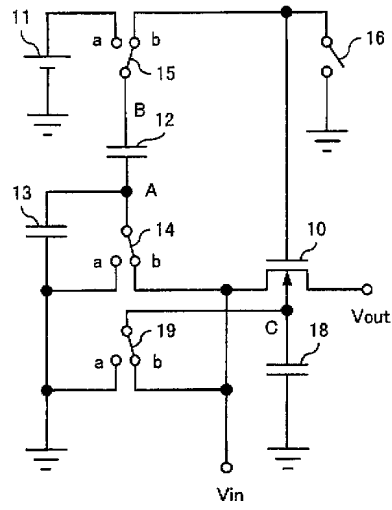
도면2



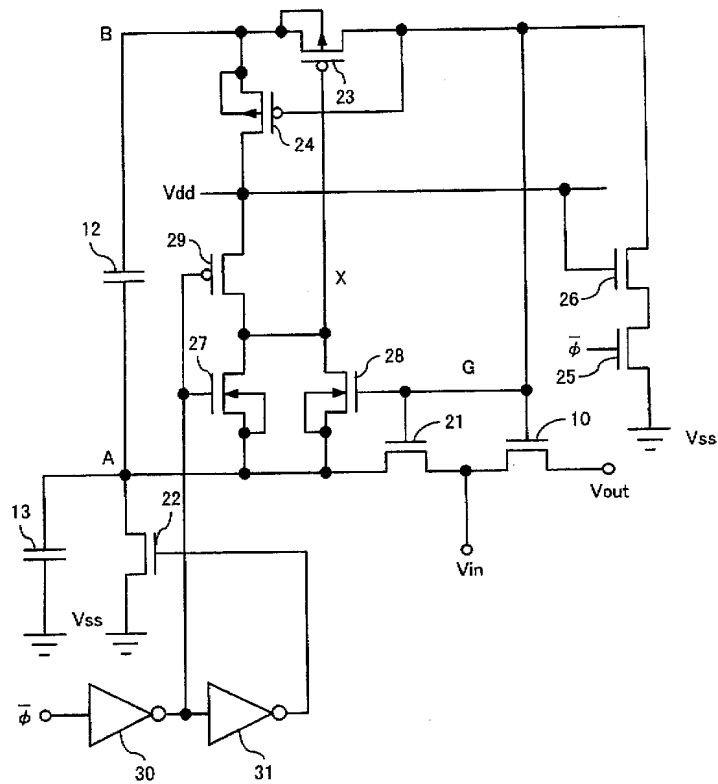
도면3



도면4



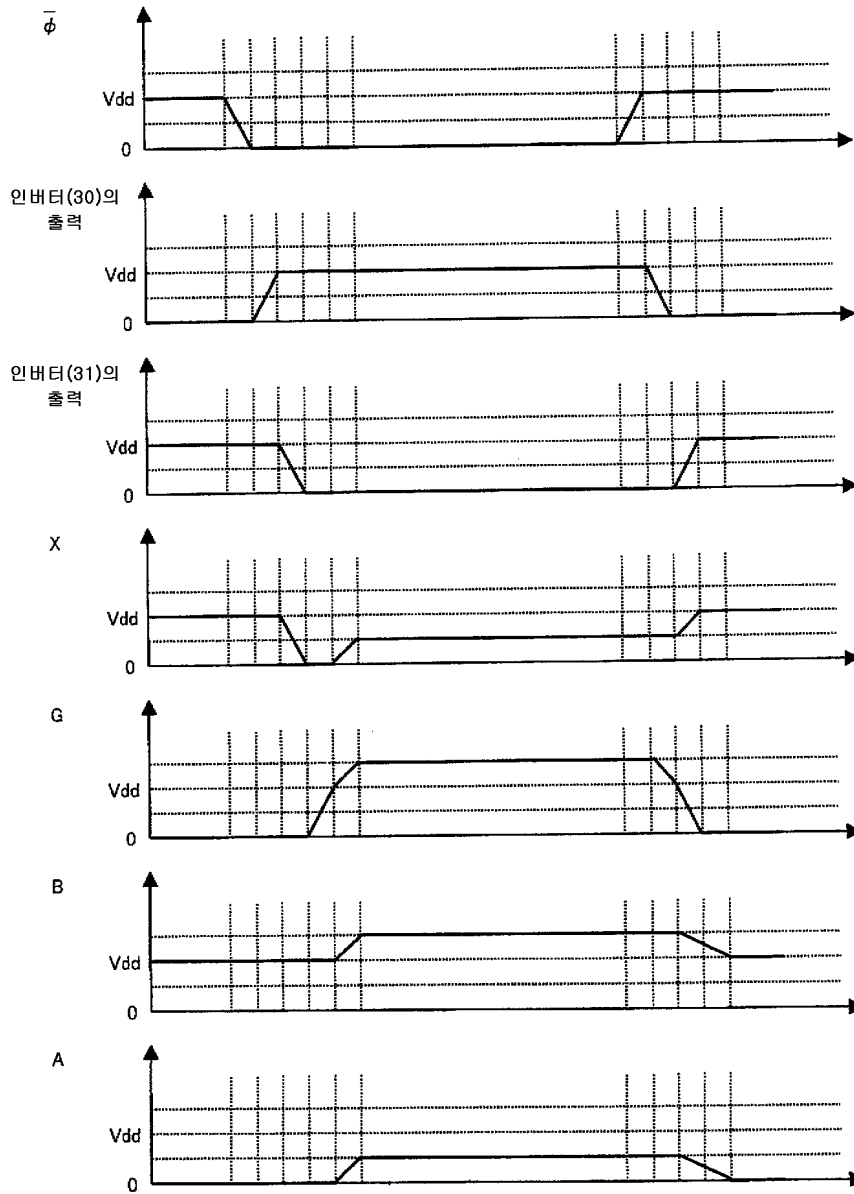
도면5



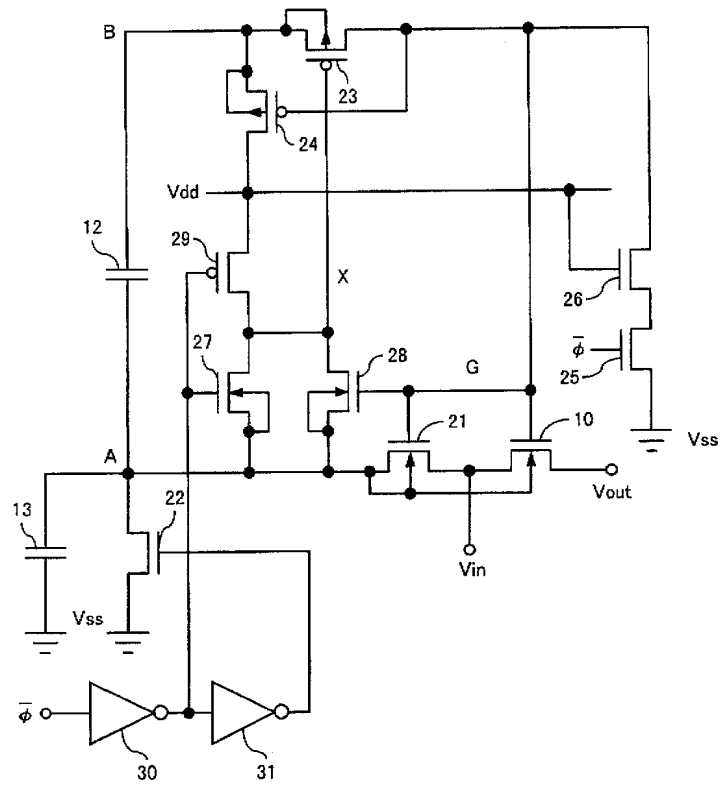
도면6

| $\bar{\phi}$ | A | B | X | G |
|--------------|-----|-----------|-----|-----------|
| Vdd | Vss | Vdd | Vdd | Vss |
| Vss | Vin | Vin + Vdd | Vin | Vin + Vdd |

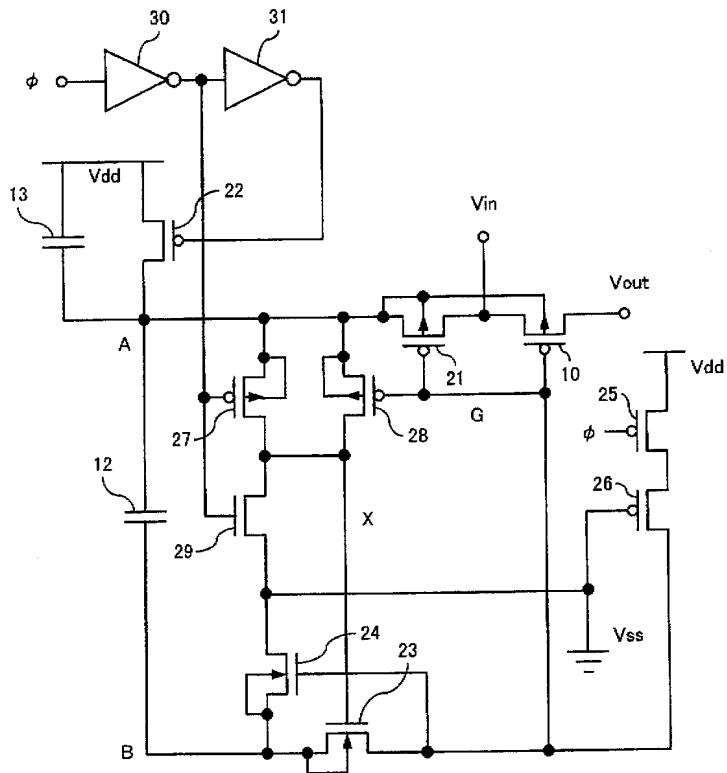
도면7



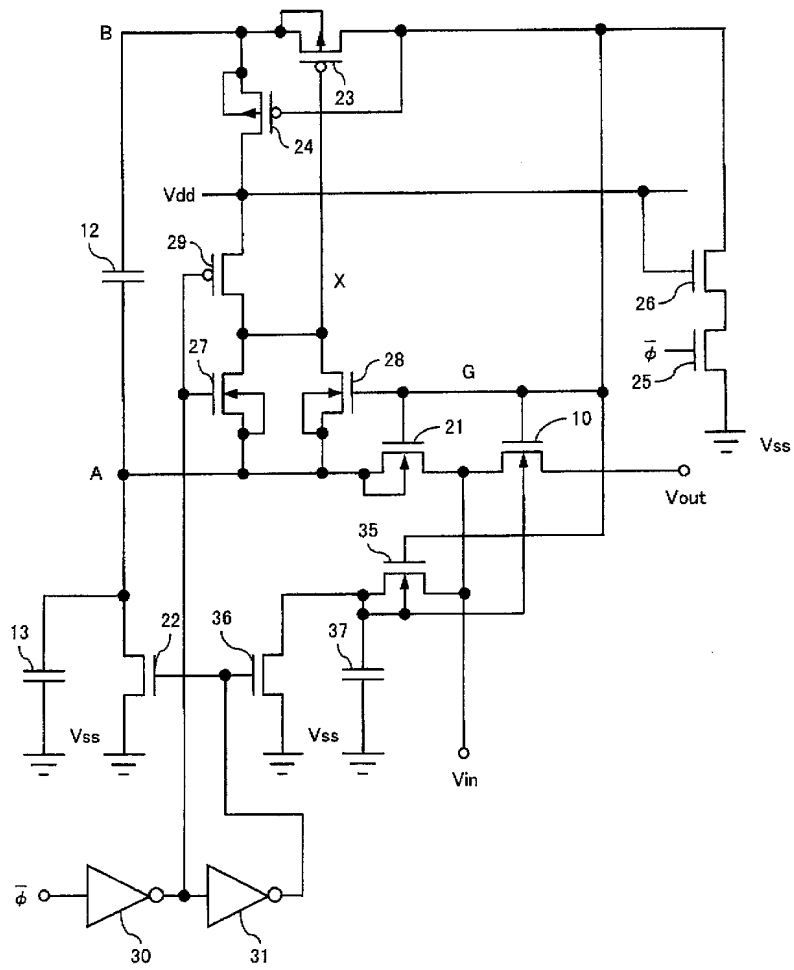
도면8



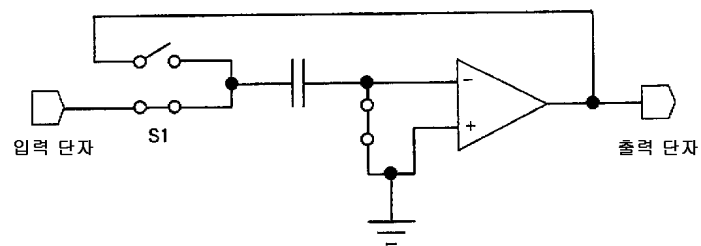
도면9



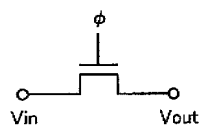
도면10



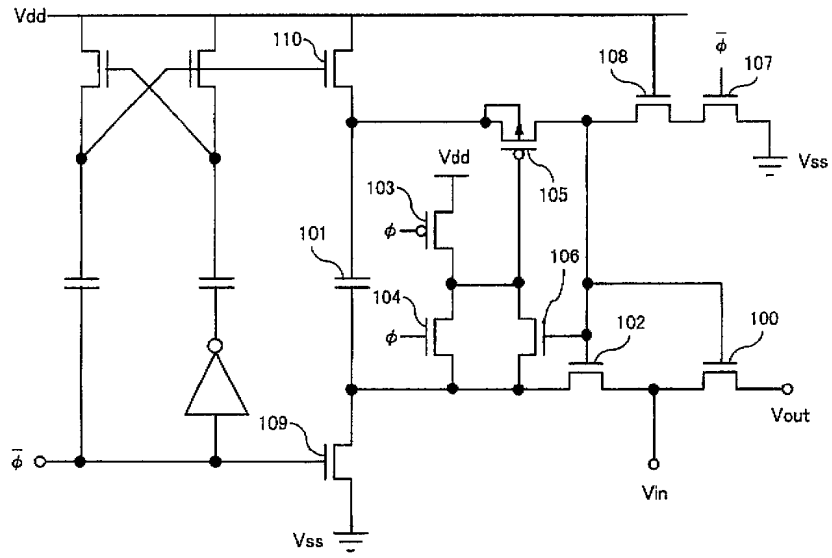
도면11



도면12



도면13



도면14

