(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/283

(45) 공고일자 2003년05월09일
(11) 등록번호 10-0372675
(24) 등록일자 2003년02월05일

(21) 출원번호	10-1995-0027109	(65) 공개번호	특1996-0009022
(22) 출원일자	1995년08월29일	(43) 공개일자	1996년03월22일

(30) 우선권주장	08/298,018	1994년08월30일	미국(US)

(73) 특허권자 텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

(72) 발명자 메흘다드엠.모슬레히
미합중국94024캘리포니아주로스알토스스탠리애비뉴956

(74) 대리인 주성민

심사관 : 권인희

(54) 자체정렬된실리사이드영역을갖는반도체디바이스의제조방법

요약

본 발명의 한 실시예는 자체정렬된 실리사이드 영역을 갖는 반도체 디바이스를 제조하기 위한 방법인데, 이 방법은 표면을 갖는 제1 도전형의 반도체기판(26)을 제공하는 단계; 상기 반도체 기판의 표면에 필드 절연 영역(12)를 형성하는 단계; 상기 기판 위에 절연적으로 배치되고, 상기 필드 절연 영역들사이에 위치되며, 게이트 전극을 갖는 게이트 구조물(10)을 형성하는 단계; 상기 게이트 구조물에 인접한 기판내에 형성되고 상기 게이트 구조물로부터 상기 필드 절연 영역으로 연장하는, 제1 도전형과 반대인 제2 도전형의 소스/드레인 접합 영역을 형성하는 단계; 기판내의 게이트 구조물 아래에 소스/드레인 접합영역들 사이에 배치된 채널 영역(22)를 제공하는 단계; 금속층(양호하게는 티타늄)을 퇴적하여 반응 프로세스를 수행하고 소정의 비반응된 금속을 제거함으로써 소스/드레인 접합 영역상에 형성된 자체정렬된 실리사이드 영역(16)을 제공하는 단계; 및 비선택적 도전층 퇴적 프로세스를 이용하여 소스/드레인 접합영역 중 하나에 접촉하는 개별적인 전기적 도전성 영역(36)[양호하게는 CVD-WSi_x로 구성됨(여기서 x는 2와 3 사이)]을 형성하고, 게이트 구조물상에 동일한 도전성 물질로 다른 전기적 도전성 영역(34)를 동시에 형성하는 단계를 포함한다.

대표도

도 1

명세서

도면의 간단한 설명

제1도 내지 제5도는 본 발명의 2개의 실시예의 횡단면도로서, 제1도 내지 제3도는 본 발명의 제1 실시예의 제조를 예시하고, 제4도 및 제5도는 제2 실시예를 예시하며, 제4a도는 제3 실시예를 예시하는 도면.
제6도는 본 발명의 실시예를 활용할 수 있는 CMOS 디바이스 구조물의 횡단면도.

제7도는 살리사이드(salicide)를 형성하기 위해 본 발명의 실시예를 실시할 수 있는 CMOS 프로세스 플로우를 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

10, 130, 131 : 트랜지스터 게이트 영역
12, 42 : 필드 산화 영역
14, 44, 108, 112, 114, 116 : 소스/드레인 접합 영역
16 : 자체정렬된 실리사이드(살리사이드) 영역
15, 104, 106 : CMOS 웰 영역
16, 20 : 내열성 금속 실리사이드 영역 18, 48 : 측벽 스페이서 영역
24 : 게이트 절연 영역 26 : 반도체층
30, 32 : 성장 산화 캡 40 : 게이트 구조물
56 : 실리사이드 영역 58 : 디스포저블층
62 : 도전성 영역 100 : 기판
118, 122 : BPSG층(붕소-인-실리게이트 글라스층)
120 : TEOS층 124, 138 : PECVD TEOS 산화층
134, 135 : 상호접속부 210 : 프로세스 모듈
212 : 살리사이드 프로세스 모듈

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로일렉트로닉스 기술 및 반도체 프로세싱에 관한 것으로, 특히 집적회로용의 자체정렬된 실리사이드 영역을 갖는 반도체 디바이스를 제조하는 방법에 관한 것이다.

[고성능 마이크로프로세서 및 SRAM 디바이스용으로 사용된 상보형 금속 산화 반도체(CMOS) 기술]과 같은 몇몇 고성능 반도체 기술은 소스/드레인 접합 및 게이트 기생 저항 소자를 감소시키기 위해 자체정렬된 실리사이드 영역['살리사이드 (salicide)']을 이용한다. 반도체 기술이 1/2 미크론 이하(sub-half-micron)의 최소 특징 크기로 스케일됨에 따라, 접합 누출 요구조건은 최대 초기 내열성 금속(예를 들어, 텅스텐 또는 코발트) 두께에 대한 상당한 제한을 가져왔다. 이것은 접합 누출 문제를 방지하기 위해 소스/드레인 접합 영역 위의 실리콘 소모량이 감소되어야 한다는 요건에 기인한 것이다. 그러나, 이것은 실리사이드 시트 저항을 증가시 키고, 증가된 기생 소스/트레인 및 게이트 저항 소자로 인해 살리사이드 형성의 잇점을 감소시킬 것이다.

상술한 한계를 극복하고, 1/2 미크론 이하의 절연 게이트형 전계 효과 트랜지스터(IGFET) 디바이스용의 낮은 시트 저항 살리사이드를 제조하기 위한 몇몇 방법이 제안되었다. 한 방법은 보다 두꺼운 실리사이드를 갖지만 전기적으로 얕은 접합을 갖는 상승된(elevated) 소스/드레인 접합 구조물의 이용에 기초하고 있다. 그러나, 이 방법은 (퇴적 선택 요건에 기인한) 프로세스 복잡성 및 비용의 증가를 초래하는 선택적인 실리콘 성장을 필요로 하므로 바람직하지 않다. 따라서, IC 제조에서는 상승된 소스/드레인 접합 구조물을 피하는 것이 바람직하다.

최근에, 다른 방법이 소스/드레인 접합 및 게이트 시트 저항값을 낮추기 위해 제안되었다. 이 방법은 자체정렬된 실리사이드와 선택적 화학 증착된 텅스텐('CVD-W') 프로세스의 조합에 기초한 것이다. 이 방법은 과도한 실리콘 소모없이 살리사이드 구조물을 형성하기 위해 초기 내열성 금속층(initial refractory metal layer)의 비교적 얇은 층(예를 들어, 텅스텐층의 두께는 500Å 보다 작음)을 이용한다. 살리사이드 프로세스에 이어서, 이들 영역 위의 CVD-W/$TiSi_2$ 적층 구조물에 의해 소스/드레인 접합 및 게이트 시트 저항값을 더 감소시키기 위해 텅스텐('CVD-W')의 선택적 화학 증착이 뒤따른다. 그러나, 이 방법은 몇가지 결점이 있다. 먼저, 이 방법은 (엄격한 퇴적 프로세스 선택 요건으로 인해) 더 복잡하고 고가의 프로세스인 선택적인 CVD-W를 필요로 한다. 두번째, CVD-W 대 $TiSi_2$ 접촉 저항은 CVD-W 프로세스 동안 플루오린의 반응으로 인해 보다 높아질 수 있어서, CVD-W/$TiSi_2$ 경계에서 불휘발성 절연 TiF_x 합성물을 형성할 수 있게 된다. 선택적인 CVD-W 프로세스는 일반적으로 WF_6, SiH_4 및 H_2로 구성된 프로세스 매체를 이용한다. 텅스텐은 노광된 실리콘 및/또는 금속 코팅을 갖는 영역상에 (전형적으로 300℃의 기판 온도로) 선택적으로 퇴적된다. TiF_x 형성 프로세스는 WF_6에 의해 발생된 플루오린의 존재로 인해 생길 수 있다. 세번째, 이 방법은 CVD-W로 인해 실리콘내의 웜홀(wormhole)의 형성을 유도할 수 있어서, 과도한 접합 누출을 일으킬 수 있다. 따라서, 선택적인 CVD-W를 필요로 하지 않고 낮은 시트 저항 살리사이드를 형성할 수 있는 프로세스를 이용하는 것이 바람직하다.

본 발명은 300℃ 이하 정도에서, 매우 작은 실리콘 소모량 및 매우 낮은 소스/드레인 접합 및 게이트 시트 저항값을 갖는 (IGFET를 포함하는) 1/2 미크론 이하의 살리사이드 디바이스를 제조하기 위해 완전한 자체 정렬 프로세싱 기술을 제공한다. 본 발명의 실시예는 어떤 선택적인 퇴적 프로세스를 필요로 하지 않고, 표준 실리콘 프로세싱 자원을 이용하는 방법이다. 본 발명의 방법은 또한 제조 프로세스 플로우의 부산물로서 실리사이드 로칼(local) 상호접속을 제공한다.

본 발명의 한 실시예는 자체정렬된 실리사이드 영역을 갖는 반도체 디바이스를 제조하는 방법인데, 이 방법은 표면을 갖는 제1 도전형의 반도체 기판을 제공하는 단계; 반도체 기판의 표면에 필드 절연 영역을 형성하는 단계; 기판 상에 절연적으로 배치되고 필드 절연 영역들 사이에 놓여지며, 게이트 전극을 포함하고 있는 게이트 구조물을 형성하는 단계; 게이트 구조물에 인접한 기판내에 형성되어 게이트 구조물로부터 필드 절연 영역으로 연장하는, 제1 도전형과 반대인 제2 도전형의 소스/드레인 접합 영역을 형성하는 단계; 기판내의 게이트 구조물 아래에 소스/드레인 영역들 사이에 배치된 채널 영역을 제공하는 단계; 금속층(양호하게는 티타늄)을 퇴적하여 반응 프로세스를 수행하고 소정의 비반응 금속을 제거함으로써 소스/드레인 영역상에 자체정렬된 실리사이드 영역을 형성하는 단계; 및 비선택적 도전층 퇴적 프로세스를 사용하여 소스/드레인 영역들 중 하나의 영역과 각각 접촉하는 [CVD-WSi_x (여기서 x는 2와 3 사이)로 양호하게 구성된] 개별적인 전기적 도전성 영역을 형성하고, 게이트 구조물상의 동일한 도전성 물질로부터 다른 전기적 도전성 영역을 동시에 형성하는 단계를 포함한다.

본 발명의 다른 실시예는 자체정렬된 실리사이드 영역을 갖는 반도체 디바이스를 제조하는 방법인데, 이 방법은 표면을 갖는 제1 도전형의 반도체 기판을 제공하는 단계; 반도체 기판의 표면에 필드 절연 영역을 형성하는 단계; 기판 위 및 필드 절연 영역들 사이에 절연적으로 배치되고, 상면 및 측면을 갖고 있고 게이트 전극을 포함하는 게이트 구조물을 형성하는 단계; 게이트 구조물 위에 놓여 있고, 상면 및 측면을 갖고 있는 (양호하게 질화 실리콘을 포함하는) 디스포저블 (disposable) 구조물을 형성하는 단계; 게이트 구조물 및 디스포저블 구조물에 인접하고, 게이트 구조물 및 디스포저블 구조물의 측면을 따라 연장하는 측벽 절연체를 형성하는 단계; 게이트 구조물에 인접한 기판내에 형성되고, 게이트 구조물로부터 필드 절연 영역으로 연장하는, 제1 도전형과 반대인 제2 도전형의 소스/드레인 접합 영역을 형성하는 단계; 기판내의 게이트 구조를 아래에 소스/드레인 접합 영역들 사이에 배치된 채널 영역을 형성하는 단계; 디스포저블 구조물을 선택적으로 제거하는 단계; (양호하게 티타늄을 포함하는) 금속층을 퇴적하여 반응 프로세스를 수행하고 소정의 비반응 금속 및 금속 화합물을 제거함으로써 소스/드레인 접합 영역상에 형성된 실리사이드 영역을 제공하는 단계; 및 비선택적 도전성 물질층 퇴적 프로세스에 의해, 소스/드레인 접합 영역 중 하나의 영역과 각각 접촉하는 개별적인 전기적 도전성 영역을 형성하는 단계 및 (양호하게는 게이트 구조물상의 도전성 영역이 디스포저블 구조물과 실질적으로 동일한 두께인) 게이트 구조물상의[양호하게 CVD-WSi_x (여기서 x의 값은 2와 3 사이)로 구성된] 동일한 도전성 물질로부터 전기적 도전성 영역을 동시에 형성하는 단계를 포함하고, 게이트 구조물상에 형성된 도전성 영역은 디스포저블 구조물과 실질적으로 동일한 위치에 위치된다. 한 다른 실시예에서, 실리사이드 영역은 디스포저블층이 제거된 후 형성되어, 게이트 구조물 상, 및 게이트 구조물과 게이트 구조물상의 도전성 영역 사이에 실리사이드층을 형성한다. 다른 실시예에서, 실리사이드 영역은 디스포저블층이 제거되기 전에 형성되어, 소스/드레인 접합 영역상에만 실리사이드 영역을 제공한다.

본 발명의 프로세스 플로우는 NMOS 디바이스에 관련하여 도시된다. 그러나, PMOS 디바이스는 본 발명의 프로세스 플로우를 이용하여 동시에 제조될 수 있다. 또한, 제1도 내지 제5도의 디바이스로 도시된 프로세스 플로우는 논-LDD (즉, 저농도 도프된 소스/드레인 접합 영역을 갖지 않는 디바이스) 디바이스용이다. 그러나, LDD들을 갖는 디바이스들은 또한 살리사이드 프로세스에 대한 본 발명의 프로세스 플로우를 이용하여 제조될 수 있다. 게다가, 본 발명의 프로세스 플로우는 또한 자체 정렬된 바이폴라 접합 트랜지스터의 제조에 사용될 수 있다.

제1도를 참조하면, 반도체 웨이퍼가 제공된 후, 반도체층(양호하게는 도프된 에피택셜 실리콘층)은 기판이 고농도 도프된 영역상에 저농도 도프된 에피택셜층을 갖도록 반도체 웨이퍼상에 퇴적될 수 있다. 반도체 웨이퍼/반도체층은 영역(26)으로 도시되고, 명세서에 '반도체층(26)'으로 지칭될 것이다. 반도체층(26)은 퇴적시, 연속적으로 도프되거나, 반도체 웨이퍼 또는 반도체층을 도핑하는 소정의 다른 표준 방법으로 인 시투 도프(in situ dope)될 수 있다, 제1도 내지 제5도에 도시된 NMOS 디바이스에 있어서, 반도체층(26)은 CMOS p-웰 영역과 같은 p형 도펀트로 도프된다. 반도체층(26)이 형성된 후, 얼라인먼트 마크(alignment mark)(도시되지 않음)가 반도체층(26)내로 에칭된다. 얼라인먼트 마크는 반도체 웨이퍼내로 에칭될 수 있고, 에피택셜층은 반도체층 상에 형성될 수 있거나 도프된 에피택셜층내에서 에칭될 수 있다. 어떤 경우이든, 얼라인먼트 마크는 여전히 후속적인 마이크로리소그래피 얼라인먼트 목적을 위해 나타날 것이다. 다음으로, CMOS 웰 영역(15)가 n-웰 및 p-웰 영역의 정확한 배치를 위해 얼라인먼트마크를 이용하여 형성된다. NMOS 디바이스의 경우에는, 소위 p-웰 영역을 생성하기 위해 웰 영역(15)가 붕소와 같은 p형 도펀트로 도프된다. 다음으로, 필드 산화 영역(12)가 실리콘의 로칼 산화(Local Oxidation of Silicon; LOCOS)와 같은 프로세스를 이용하여 형성된다. 필드 산화 영역(12)는 마이크로리소그래피 얼라인먼트 마크에 관해 정렬된다. 필드 산화 영역(12)가 형성된 후, 얇은 절연 물질층, 양호하게는 이산화 실리콘이 열 산화와 같은 프로세스에 의해 형성된다. 다음으로, CMOS 게이트 전극으로서 사용될 절연층 위에 양호하게는 폴리실리콘인 도전성 물질층이 퇴적된다. 이어서, 도전성 물질층이 게이트 절연층(24) 위에 트랜지스터 게이트 영역(10)을 형성하기 위해 패턴 및 에칭된다. 다음으로, 유전체 물질의 등각층을 퇴적하고, 이방성 반응 이온 에칭 프로세스를 이용하여 이물질을 이방성 에칭함으로써 측벽 스페이서 영역(18)이 형성된다.

고농도 도프된 소스/드레인 접합 영역(14)는 이온 주입 프로세스와 이에 후속하는 열 어닐 프로세스에 의해 형성된다. 이것은 NMOS 트랜지스터용 n+ 소스/드레인 접합이 형성되게 한다. 개별적인 이온 주입 단계가 PMOS 트랜지스터용 p+ 소스/드레인 접합을 형성하기 위해 이용된다.

다음 프로세스 단계는 물리적 증착(Physical-Vapor Deposition; PVD)과 같은 적절한 퇴적 프로세스를 이용하여 내열성 금속(양호하게는 티타늄)의 얇은 층(양호하게는 200Å 두께 정도)을 퇴적하는 것이다. 내열성 금속이 퇴적된 후에는 실리사이드 반응 프로세스가 수행된다. 예를 들어, 티타늄 실리사이드 반응 프로세스가 650 내지 700℃에서 질소 분위기중에서 급속 열 프로세싱(RTP) 반응기내에서 수행될 것이다. 다음에는 모든 비반응된 내열성 금속 및/또는 (질화 티타늄과 같은) 질화 금속을 선택적으로 제거하는 선택적 에칭 프로세스가 뒤따른다. 트랜지스터 소스/드레인 접합 및 게이트 영역상의 잔여 금속 물질 영역만이 각각 내열성 실리사이드 영역(16 및 20)이다.

이제 제2도를 참조하면, 살리사이드된 영역(16 및 20)이 형성된 후, 층(27)(양호하게는 WSi_x)이 (400℃ 이하의 저온, CVD 프로세스에 기초된 $SiH_4/H_2/WF_6$에 의해 양호하게) 퇴적된다. 양호하게는, x값이 2.0 내지 2.7 사이인 WSi_x 층을 퇴적하기 위해 시판중인 유용한 설비가 사용될 것이다. 이것은 x값이 대부분의 층에 대해 2의 화학량값 근처이고, 상부 근처의 층의 얇은 부분(50-100Å 정도)에 대해서는 2.4 내지 2.7 사이인 WSi_x의 바이레이어(bilayer)를 퇴적하는 프로세스를 이용함으로써 달성될 수 있다. 또한 전체 WSi_x 층을 통해 일정한 x값을 이용하는 것도 가능하다. 전체 WSi_x 층 두께는 500 내지 1500Å 정도일 수 있다. 차별화된(graded) 화학량이 선호되지만 필수 조건은 아니다. 이것은 상업적인 CVD-WSi_x 설비에 의해 쉽게 다루어질 수 있다. CVD-WSi_x 퇴적 프로세스 파라미터들이 비등각 퇴적 프로세스를 촉진하도록 선택될 수 있다(즉, 측벽상의 보다 얇은 WSi_x 층).

다음으로, 절연 물질의 얇은(양호하게는 100 내지 300Å) 등각층, 양호하게는 실리콘 질화 산화 마스크층이 저압 화학 증착(LPCVD)를 이용하여 퇴적된다. LPCVD가 사용된다면, 내열성 금속 살리사이드(양호하게는 $TiSi_2$) 영역(16 및 20)과 도전층(27)(양호하게는 CVD-WSi_x)의 저항 감소를 위해 어닐 프로세스시 LPCVD 질화 실리콘 프로세스 온도(양호하게는 800-850℃ 근처)를 이용한다. 이어서, 짧은 이방 성 질화 실리콘 에칭 프로세스가 유도성 결합된 플라즈마(IPC) 반응기와 같은 고밀도 플라즈마 소스내에서 수행될 수 있다. 이것은 게이트 측벽 스페이서(18)과 나란한 층(27)의 부분을 마스크하는 얇은 절연 필라멘트 스페이서(28)을 형성하는 결과로 된다. 양호하게는, 얇은 절연 필라멘트 스페이서(28)이 우수한 산화 마스크 특성으로 인해 질화 실리콘으로 형성된다.

제3도를 참조하면, 층(27)의 노광된 영역 위에 얇은(약 50 내지 100Å) SiO_2 층을 성장시키기 위해 짧은 저온(양호하게 750 내지 850℃ 정도) 열 산화가 수행된다. 게이트 측벽 위의 층(27)의 부분은 얇은 질화 실리콘 스페이서(28)의 산화 마스킹 효과로 인해 산화되지 않는다. 다음으로, 얇은 질화 실리콘 스페이서(28)은 얇은 질화 실리콘 스페이서(28)만을 에칭하고, 그외는 에칭하지 않는 선택적인 등방성 에칭(플라즈마 또는 습식 에칭)을 이용하여 스트립된다. 이어서, (등방성 SF_6 플라즈마 에칭과 같은) 적시의(timed) 선택적인 에칭이 게이트 측벽 스페이서 영역(18)을 따라 놓여있는 층(27)(양호하게 CVD WSi_x 층)의 부분을 제거하도록 수행된다. 게이트, 소스/드레인 및 필드 산화 영역 위의 층(27)의 부분은 얇은(양호하게는 50-100Å 정도) 성장 산화 캡(각각 32 및 30으로 지칭)에 의해 보호된다는 것을 유의해야 한다. 또한 게이트(10) 위에 놓여있는 층(27)의 부분은 영역(34)로 지칭되고, 소스/드레인 접합 영역(14) 및 필드 산화 영역(12) 위에 놓여 있는 층(27)의 부분은 영역(36)으로 지칭한다는 것을 유의해야 한다. 더욱이, 측벽 스페이서(18)과 나란하게 위치된 층(27)의 부분의 제거 동안의 과잉 에칭은 소스/ 드레인 접합 영역(14) 및 게이트 영역(10)으로부터 실리콘을 에칭하지 않는데, 이것은 이들 영역이 각각 얇은 내열성 금속 실리사이드층(16 및 20)(양호하게는 $TiSi_2$)에 의해 완전히 보호되기 때문이다. 또한, 층(27) 위의 얇은 Si가 많은(Si-rich) WSi_x ($x \approx 2.4 - 2.7$) 영역의 사용은 짧은 저온 CVD-WSi_x 열 산화 프로세스 동안 허용가능한 SiO_2 성장을 보장한다.

다음 단계들은 제1도 내지 제4도에 도시되지 않았지만, 제6도에 나타난 것과 같은 CMOS 디바이스 구조물을 실현할 수 있다. 다음으로, 리소그래피 및 CVD-WSi_x 에칭 단계에 의한 CVD-WSi_x 로칼 상호접속을 형성하기 위해 로칼 상호접속 마스크가 이용될 수 있다. 이것은 종래의 TiN 로칼 상호접속 기술을 능가하는 중요한 장점이다. CVD-WSi_x 로칼 상호접속은 본 발명의 자동적인 부산물이다. CVD-WSi_x 로칼 상호접속은 SF_6 플라즈마와 같은 비교적 환경적으로 안전한 플라즈마 화학에 의해 쉽게 패턴될 수 있다. 다음으로, 후속적인 디바이스 제조 프로세스 단계가 디바이스 접촉 및 다중레벨 상호접속 구조물을 형성하도록 수행된다. 본 발명에 의해 제안된 기술의 중요한 특징은 소스/드레인 접합 및 게이트 영역 위의 CVD-WSi_x 층이 또한 후속적인 접촉 에칭 프로세스 동안 우수한 에치-스탑층으로서 작용한다는 것이다. 이것은 어떤 접합 실리콘 과잉에칭 또는 접합 손상을 방지한다. 이점은 제조 수율을 향상하기 위한 매우 중요한 특징이다. 그러므로, 접촉 에칭 프로세스는 $TiSi_2$-실드 접합 위의 효과적인 CVD-WSi_x 에칭 스탑 영역으로 인해 소정의 접합 누출 또는 디바이스 신뢰성 문제를 일으키지 않고 과도한 (50-100% 정도) 과잉에칭을 이용할 수 있다. 더욱이, CVD-WSi_x 접합 스트랩(strap)은 접촉 에칭 이후 콜리메이트된 (collimated) Ti 스퍼터 퇴적의 필요성을 없앨 수 있다.

본 발명의 프로세스 플로우는 CVD-WSi_x 형성 단계에서 CVB-WSi_x가 3000 내지 4000Å의 전형적인 폴리실리콘 게이트 높이에 대해 1000 내지 15000Å 만큼의 높이를 갖는 것을 허용한다. 최종 폴리실리콘 게이트 두께가 3000Å보다 작다면(예를 들어, 0.25-0.35 ㎛에 대해 2500Å인 기술), 그리고/또는 보다 두꺼운 CVD-WSi_x 스트랩이 소스/드레인 접합 및 게이트 구조물 위에 요구된(예를 들어, 1500Å보다 두꺼운 CVD-WSi_x) 제4도 및 제5도에 도시된 프로세스 플로우가 사용되어야 한다.

제4도 내지 제5도를 참조하면, 본 발명의 대안적인 실시예의 프로세스 플로우는 게이트가 형성되는 점까지 제1도에 도시된 프로세스 플로우와 동일하다. 제1도의 프로세스 플로우로서, 양호하게는 폴리실리콘인 도전층(도시되지 않음)이 기존 구조물 위에 퇴적된다. 다음으로, 양호하게는 질화 실리콘인 디스포저블 (disposable)층이 도전층 위에 퇴적된다. 이어서, 도전층 및 질화 실리콘층이 도전성 게이트 구조물(40) 및 패턴된 디스포저블층(58)을 형성하도록 각각 이방성 에칭된다. 제2도에서와 같이, 측벽 유전체 스페이서(48) 및 실리사이드 영역(56)이 형성되고, 초과 내열성 금속 및/또는 질화 금속이 제거된다. 이로 인해 소스/드레인 접합(44) 위에 실리사이드 영역(56)이 형성된다. 디스포저블 질화 실리콘층(58)의 존재로 인해, 실리사이드가 게이트 전극 폴리실리콘 영역(40) 위에 형성되지 않는다. 측벽 스페이서(48) 및 실리사이드 영역(56)이 형성된 후, 디스포저블 질화 실리콘층(58)이 양호하게는 플라즈마 에칭(또는 습식 에칭) 프로세스에 의해 선택적으로 제거된다.

대안적인 실시예에서, 자체정렬된 실리사이드 영역의 형성이 디스포저블 질화 실리콘층(58)의 제거 전 또는 후에 수행될 수 있다. 질화 실리콘층(58)의 제거 전에 실리사이드 영역을 형성한 결과가 제4도에 도시된다. 이에 반해, 질화 실리콘층(58)의 제거 후에 실리사이드 영역을 형성한 결과는 제4a도에 도시된다. 이들 2개의 디바이스 간의 주요 차이는 제4a도의 도전성 게이트 구조물(40)상의 실리사이드 영역(41)의 존재 및 질화 실리콘층(58)의 부재이다. 이들 차이에도 불구하고, 제4a도의 디바이스는 도전성 게이트 구조물(40)과 도전성 영역(62) 사이의 실리사이드 영역(41)

의 존재를 제외하고는 (부가적인 프로세싱을 포함하여) 제5도의 디바이스와 유사하게 보일 것이다.

제5도를 참조하면, 제2도 및 제3도에서 도시된 바와 같이, (CVD-WSi $_x$ 과 같은) 도전층이 퇴적되어, 디스포저블 질화 실리콘층(58)을 제거하여 생성된 트렌치를 채워 도전성 영역(62)를 형성한다. 다음으로, 얇은 산화 마스크층이 퇴적된다(양호하게는 질화 실리콘), 얇은 산화 마스크층은 측벽 스페이서와 나란하게 위치된 도전층(양호하게는 CVD-WSi $_x$)의 일부분을 덮는 얇은 산화 마스크층 영역을 남겨놓고 이방성으로 에칭된다. 다음으로, 웨이퍼가 도전층 표면의 노광된 영역상에 열 산화층을 성장시키는 산화 분위기로 들어간다. 따라서, 질화 실리콘 측벽 스페이서의 산화 마스킹 효과로 인해 CVD-WSi $_x$ 산화가 방지되는 측벽 영역상을 제외하고는, 전체 CVD-WSi $_x$ 표면 위에서 산화가 일어난다. 선택적인 에칭이 후속적으로 수행된다. 이 프로세스 단계 동안에는, 잔여 측벽 질화 실리콘 스페이서만이 에칭되어 도전층 (양호하게는 CVD-WSi $_x$)의 영역이 측벽 스페이서를 따라 노광된다. 후속적으로 도전층의 노광된 부분이 선택적인 에칭 프로세스를 이용하여 에칭되고, 도전층의 잔여 부분이 영역(60 및 62)로서 제5도에 도시된다. 또한, 제5도는 영역(64 및 66)으로 표시된 산화층의 잔여부분을 도시한다. 잔여 디바이스 제조 프로세스 플로우는 로칼 상호접속 및 다중레벨 상호접속 구조물을 형성하기 위해 표준 집적회로 제조 프로세스를 이용하여 진행한다.

제6도는 본 발명의 제조 프로세스를 활용할 수 있는 CMOS형 디바이스의 개략적인 도면을 도시한다. 제6도의 디바이스가 특정 도펀트형으로 지정되었지만, 반대의 도전형의 도펀트를 이용하여, 본 발명의 프로세싱 단계를 그대로 사용하면서 이들 디바이스를 제조하는 것이 가능하다. 기판(100)은 p형 도펀트를 이용하여 제조되고(양호하게는 기판이 붕소로 고농도 도프된다). 에피택셜층(102)는 또한 p형이다(양호하게는 에피택셜층은 붕소로 저농도 도프된다). CMOS p-웰 영역(104) 및 n-웰 영역(106)이 각각 붕소 및 인 이온 주입을 이용하여 붕소-도프된 에피텍셜층(102)내에 형성되고, 후속적으로 열 어닐 프로세스가 수행된다. 영역(114 및 116)은 n+형 소스/드레인 접합 영역이고, 영역(108 및 112)는 p+형 소스/드레인 접합 영역이다. 필드 산화 분리 영역(110)은 디바이스들 사이에 형성되고; 측벽 스페이서 영역(128)은 NMOS와 PMOS 트랜지스터 게이트 구조물(130 및 131)에 인접하여 형성된다. TEOS 산화층(120)은 저압 화학 증착(LPCVD)에 의해 이 2개의 층 위에 퇴적된다. TEOS층(120) 위에는 플라즈마-향상된 화학 증착(PECVD)에 의해 양호하게 퇴적된 TEOS 붕소-인-실리게이트 글라스(boro-phospho-silicate; BPSG)층(118)이고, 후속적으로 열 BPSG 리플로우(reflow) 기술을 이용하여 리플로우된다. 또한, 제2 BPSG층(122)가 제1 패턴된 상호접속 레벨의 형성 후에 제1 BPSG층(118) 위에 위치된다.

다른 디바이스에 CMOS 게이트(130 및 131) 뿐만 아니라 소스/드레인 접합영역(108, 112, 114 및 116)을 접속시키는 상호접속부(134 및 135)가 CVD-W 또는 리플로우된 알루미늄을 이용하여 제조된다. 상호접속부(134 및 135) 아래에 형성된 영역(136)은 콜리메이트된 스퍼터링을 사용하여 제조된 Ti/TiN 바이레이어이다. PECVD TEOS 산화층[즉, 영역(124 및 138)]이 BPSG층(118 및 122) 위에 형성된다. PECVD TEOS 산화층(138)과 PECVD 질화 실리콘층(140)의 적층이 보호 오버 코트로서 형성된다. 저저항 소스/드레인 접합 및 CMOS 게이트 전극을 형성하기 위한 본 발명의 제조 프로세스 플로우는 상술한 디바이스를 포함하는 소정의 CMOS 또는 BiCMOS내에 쉽게 통합될 수 있다.

제7도는 제6도에 도시된 것과 같은 CMOS 디바이스를 제조하기 위해 사용될 수 있는 프로세스 플로우를 설명한다. 제7도의 프로세스 플로우는 [살리사이드 프 로세스 모듈(212)내에 포함된] 본 발명의 프로세스 플로우를 포함한다.

제7도의 프로세스 플로우의 제1 단계는 얼라인먼트 마크의 형성이다. 제1 단계는 블럭(200)으로 도시되고, 제1 마스크 및 반도체 에칭을 포함한다. 제2 단계(202)는 CMOS 웰 영역의 형성이다. 단계(202)는 반도체층(또는 기판)의 표면상에 얇은 산화층을 형성하는 단계, 마스크된 웰에 (각각 p-형 및 n-형 웰 영역용 붕소 및 인) 주입을 수행하는 단계, CMOS 웰 형성 열 어닐을 수행하는 단계 및 얇은 산화층을 스트립하는 단계를 포함한다. 다음으로, 단계(204)가 PBL 분리형을 형성하기 위해 수행된다. 폴리-버퍼된(poly-buffered) LOCOS(PBL) 절연 프로세스 모듈은 질화 실리콘/폴리실리콘/이산화 실리콘의 패턴된 적층 구조물을 형성하는 단계, 필드 산화 프로세스를 수행하는 단계 및 PBL 산화 마스크 적층을 제거하는 단계로 구성된다. 이것의 결과는 패턴된 필드 산화 영역의 형성이다. 단계(206)에서는 패턴된 CMOS 게이트 구조물을 형성하고, 단계(208)에서는 CMOS 게이트 구조물에 인접하는 측벽 유전체 스페이서를 형성한다. 후속적으로, 소스/드레인 접합 영역이 단계(210)에서 형성된다. 단계(210)은 주입 스크린 산화물의 형성단계, 패턴된 NMOS 주입(양호하게는 비소 또는 인) 단계, 패턴된 PMOS 주입(양호하게는 붕소) 단계, 및 소스/드레인 접합 영역을 형성하기 위한 급속 열 어닐 단계를 포함한다. 프로세스 모듈(210)이 완료된 후, 살리사이드 프로세스 모듈(212)이 수행된다. 단계(212)에는 내열성 금속(양호하게는 티타늄)의 퇴적, 급속 열 실리사이드 형성 프로세스, 비반응된 티타늄 및 티타늄 니트륨 스트링 제거, 및 실리사이드된 영역의 급속 열 어닐 단계가 포함된다. 본 발명의 프로세스 단계는 살리사이드 프로세스 모듈(212)에 포함된다. 다음 으로, 접촉부가 단계(214)에서 형성된다. 후속적으로, 제1 레벨 금속(단계 216)의 형성, 비아의 형성(단계 218), 제2 레벨 금속의 형성(단계 220) 및 보호 오버코트의 퇴적(단계 222)이 뒤따른다.

본 발명이 도시된 실시예를 참조하여 기술되었지만, 이 설명은 제한된 의미로 해석되어서는 안 된다. 본 발명의 다른 실시예뿐만 아니라, 도시된 실시예의 다양한 변형 및 조합이 본 기술 분야의 숙련된 자들에게는 명백할 것이다.

그러므로, 첨부된 특허청구의 범위는 소정의 변형 또는 실시예를 포함한다.

(57) 청구의 범위

청구항 1.

자체정렬된 실리사이드 영역을 갖는 반도체 디바이스를 제조하기 위한 방법에 있어서,

표면을 갖는 제1 도전형의 반도체 기판을 제공하는 단계;

상기 반도체 기판의 상기 표면에 필드 절연 영역을 형성하는 단계;

상기 기판 위 및 상기 필드 절연 영역들 사이에 절연적으로 배치되고, 상면 및 측면을 갖고 게이트 전극을 포함하는 게이트 구조물을 형성하는 단계;
상기 게이트 구조물 위에 놓여 있고, 상면 및 측면을 갖는 디스포저블 구조물(disposable structure)을 형성하는 단계
;
상기 게이트 구조물 및 상기 디스포저블 구조물에 인접하고, 상기 게이트 구조물과 상기 디스포저블 구조물의 측면을 따라 연장되는 측벽 절연체를 형성하는 단계;
상기 게이트 구조물에 인접한 상기 기판내에 형성되고 상기 게이트 구조물로부터 상기 필드 절연 영역으로 연장되는, 상기 제1 도전형과 반대인 제2 도전형의 소스/드레인 접합 영역을 형성하는 단계;
상기 기판내의 상기 게이트 구조물 아래에 상기 소스/드레인 접합 영역들 사이에 배치된 채널 영역을 제공하는 단계;
상기 디스포저블 구조물을 선택적으로 제거하는 단계;
상기 디스포저블 구조물을 제거한 후 상기 게이트 구조물 및 상기 소스/드레 인 접합 영역상에 실리사이드 층을 형성함으로써 실리사이드 영역 - 상기 실리사이드 영역은 금속층을 퇴적하고 반응 프로세스를 수행하며 소정의 비반응된 금속 및 금속 복합물을 제거함으로써 형성됨 - 을 제공하는 단계; 및
비선택적 도전성 물질층 퇴적 프로세스에 의해, 상기 소스/드레인 접합 영역들 중 하나와 각각 접촉하는 개별적인 전기적 도전성 영역을 형성하고, 상기 게이트 구조물상에 형성된 상기 실리사이드 영역 상에 동일한 도전성 물질로부터 전기적 도전성 영역을 동시에 형성하는 단계
를 포함하고,
상기 게이트 구조물상에 형성된 상기 실리사이드 영역은 상기 게이트 구조물과 상기 도전성 영역 사이에 형성되며, 상기 게이트 구조물 상에 형성된 상기 실리사이드 영역 상에 형성된 상기 도전성 영역은 상기 디스포저블 구조물과 실질적으로 동일한 두께를 가지며 상기 디스포저블 구조물과 실질적으로 동일한 위치에 위치하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 2.

제1항에 있어서, 상기 금속층은 티타늄층인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 3.

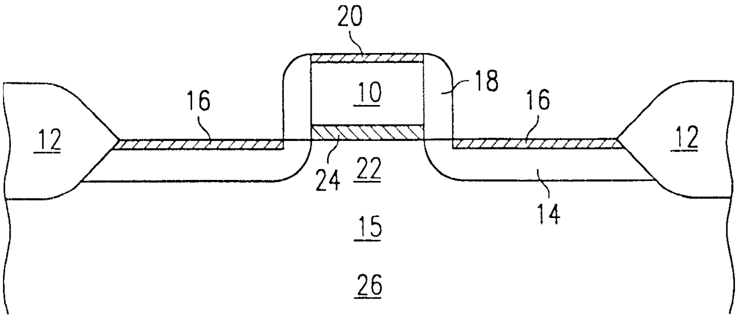
제1항에 있어서, 상기 전기적 도전성 영역은 CVD-WSi $_x$ 을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 4.

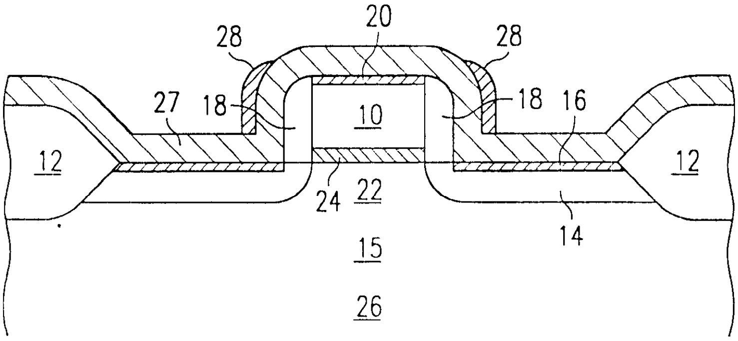
제3항에 있어서, 상기 x값은 2.0과 3.0 사이인 것을 특징으로 하는 반도체디바이스 제조 방법.

도면

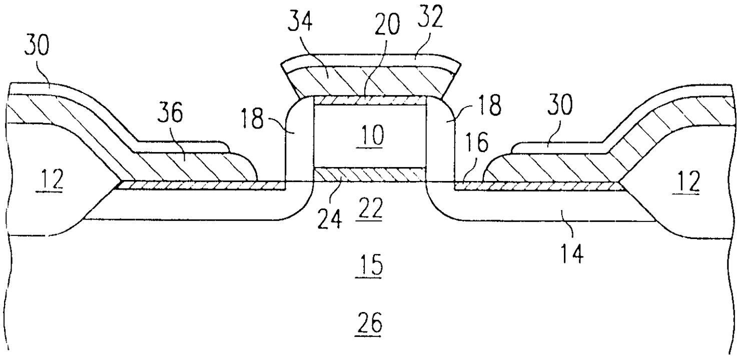
도면1



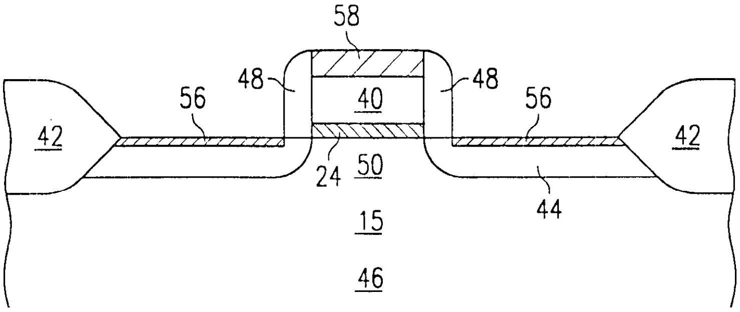
도면2



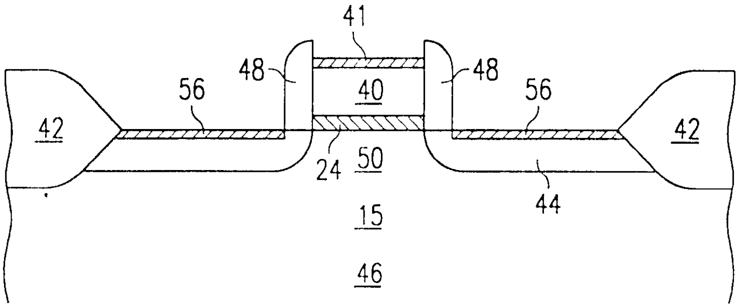
도면3



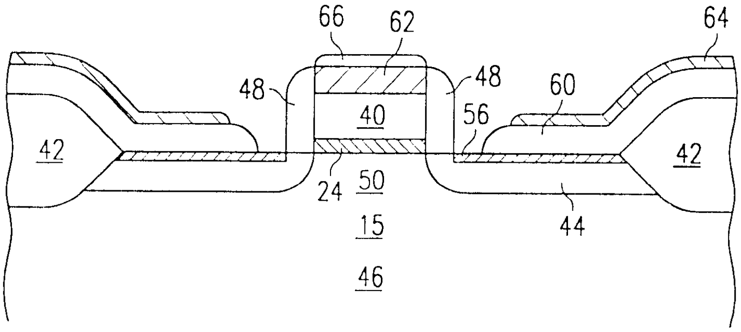
도면4



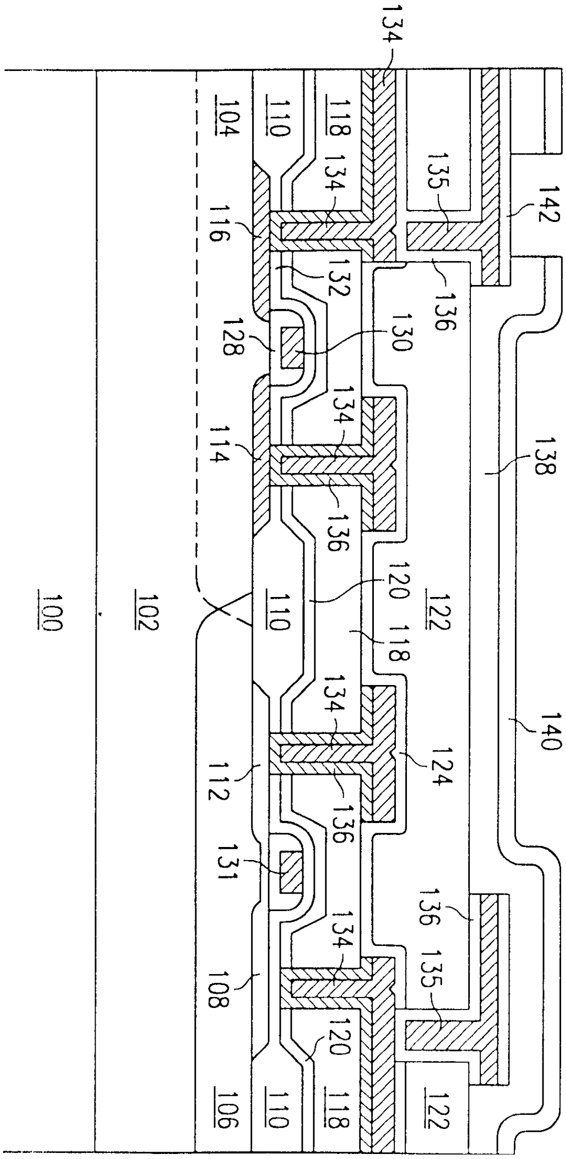
도면4a



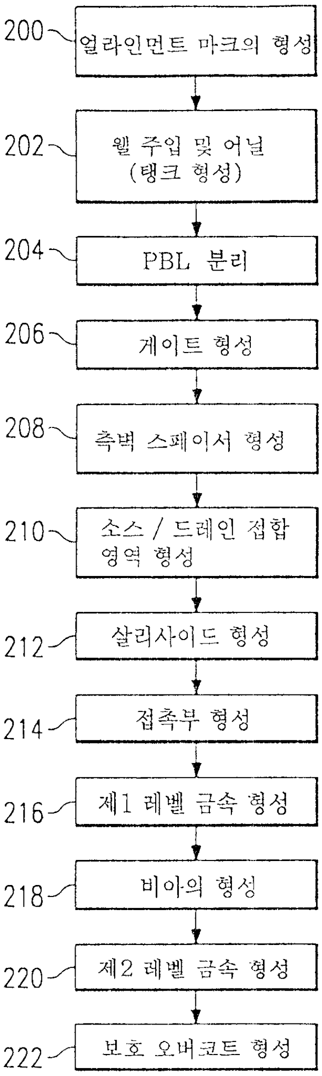
도면5



도면6


134
104
110
118
134
135
142
116
132
136
128
130
114
134
138
136
100
102
110
120
118
122
140
134
112
124
136
131
136
134
135
108
120
106
110
118
122

도면7


200
얼라인먼트 마크의 형성
202
웰 주입 및 어닐
(탱크 형성)
204
PBL 분리
206
게이트 형성
208
측벽 스페이서 형성
210
소스/드레인 접합
영역 형성
212
살리사이드 형성
214
접촉부 형성
216
제1 레벨 금속 형성
218
비아의 형성
220
제2 레벨 금속 형성
222
보호 오버코트 형성