

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4553936号  
(P4553936)

(45) 発行日 平成22年9月29日 (2010.9.29)

(24) 登録日 平成22年7月23日 (2010.7.23)

(51) Int. Cl. F I  
G O 6 F 13/28 (2006.01) G O 6 F 13/28 3 1 0 H

請求項の数 12 (全 14 頁)

(21) 出願番号	特願2007-504514 (P2007-504514)	(73) 特許権者	395015319
(86) (22) 出願日	平成17年7月6日 (2005.7.6)		株式会社ソニー・コンピュータエンタテインメント
(65) 公表番号	特表2007-529833 (P2007-529833A)		東京都港区南青山二丁目6番21号
(43) 公表日	平成19年10月25日 (2007.10.25)	(73) 特許権者	390009531
(86) 国際出願番号	PCT/IB2005/003169		インターナショナル・ビジネス・マシーンズ・コーポレーション
(87) 国際公開番号	W02006/006084		INTERNATIONAL BUSINESS MACHINES CORPORATION
(87) 国際公開日	平成18年1月19日 (2006.1.19)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
審査請求日	平成18年9月20日 (2006.9.20)	(74) 代理人	100105924
(31) 優先権主張番号	10/891,772		弁理士 森下 賢樹
(32) 優先日	平成16年7月15日 (2004.7.15)		
(33) 優先権主張国	米国 (US)		
前置審査			

最終頁に続く

(54) 【発明の名称】 アウト・オブ・オーダーのDMAコマンドキューにおけるコマンド順序の設定に関する技術

(57) 【特許請求の範囲】

【請求項1】

プロセッサをバイパスして、他のプロセッサと共有する共有メモリに直接的にアクセスするためのDMA (Direct Memory Access) コマンドを発行する機能と、

割り当てタグ番号に関連するDMAコマンドにフラグを埋め込む機能と、を備える少なくとも1のプロセッサと、

複数の通信チャネルのうちの少なくとも第1の通信チャネルを介して、前記1のプロセッサにより複数のDMAコマンドを入力される複数の通信ポートと、

複数のタグ付きDMAコマンドを生成するために、前記複数のDMAコマンドのそれぞれに対して割り当てタグ番号を格納するタグキューと、

前記複数のタグ付きのDMAコマンドを格納するコマンドキューと、を含み、

同じタグ番号のタグが付けられたDMAコマンドがタググループとして関連づけられ、前記フラグは、フェンスフラグを含み、

第1のタググループに属するフェンスフラグ付きのDMAコマンドの実行は、当該フェンスフラグ付きのDMAコマンドよりも前に発行された同じ第1のタググループに属する全てのDMAコマンドが実行されるまで抑止することを特徴とするダイレクトメモリアクセスの制御装置。

【請求項2】

10

20

プロセッサをバイパスして、他のプロセッサと共有する共有メモリに直接的にアクセスするためのDMA (Direct Memory Access) コマンドを発行する機能と、

割り当てタグ番号に関連するDMAコマンドにフラグを埋め込む機能と、を備える少なくとも1のプロセッサと、

複数の通信チャンネルのうちの少なくとも第1の通信チャンネルを介して、前記1のプロセッサにより複数のDMAコマンドを入力される複数の通信ポートと、

複数のタグ付きDMAコマンドを生成するために、前記複数のDMAコマンドのそれぞれに対して割り当てるタグ番号を格納するタグキューと、

前記複数のタグ付きのDMAコマンドを格納するコマンドキューと、

を含み、

同じタグ番号のタグが付けられたDMAコマンドがタググループとして関連づけられ、前記フラグは、バリアフラグを含み、

第1のタググループに属するバリアフラグ付きのDMAコマンドの後に発行された同じ第1のタググループに属する後続DMAコマンドの実行を抑止することを特徴とするダイレクトメモリアクセスの制御装置。

【請求項3】

前記コマンドキューから少なくとも1のタグ付きDMAコマンドを、少なくとも第2の通信チャンネルに転送する中間論理回路、を更に備えることを特徴とする請求項1または2に記載のダイレクトメモリアクセスの制御装置。

【請求項4】

少なくとも、メモリと接続されるように形成された複数のデータバッファ、を更に備えることを特徴とする請求項3に記載のダイレクトメモリアクセスの制御装置。

【請求項5】

前記複数のデータバッファは前記第2の通信チャンネルに接続されるように形成されたことを特徴とする請求項4に記載のダイレクトメモリアクセスの制御装置。

【請求項6】

前記プロセッサは、DMAバリアコマンドを発行する機能を更に備え、DMAバリアコマンドは、タググループに関わらず、DMAバリアコマンドの後に発行された後続DMAコマンドの実行を抑止することを特徴とする請求項1または2に記載のダイレクトメモリアクセスの制御装置。

【請求項7】

プロセッサから、当該プロセッサをバイパスして直接的に、他のプロセッサと共有する共有メモリに対するメモリ操作を実行するDMA (Direct Memory Access) コントローラに対して送出された第1のDMAコマンドを前記DMAコントローラが受信するステップと、

前記プロセッサが、埋め込みフラグを生成するために、前記第1のDMAコマンドにフラグを埋め込むステップと、

前記プロセッサが、前記第1のDMAコマンドにタグ番号を付与するステップと、

前記DMAコントローラが、前記第1のDMAコマンドをコマンドキューに格納するステップと、

前記DMAコントローラが、前記DMAコントローラに対するエン트리順と埋め込まれたフラグに基づいて、前記コマンドキューにおけるDMAコマンドの順序を設定するステップと、

前記DMAコントローラが、前記設定された順序にしたがって、前記コマンドキューにおけるDMAコマンドを実行するステップと、

前記DMAコントローラが、同じタグ番号のDMAコマンドをタググループとして関連づけるステップと、

を備え、

前記フラグは、フェンスフラグを含み、

10

20

30

40

50

第1のタググループに属するフェンスフラグ付きのDMAコマンドの実行は、当該フェンスフラグ付きのDMAコマンドよりも前に発行された同じ第1のタググループに属する全てのDMAコマンドが実行されるまで抑止することを特徴とするダイレクトメモリアクセスの制御方法。

【請求項8】

プロセッサから、当該プロセッサをバイパスして直接的に、他のプロセッサと共有する共有メモリに対するメモリ操作を実行するDMA(Direct Memory Access)コントローラに対して送出された第1のDMAコマンドを前記DMAコントローラが受信するステップと、

前記プロセッサが、埋め込みフラグを生成するために、前記第1のDMAコマンドにフラグを埋め込むステップと、

前記プロセッサが、前記第1のDMAコマンドにタグ番号を付与するステップと、

前記DMAコントローラが、前記第1のDMAコマンドをコマンドキューに格納するステップと、

前記DMAコントローラが、前記DMAコントローラに対するエントリー順と埋め込まれたフラグに基づいて、前記コマンドキューにおけるDMAコマンドの順序を設定するステップと、

前記DMAコントローラが、前記設定された順序にしたがって、前記コマンドキューにおけるDMAコマンドを実行するステップと、

前記DMAコントローラが、同じタグ番号のDMAコマンドをタググループとして関連づけるステップと、

を備え、

前記フラグは、バリアフラグを含み、

第1のタググループに属するバリアフラグ付きのDMAコマンドの後に発行された同じ第1のタググループに属する後続DMAコマンドの実行を抑止することを特徴とするダイレクトメモリアクセスの制御方法。

【請求項9】

前記DMAコントローラが、前記タググループに関わりなく、バリアコマンドの後に発行された後続のDMAコマンドの実行を抑止するために、バリアコマンドを発行するステップをさらに備えることを特徴とする請求項7または8に記載のダイレクトメモリアクセスの制御方法。

【請求項10】

コンピュータプログラム自体が格納される媒体をもつコンピュータプログラム製品であって、

プロセッサから、当該プロセッサをバイパスして直接的に、他のプロセッサと共有する共有メモリに対するメモリ操作を実行するDMA(Direct Memory Access)コントローラに対して送出された第1のDMAコマンドを前記コントローラが受信するためのコンピュータプログラムコードと、

前記プロセッサが、埋め込みフラグを生成するために、前記第1のDMAコマンドにフラグを埋め込むためのコンピュータプログラムコードと、

前記プロセッサが、前記第1のDMAコマンドにタグ番号を付与するためのコンピュータプログラムコードと、

前記DMAコントローラが、前記第1のDMAコマンドをコマンドキューに格納するためのコンピュータプログラムコードと、

前記DMAコントローラが、前記DMAコントローラに対するエントリー順と埋め込まれたフラグに基づいて、前記コマンドキューにおけるDMAコマンドの順序を設定するためのコンピュータプログラムコードと、

前記DMAコントローラが、前記設定された順序にしたがって、前記コマンドキューにおけるDMAコマンドを実行するためのコンピュータプログラムコードと、

前記DMAコントローラが、同じタグ番号のDMAコマンドをタググループとして関連

10

20

30

40

50

づけるためのコンピュータプログラムコードと、  
を備え、

前記フラグは、フェンスフラグを含み、  
前記 DMA コントローラが、第 1 のタググループに属するフェンスフラグ付きの DMA コマンドの実行は、当該フェンスフラグ付きの DMA コマンドよりも前に発行された同じ第 1 のタググループに属する全ての DMA コマンドが実行されるまで抑止するためのコンピュータプログラムコードを備える ダイレクトメモリアクセスの制御プログラム。

【請求項 11】

コンピュータプログラム自体が格納される媒体をもつコンピュータプログラム製品であって、

プロセッサから、当該プロセッサをバイパスして直接的に、他のプロセッサと共有する共有メモリに対するメモリ操作を実行する DMA (Direct Memory Access) コントローラに対して送出された第 1 の DMA コマンドを前記 DMA コントローラが受信するためのコンピュータプログラムコードと、

前記プロセッサが、埋め込みフラグを生成するために、前記第 1 の DMA コマンドにフラグを埋め込むためのコンピュータプログラムコードと、

前記プロセッサが、前記第 1 の DMA コマンドにタグ番号を付与するためのコンピュータプログラムコードと、

前記 DMA コントローラが、前記第 1 の DMA コマンドをコマンドキューに格納するためのコンピュータプログラムコードと、

前記 DMA コントローラが、前記 DMA コントローラに対するエン트리順と埋め込まれたフラグに基づいて、前記コマンドキューにおける DMA コマンドの順序を設定するためのコンピュータプログラムコードと、

前記コントローラが、前記設定された順序にしたがって、前記コマンドキューにおける DMA コマンドを実行するためのコンピュータプログラムコードと、

前記 DMA コントローラが、同じタグ番号の DMA コマンドをタググループとして関連づけるためのコンピュータプログラムコードと、

を備え、

前記フラグは、バリアフラグを含み、

前記 DMA コントローラが、第 1 のタググループに属するバリアフラグ付きの DMA コマンドの後に発行された同じ第 1 のタググループに属する後続 DMA コマンドの実行を抑止するためのコンピュータプログラムコードを備える ダイレクトメモリアクセスの制御プログラム。

【請求項 12】

前記 DMA コントローラが、前記タググループに関わりなく、バリアコマンドの後に発行された後続の DMA コマンドの実行を抑止するために、バリアコマンドを発行するためのコンピュータプログラムコードをさらに備えることを特徴とする請求項 10 または 11 に記載の ダイレクトメモリアクセスの制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概しては、DMA (Direct Memory Access) 制御に関し、より詳細には、DMA コントロールユニットにおいてコマンドの順序を維持するメカニズムを提供する技術、に関する。

【背景技術】

【0002】

従来システムにおける DMA ユニットの、メモリに直接的にアクセス可能なデバイスであり、メインプロセッサはバイパスされる。このようなタイプのシステムは、いくつかのバス・アーキテクチャ (bus architecture) に見受けられる。しかし、システム内の DMA ユニットの効率的かつ秩序だてて利用するためには、DMA のメモリ使用方法について

10

20

30

40

50

制御や制約が必須となる。

【0003】

DMAユニットはDMA転送の実行制御を行う。通常、メモリを使用するためのリクエストやコマンドが、DMAユニットに対して出力される。DMAユニットは仮想的なゲートキーパー (gatekeeper) として機能し、こういったリクエストやコマンドが秩序だつて実行されるように制御する。しかし、リクエストやコマンドを発行するDMAユニットの数や、1つのDMAユニットから発行されるコマンドの数などはとても大きな数になり得る。多数のリクエストがシステム動作を鈍くするという問題を軽減するために、DMAユニットは、一連のリクエストやコマンドを保持するためのキューを備える。

【0004】

通常、DMAユニットのリクエストやコマンドは、DMAユニットへの到着順に、すなわち、ストリクト・オーダー (strict order) にて実行される。しかし、ストリクトオーダーはとてもコストが高くつく可能性があり、その結果として、さまざまな問題が生じ得る。たとえば、高優先度のDMAコマンドが、低優先度のDMAコマンドのせいで遅延してしまう可能性がある。

【0005】

ストリクト・オーダー方式がコスト高となる別の理由は、DMAのために仮想記憶システムを使うときにある。仮想アドレスから実アドレスへの変換ができなければ、DMAユニットは、変換ミスが解決されるまで待たなければならない。変換ミスはハードウェアによって解決できるときもあれば、ソフトウェアによって解決されなければならないときもある。いずれにしても、変換の失敗から回復するのに要する遅延時間は非常に長い。低速デバイスを対象としたDMA転送の場合には、キューの奥に存在するDMAコマンドは、現DMAコマンドとは関係がなくても実行をさまたげられることがある。

【0006】

ロードやストアのために、PowerPC (登録商標) のような従来システムの中には、ウィークリー・オーダー (weakly order) や、ウィークリー・コンシステント・メモリモデル (weakly consistent memory model) を採用することでパフォーマンスを改善できるものもある。ウィークリー・オーダーのメモリモデルの概念は、DMAコマンドの実行にまで拡張可能である。DMAユニットに関するウィークリー・オーダー・モデルにおいては、各コマンドにはタグ (tag) が関連付けられる。コマンドは任意の順序にて実行完了することになるが、制御ソフトはその実行順序、関連グループ、あるいは、コマンドの依存関係をタグによって監視できる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、任意の順序でコマンドを実行すると、多くの問題が生じる。たとえば、あるコマンドが、後続コマンドが実行される前に完了しておかなければならない場合である。従来のDMAコマンド実行方法や実行装置に関連する問題の少なくともいくつかに対処するためのDMAコマンド順序設定方法や装置が必要とされている。

【課題を解決するための手段】

【0008】

本発明は、メモリアクセス制御装置を提供する。この装置は、少なくとも、1つのプロセッサを備える。プロセッサは、少なくとも、コマンドを発行し、少なくとも、割り当てタグ番号と関連するコマンドに対し、少なくともフラグを付与することができる。この装置は、また、複数の通信ポートを備える。複数のコマンドは、複数の通信チャネルのうちの少なくとも第1の通信チャネルを介して、少なくとも1つのプロセッサにより入力される。この装置は、また、タグキューを備える。タグキューは、複数のタグ付きコマンドを生成するために、複数のコマンドのそれぞれにタグ番号を設定する。この装置は、また、複数のタグ付きコマンドを格納するコマンドキューを備える。コマンドキューは、コマンドをソート (sort) する機能を備える。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0009】

本発明とその優位性についてのより完全に理解するために、添付の図面とあわせて以下の記述を参照されたい。

以下の記述における多数の特定の詳細な記述は、本発明の十分な理解を可能とするためのものである。しかし、当業者であれば、そのような特定の詳細な記述がなくとも本発明を実現できるであろう。別の例においては、既知の要素についても模式図やブロック図のかたちで、不必要なほど詳細な部分についても本発明を隠すことなく示す。加えて、ほとんどの部分について、ネットワーク通信、電磁的信号技術などに関する詳細は、そのような詳細が本発明の完全な理解のためには不要であり、関連技術について通常のスキルを持つ人物の理解力の範囲内にあると考えられる限りは省略している。

10

## 【0010】

さらに付け加えるならば、特に断らない限りは、以下に述べられるすべての機能は、ハードウェアやソフトウェア、あるいはそれらの組み合わせによって実現される。しかし、特に断らない限りは、好ましくは、これらの機能は、コンピュータのプロセッサ、すなわち、コンピュータプログラムコードとしてのコードにしたがって電子データを処理するプロセッサ、ソフトウェア、および/あるいは、このような機能を実現するように設計された集積回路によって実行されるとする。

## 【0011】

図1の参照符号の「100」は、改良型DMAコントローラを備えるシステムを示す。システム100は、改良型DMAコントローラ110、PU130、メモリユニット132、メモリ120およびMP(Multiprocessor)干渉バス190を含む。改良型DMAコントローラ110は、更に、DMAコマンドキュー140、タグキュー150、展開/変換論理回路160、出力データバッファ170および入力データバッファ180を備える。

20

## 【0012】

改良型DMAコントローラ110を備えるシステム100においては、コマンドが発行され、実行される。メモリユニット132を備えるPU130は、コマンドをDMAコマンドキュー140に発行する。PU130は、任意のタイプのプロセッサであればよく、メインPU(Main PU:MPU)やSPU(Synergistic PU)であってもよい。メモリユニット132はさまざまなタイプのメモリであってもよく、これに限る意図ではないが、キャッシュであってもよい。DMAコマンドキュー140に送られたコマンドはタグ付けされ、各コマンドのタグはタグキュー150において追跡される。タグはコマンドごとに割り当てられてもよいし、コマンドの種類を特定するものであってもよい。この場合には、タグに応じたグループが形成される。DMAコマンドキュー140からは、読み出し/書き込みコマンドが図示しないシステムメモリなどの各種コンポーネントに発行される。データの転送は、出力データバッファ170や入力データバッファ180を介して実行される。コマンドの実行に際しては、たとえば、デコード処理のようにこのほかにも多くの処理が含まれ得る。

30

## 【0013】

ただし、DMAコマンドキュー140のコマンドは、単にランダムに実行されるのではない。従来システムでは、DMAコマンドキュー140のようなDMAコマンドキューのコマンドは、ストリクト・オーダーの枠組みにおいては到着順に実行されている。しかし、改良型DMAコントローラ110は、ウィークリー・オーダーの枠組みを採用しており、さまざまな順序での実行を可能としている。更に、改良型DMAコントローラ110は、一連の埋め込みフラグを利用する。PU130は、発行されたコマンドにフラグを埋め込む。DMAコマンドキュー140がフェンス(fence)フラグやバリア(barrier)フラグを埋め込むこともできるが、このようなやり方はより複雑となる。埋め込まれたフラグは各コマンドの依存性を示し、コマンドの順次実行のために役に立つ。埋め込みフラグを使う理由は他にもさまざまである。たとえば、高優先度のコマンドを低優先度のコマンド

40

50

よりも先に実行する場合である。

【 0 0 1 4 】

より詳細には、コマンドには2つのフラグが埋め込まれる。バリアとフェンスである。どちらも同一タグのグループに属するコマンドだけに影響する。通常、埋め込まれたフェンスフラグは、そのフェンスフラグ付きのコマンドよりも前に発行されたコマンドのうち、同じタググループ内の全てのコマンドが完了するまで、そのコマンドの実行を抑止する。つまり、フェンスフラグは、フェンスフラグ付きのコマンドの実行の前に、フェンスフラグ付きのコマンドの前に発行された同じタググループに属する全てのコマンドが完了することを要求する。フェンスフラグは、キューにある後続のコマンドには影響しない。たとえば、フェンスフラグ付きコマンドの後に発行されたコマンドは、フェンスフラグ付き

10

【 0 0 1 5 】

一方、バリアフラグは、同じタググループであれば、先のコマンドにも後のコマンドにも影響する。通常、バリアフラグは、そのバリアフラグ付きコマンドよりも前に発行されたコマンドが実行される前に、同じタググループの後続コマンド（バリアフラグ付きコマンド自体も含む）が実行されるのを禁止する。たとえば、同じタググループに属し、バリアフラグ付きコマンドの後に発行されたコマンドは、バリアフラグ付きコマンドより前に実行できない。通常、バリアフラグ付きコマンドの前に発行されたコマンドのうち、同じタググループに属するコマンドの全てが完了したとき、バリアフラグ付きコマンドと、その同じタググループに属する後続のコマンドが実行可能となる。したがって、いったん、バリアがクリアされると、通常のアウト・オブ・オーダー処理が継続可能となる。

20

【 0 0 1 6 】

PU130は、また、フェンスフラグやバリアフラグを埋め込む代わりに、バリアコマンドを発行することもできる。バリアコマンドは、キューにある全てのコマンドを操作する。タグに関わらず、全ての後続コマンドは、バリアコマンド以前に発行されたコマンド全てが完了するまで実行不可となる。いったんバリアがクリアされると、通常のアウト・オブ・オーダー処理が継続可能となる。

【 0 0 1 7 】

バリアコマンドとフラグを比較すると、微妙だが意味深い違いがある。タグに対して特定のであって、コマンドの一部として埋め込まれるフラグは、文字通り同じタググループに属するコマンドにだけ作用するが、バリアコマンドは全てのタググループに作用する。けれども、バリアフラグとバリアコマンドは、先後に発行されたコマンドの両方に影響するという点で類似する特徴を持っている。ただし、2つのコマンドの影響範囲は異なる。

30

【 0 0 1 8 】

改良型DMAコントローラ110を持つシステム100を動作させるために、一連の必要な接続がなされる。PU130は、図示しない第1通信チャンネルを介してメモリユニット132に接続される。また、PU130は、第2通信チャンネル101を介して、DMAコマンドキュー140と接続される。メモリユニット132は、第3通信チャンネル112を介してメモリと接続される。メモリ120は、第4通信チャンネル102を介して出力データバッファ170と接続される。メモリ120は、また、第5通信チャンネル103を介して入力データバッファ180と接続される。DMAコマンドキュー140は、第6通信チャンネル104と第7通信チャンネル105を介して展開/変換論理回路160と接続される。第6通信チャンネル104は、コマンドを転送し、第7通信チャンネル105は埋め込みフラグを転送する。タグキュー150は、第8通信チャンネル106を介して展開/変換論理回路160と接続される。出力データバッファ170は、第9通信チャンネル107を介してMP干渉バス190と接続される。入力データバッファ180は、第10通信チャンネル108を介してMP干渉バス190と接続される。展開/変換論理回路160は、第11通信チャンネル109を介してMP干渉バス190と接続される。

40

【 0 0 1 9 】

図2における参照符号「200」は、MPシステムを示す。MPシステムは、共有メモ

50

リ 2 1 0、ローカルメモリ 2 1 2、第 1 P U 2 2 0、第 1 レベル 2 ( L 2 ) キャッシュ 2 2 2、第 1 D M A コントローラ 2 2 4、第 2 D M A コントローラ 2 2 6、第 2 P U 2 2 8、第 2 L 2 キャッシュ 2 3 0 を含む。第 1 L 2 キャッシュ 2 2 2 と第 2 L 2 キャッシュ 2 3 0 は既知のキャッシュであり、それぞれのプロセッサのための外部メモリインタフェースとして機能する。

#### 【 0 0 2 0 】

M P システム 2 0 0 においては、複数のプロセッサが独立に、あるいは、協働して、さまざまなメモリデバイスを対象としてデータの読み書きを実行できる。第 1 P U 2 2 0 は、さまざまなタイプのコマンド、たとえば、読み出しコマンドや書き込みコマンドなどを第 1 D M A コントローラ 2 2 4 に対して発行する。第 2 P U 2 2 8 も、読み出しコマンドや書き込みコマンドなどのさまざまなタイプのコマンドを第 2 D M A コントローラ 2 2 6 に発行可能である。第 1 D M A コントローラ 2 2 4 や第 2 D M A コントローラ 2 2 6 は、ローカルメモリ 2 1 2 と共有メモリ 2 1 0 のどちらに対してもデータの読み書きが可能である。図 2 に示すように、D M A コントローラごとに、複数の P U あるいは単一の P U が設置されてもよい。逆に、図 2 に示すように、複数の D M A コントローラ、あるいは、単一の D M A コントローラが設置されてもよい。また、図 2 に示すように、単一または複数の P U が設置されてもよい。

#### 【 0 0 2 1 】

M P システム 2 0 0 を動作させるために、一連の必要な接続がなされる。第 1 P U 2 2 0 は、図示しない第 1 2 通信チャネルを介して第 1 L 2 キャッシュ 2 2 2 と双方向接続される。第 1 P U 2 2 0 は、第 1 3 通信チャネル 2 4 2 を介して第 1 D M A コントローラ 2 2 4 と接続される。第 1 L 2 キャッシュ 2 2 2 は、第 1 4 通信チャネル 2 4 0 を介して共有メモリ 2 1 0 と接続される。第 1 D M A コントローラ 2 2 4 は、第 1 5 通信チャネル 2 4 4 を介して共有メモリ 2 1 0 と接続される。第 1 D M A コントローラ 2 2 4 は、また、第 1 6 通信チャネル 2 4 8 を介してローカルメモリ 2 1 2 と接続される。第 2 P U 2 2 8 は、図示しない第 1 7 通信チャネルを介して第 2 L 2 キャッシュ 2 3 0 と双方向接続される。第 2 L 2 キャッシュ 2 3 0 は、第 1 8 通信チャネル 2 5 4 を介してローカルメモリ 2 1 2 と接続される。第 2 P U 2 2 8 は、また、第 1 9 通信チャネル 2 5 2 を介して第 2 D M A コントローラ 2 2 6 と接続される。第 2 D M A コントローラ 2 2 6 は、第 2 0 通信チャネル 2 5 0 を介してローカルメモリ 2 1 2 と接続される。第 2 D M A コントローラ 2 2 6 は、また、第 2 1 通信チャネル 2 4 6 を介して共有メモリ 2 1 0 と接続される。

#### 【 0 0 2 2 】

図 3、4、5 は、埋め込みフェンス、埋め込みバリアおよびバリアコマンドの動作をそれぞれ示すフローチャートである。これらのフローチャートは、単一の埋め込みフラグや単一のバリアコマンドだけが存在するとして単純化されているが、複数のフラグおよび / あるいは複数のコマンドは組み合わせ可能である。

#### 【 0 0 2 3 】

図 3 の参照符号「 3 0 0 」は、通常、改良型 D M A コントローラとフェンスフラグの動作のフローチャートを示す。なお、図 3 は、他の種類のフラグを利用しない場合を示す。

#### 【 0 0 2 4 】

ステップ 3 0 2 と 3 0 4 においては、コマンドが発行され、フェンスフラグが埋め込まれる。図 1 の P U 1 3 0 は、ステップ 3 0 2 においてコマンドを発行する。コマンドは、読み出しコマンドや書き込みコマンドのようにさまざまなタイプのコマンドであってもよい。コマンドには、ステップ 3 0 4 においてフェンスフラグが埋め込まれる。フェンスフラグのコマンドへの埋め込みは、図 1 の P U 1 3 0 により、アプリケーションおよび / またはコンパイラを利用して実行される。フェンスフラグを埋め込む理由は、さまざまである。たとえば、フェンスフラグは、同じタグが付与されたコマンドのうち、以前に発行されたコマンドの全ての後、そのコマンドを実行するために埋め込まれる。このフェンスフラグは、読み出しコマンドのように、さまざまなコマンドに埋め込み可能である。なお、フェンスフラグは、同じタググループに属するコマンドにのみ影響する。加えて、図 1

の P U 1 3 0 は、ステップ 3 0 2 における発行時に、コマンドにタグを割り当てる。

【 0 0 2 5 】

ステップ 3 0 6 と 3 0 8 においては、コマンドは転送され、タググループと関連付けられる。ステップ 3 0 6 において、図 1 の P U 1 3 0 は、一時的な保持のために、発行され、埋め込みがなされたコマンドを D M A コマンドキュー 1 4 0 に転送する。受信されると、ステップ 3 0 8 において、コマンドは、割り当てられたタグに基づいて特定のタググループと関連付けられる。

【 0 0 2 6 】

ステップ 3 1 0、3 1 1 および 3 1 4 においては、D M A コマンドキュー 1 4 0 から次の実行予定コマンドが検索される。ステップ 3 1 0 において、D M A コマンドキュー 1 4 0 から有効な次コマンドが探される。通常、コマンドは、コマンドキューにおける他のコマンドと比べた古さに応じて選択される。たとえば、コマンドキューの中で最も古いコマンドが選択される。次のコマンドが選択されると、ステップ 3 1 1 においてそのコマンドにフェンスフラグが埋め込まれているか判定される。もし、コマンドがフェンスフラグを埋め込まれていなければ、ステップ 3 1 4 においてコマンドが実行可能となる。しかし、もし、フェンスフラグが埋め込まれていれば、別処理に移行する。

【 0 0 2 7 】

ステップ 3 1 1 において、コマンドにフェンスフラグが埋め込まれていると判定されると、ステップ 3 1 2 において、そのコマンドの実行に必要な条件が検査される。フェンスフラグは、フェンスフラグ付きコマンドの前に発行されたコマンドのうち、同じタググループに属するコマンドの全てが、フェンスフラグ付きコマンドが実行される前に完了していることを実行条件とする。もしも実行条件が満たされていないならば、そのコマンドは D M A コマンドキューにとどまり、ステップ 3 1 0 とステップ 3 1 1 は、実行可能なコマンドを見つけるためにくり返される。コマンド実行条件を満たされるまで、そのコマンドは D M A コマンドキュー 1 4 0 に残る。したがって、ステップ 3 1 0 において、次に実行されるべきコマンドは、フェンスフラグ付きコマンドの発行の前に発行されたコマンドのうち、同じタグを持つコマンドとなる。次に予定されるコマンドが、フェンスフラグ付きコマンドの発行後に発行されたコマンドであるならば、図 1 の D M A コントローラ 1 1 0 は、タグにかかわらずその後続のコマンドを実行できる。しかし、図 1 の D M A コントローラ 1 1 0 は、事前発行されたコマンドをコマンドキューから探し続ける必要がある。もし、同じタググループに関して、事前に発行されたコマンドが存在しなければ、埋め込みフェンスについての実行条件は満たされ、フェンスフラグ付きコマンドは実行可能となる。ただし、フェンスフラグ付きコマンドは、それよりも前に発行され、未完了のコマンドが無くなるまで実行できない。

【 0 0 2 8 】

ステップ 3 1 0 からステップ 3 1 4 までの処理は、ステップ 3 0 2 からステップ 3 0 8 までの処理と並行して実行される。図 1 の P U 1 3 0 がコマンドを発行するときにも、ステップ 3 0 2 からステップ 3 1 4 の処理は繰り返される。ステップ 3 1 0 からステップ 3 1 4 までの処理は、D M A コマンドキュー 1 4 0 にコマンドが無くなるまで継続して実行される。

【 0 0 2 9 】

図 4 の参照符号「 4 0 0 」は、改良型 D M A コントローラとバリアフラグの動作のフローチャートを示す。なお、図 4 は、他の種類のフラグを利用しない場合を示す。

【 0 0 3 0 】

ステップ 4 0 2 と 4 0 4 において、コマンドが発行され、バリアフラグが埋め込まれる。図 1 の P U 1 3 0 は、ステップ 4 0 2 においてコマンドを発行する。コマンドは、読み出しコマンドや書き込みコマンドのように、さまざまなタイプのコマンドであってよい。ステップ 4 0 4 において、コマンドにはバリアフラグが埋め込まれる。コマンドへのバリアフラグの埋め込みは、アプリケーションおよび/またはコンパイラを使って、図 1 の P U 1 3 0 により実行される。バリアフラグを埋め込む理由はさまざまである。たとえば、

10

20

30

40

50

バリアフラグは、タグが同じで、かつ、以前に発行された全てのコマンドの後に、同じタググループに属する全ての後続コマンドと当該コマンドを実行するために埋め込まれる。バリアフラグは、読み出しコマンドのように、さまざまなコマンドに埋め込まれ得る。また、バリアフラグは、同じタググループに属するコマンドにしか影響しない。加えて、図1のPU130は、ステップ402における発行時に、コマンドにタグを割り当てる。

【0031】

ステップ406と408において、コマンドは転送され、タググループと関連づけられる。ステップ406において、一時的に保持のために、図1のPU130は、発行され、埋め込まれたコマンドをDMAコマンドキュー140に転送する。受信されると、コマンドは、ステップ408において割り当てられたタグに基づいて、特定のタググループと関連づけられる。

10

【0032】

ステップ410、411および414において、DMAコマンドキュー140から次に実行予定のコマンドが検索される。ステップ410において、DMAコマンドキュー140から、有効な次コマンドが探される。通常、コマンドは、コマンドキューにおける他のコマンドと比べた古さに応じて選択される。たとえば、コマンドキューの中で最も古いコマンドが選択される。次コマンドが選択されると、ステップ411においてそのコマンドにバリアフラグが埋め込まれているか判定される。もし、コマンドにバリアフラグが埋め込まれていなければ、コマンドは実行可能となる。しかし、もし、バリアフラグが埋め込まれていれば、別処理に移行する。

20

【0033】

ステップ411において、コマンドにバリアフラグが埋め込まれていると判定されると、ステップ412において、コマンドの実行条件が検査される。バリアフラグは、バリアフラグ付きコマンドの前に発行されたコマンドのうち、同じタググループに属するコマンドの全てが、バリアフラグ付きコマンドの後に発行されたコマンドの実行前に完了することを要請する。もし、コマンドの実行条件が満たされなければ、コマンドはDMAコマンドキュー140に残り、ステップ410とステップ411は、実行可能なコマンドを探すために繰り返される。コマンドの実行条件が満たされるまで、コマンドはDMAコマンドキュー140に留まる。したがって、ステップ410において、次に実行すべきコマンドは、バリアフラグ付きコマンドの発行前に発行されたコマンドのうち、同じタグを持つコマンドであるべきである。もし、次に予定されるコマンドが同じタググループに属し、バリアフラグ付きコマンドの発行後に発行され、バリアフラグの要件が満たされていないときには、ステップ412のチェックはフェイルし、図1のDMAコントローラ110は、後続のコマンドを実行できない。図1のDMAコントローラ110は、以前に発行されたコマンドをコマンドキューから探し続ける。同じタググループについて、事前発行のコマンドが存在しなければ、埋め込みバリアフラグについての条件が成立し、バリアフラグ付きコマンド、および、同じタググループに属し、事後発行された全てのコマンドが実行可能となる。同じタググループ内に次の実行予定コマンドが存在しなければ、図1のDMAコントローラ110は、コマンドを実行できる。

30

【0034】

ステップ410からステップ414の処理は、ステップ402からステップ408の処理と並行して実行される。ステップ402からステップ408の処理は、図1のPU130によるコマンド発行時に繰り返される。ステップ410からステップ414の処理は、DMAコマンドキュー140にコマンドが無くなるまで継続実行される。

40

【0035】

図5の参照符号「500」は、改良型DMAコントローラ110とバリアコマンドの動作を示すフローチャートである。なお、図5は、他の種類のフラグを利用しない場合を示す。

【0036】

ステップ502とステップ504においては、バリアコマンドが発行され、図1のDM

50

Aコマンドキュー140に転送される。図1のPU130は、ステップ502においてバリアコマンドを発行する。バリアは、以後に発行される全てのコマンドに対して依存性を設定する。この依存性により、バリアコマンドの前に発行されたすべてのコマンドが完了する必要が生じる。本質的には、バリアコマンドは、タググループに関わりなく、事前発行された全てのコマンドの実行が完了するまで、事後発行されたコマンドの実行を抑止する。バリアコマンドを利用する理由はさまざまである。たとえば、バリアコマンドは、事前発行された全てのコマンドの後に、当該コマンドとその全ての後続コマンドを実行するために利用される。ステップ504においては、図1のPU130は、発行されたバリアコマンドを一時保持のためにDMAコマンドキュー140に転送する。

【0037】

ステップ506、508および510においては、DMAコマンドキュー140から次の実行予定コマンドが検索される。ステップ510においては、DMAコマンドキュー140からは次に有効なコマンドが検出される。通常、コマンドは、コマンドキューにおける他のコマンドと比べた古さに基づいて選択される。たとえば、コマンドキューの中で最も古いコマンドが選択される。ステップ508においては、コマンドの実行条件が検査される。バリアコマンドは、タググループに関わりなく、バリアコマンド以後に発行されたコマンドを実行する前には、バリアコマンド以前に発行された全てのコマンドが完了することを要求する。コマンドの実行条件が満たされていないならば、コマンドはDMAコマンドキュー140に留まり、ステップ506とステップ508は、実行可能なコマンドを探すために繰り返される。コマンドは、コマンド実行条件が満たされるまでDMAコマンドキュー140に留まる。したがって、ステップ506において、次に実行されるべきコマンドは、バリアコマンドの発行前に発行されたコマンドである。もし、つぎに実行予定のコマンドが、バリアコマンドの発行後に発行され、バリアコマンドについての条件が満たされないならば、ステップ508のチェックは失敗し、図1のDMAコントローラ110は、バリアコマンドを実行完了させたり、後続コマンドを実行させることはできない。図1のDMAコントローラ110は、以前に発行されたコマンドをコマンドキューから探し続ける。以前のコマンドがなければ、バリアコマンドとそれに続いて発行された全てのコマンドについての依存性に関する要件が満たされる。バリアコマンドによって生成された依存関係が解決されると、バリアコマンドの発行後に発行されたすべてのコマンドを実行可能となる。

【0038】

ステップ506と510は、ステップ502と504と並行して実行される。ステップ502と504は、図1のPU130がバリアコマンドを発行するとき、繰り返される。ステップ506からステップ510は、DMAコマンドキュー140にコマンドが無くなるまで継続的に実行される。

【0039】

さまざまな変形や変更が、上記した本発明の実施例においても本発明の思想範囲から逸脱しない程度に可能であることは明らかであるところである。それゆえ、これらの記述は、発明の例証を目的としたものであり、限定的な意味に解釈してはならない。本発明の範囲は、あくまでも、請求項の文言によってのみ解釈されるべきである。

【図面の簡単な説明】

【0040】

【図1】改良型DMAコントローラをもつシステムの機能ブロック図である。

【図2】マルチプロセッサ(MP)システムの機能ブロック図である。

【図3】改良型DMAコントローラシステムにおいてフェンスフラグの動作を示すフローチャートである。

【図4】改良型DMAコントローラシステムにおいてバリアフラグの動作を示すフローチャートである。

【図5】改良型DMAコントローラシステムにおいてバリアコマンドの動作を示すフローチャートである。

10

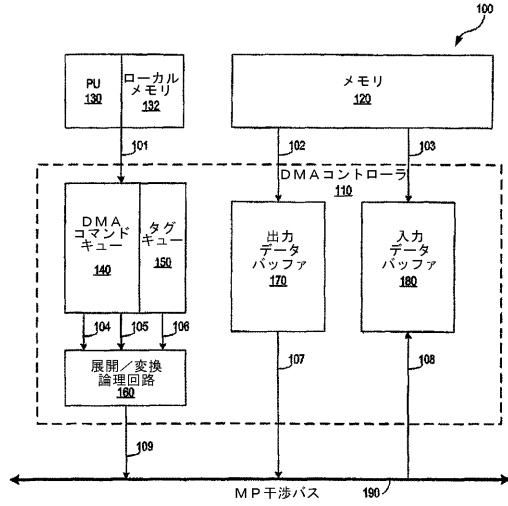
20

30

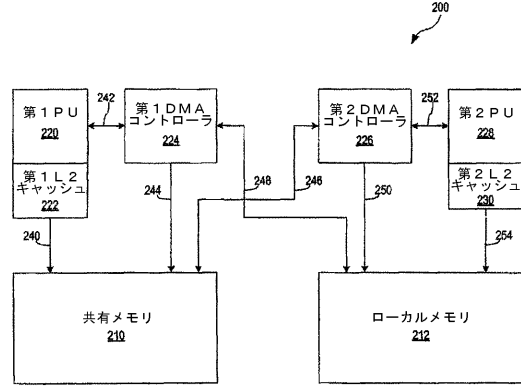
40

50

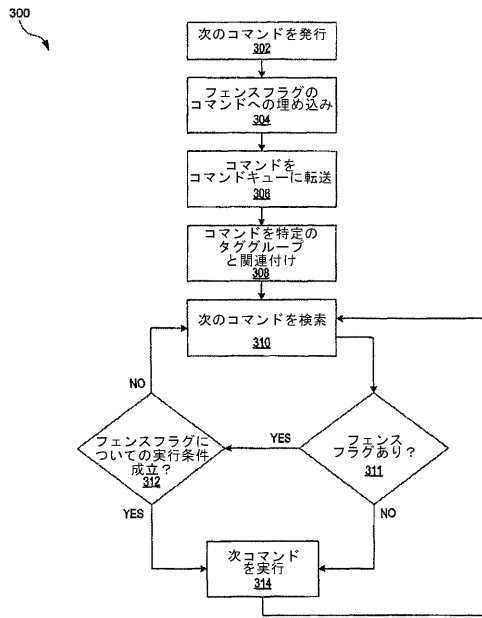
【図1】



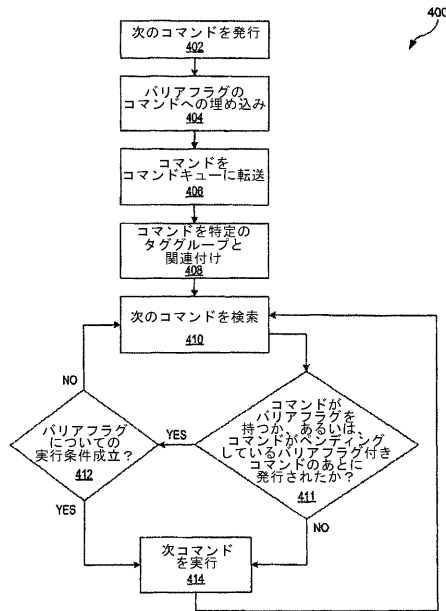
【図2】



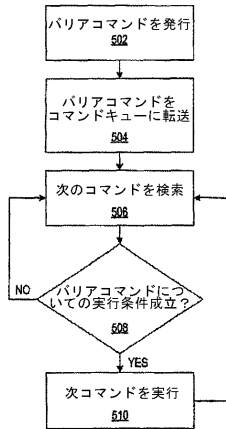
【図3】



【図4】



【図5】



## フロントページの続き

- (72)発明者 デイ、マイケル ノーマン  
アメリカ合衆国、テキサス州 78681、ラウンドロック、メイフィールド ドライブ 220  
1
- (72)発明者 ジョーンズ、チャールズ レイ  
アメリカ合衆国、テキサス州 78759、オースティン、カッシア ドライブ 10703
- (72)発明者 リュー、ペイチュン ピーター  
アメリカ合衆国、テキサス州 78750、オースティン、リモンシロ ドライブ 9220
- (72)発明者 トゥルン、チュン クァン  
アメリカ合衆国、テキサス州 78727、オースティン、ピケット ロープ レーン 1261  
2
- (72)発明者 山崎 剛  
アメリカ合衆国、テキサス州 78727、オースティン、アパートメント2902、アラメダ  
トレース サークル 12340

審査官 坂東 博司

- (56)参考文献 特開平11-149443(JP,A)  
特開2004-129129(JP,A)  
特開2002-196975(JP,A)  
特開2000-040057(JP,A)  
特開2002-324058(JP,A)  
特開2002-140234(JP,A)  
特表2004-506981(JP,A)  
特表2003-519833(JP,A)  
特表2002-510079(JP,A)  
特開平10-105347(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/28