



**URZĄD
PATENTOWY
PRL**

Patent dodatkowy
do patentu nr

Int. Cl.³ G11C 9/04
G06F 13/06

Zgłoszono: 04.10.78 (P. 210078)

Pierwszeństwo:

Zgłoszenie ogłoszono: 16.06.80

Opis patentowy opublikowano: 30.04.1983

Twórca wynalazku: Zygmunt Iwan

Uprawniony z patentu: Przedsiębiorstwo Produkcji Sprzętu Technicznego,
Sosnowiec (Polska)

Elektroniczny układ organizacji sekwencyjnego wpisu i odczytu słów z pamięcią RAM w oparciu o komparację adresów

Przedmiotem wynalazku jest elektroniczny układ organizacji sekwencyjnego wpisu i odczytu słów z pamięcią RAM w oparciu o komparację adresów.

Znane są układy z pamięcią RAM, w których w trakcie wpisywania dokonuje się odczytu informacji zawartej w określonych rejestrach, składające się z dwu, lub więcej rozdzielaczy adresowych lub rozdzielaczy i sektorów. Ilość zastosowanych elementów, zwłaszcza w skomplikowanych układach wzrasta wraz z pojemnością pamięci, a ponadto układy te stanowią odrębne systemy, co komplikuje budowę rejestrów w postaci pakietów oraz zwiększa ilość połączeń przewodowych w tych układach.

Celem wynalazku jest połączenie systemów adresowania wpisu i odczytu w jeden system umożliwiający również wyświetlanie słów zawartych w pamięci.

Cel ten osiągnięto przez skonstruowanie układu organizacji sekwencyjnego otwierania dostępu do rejestrów pamięci zarówno dla wpisu i odczytu przy pomocy jednego systemu rozdzielania liniowego.

Elektroniczny układ organizacji sekwencyjnego wpisu i odczytu słów pamięci RAM według wynalazku posiada jeden rozdzielacz połączony swymi wyjściami poprzez wzmacniacze-inwertery z wejściami bramek blokujących taktowanie rejestrów, a wejście rozdzielacza jest połączone z komparatorem i licznikiem współpracującym z generatorem o stałej częstotliwości. Komparator współpracuje wyjściem z bramkami blokującymi taktowanie rejestrów również poprzez bramki. Do wejść rozdzielacza jest przyłączony wejściami co najmniej jeden komparator odczytu współpracujący poprzez układ opóźniający i uniwibrator z rejestrem pomocniczym dla przepisania słowa z określonego rejestru. Jeden komparator posiada zadany adres rejestru, do którego należy wpisać słowa, a drugi komparator posiada zadany adres rejestru, z którego należy przepisać słowa.

Układ według wynalazku posiada zastosowanie szczególnie w przypadku posiadania urządzenia wyposażonego w pamięć buforową, w której na bieżąco lub okresowo dokonuje się wpisów lub zmian, a jej stan musi być wykazywany na bieżąco poprzez wyświetlanie na wyświetlaczu oraz jednoczesną, przebiegającą w tym samym czasie „przeróbką” słowa zawartego w określonym rejestrze na określone informacje, przy czym te przykładowe czynności jak wpisywanie, wyświetlanie i przetwarzanie mogą odbywać się niezależnie od siebie. Układ wykonuje wymienione czynności w oparciu o jeden system rozdzielania, co stanowi jego istotną zaletę.

Przedmiot wynalazku jest pokazany w przykładzie wykonania na rysunku, przedstawiającym układ organizacji sekwencyjnego wpisu i odczytu słów z pamięcią RAM w oparciu o komparację adresów o pojemności 10×4 bity.

Układ składa się z N-rejestrów 1 4-bitowych, których wejścia są równoległe, a wyjścia przez bramki 2 również równoległe, z generatora 9 połączonego z licznikiem 8, z układem opóźniającym 10 i uniwbriatorem 11 z bramką 14 oraz bloków sum logicznych 12, 13. Układ posiada jeden rozdzielacz 5 połączony swymi wyjściami poprzez wzmacniacze-inwertery 4 z wejściami bramek 3 blokujących taktowanie rejestrów 1, a wejście rozdzielacza 5 jest połączone z komparatorem 7 i licznikiem 8 współpracującym z generatorem 9 o stałej częstotliwości. Komparator 7 współpracuje wyjściem z bramkami 14 blokującymi taktowanie rejestrów 1 poprzez bramki 3. Do wejść rozdzielacza 5 jest przyłączony wejściami co najmniej jeden komparator odczytu 15 współpracujący poprzez układ opóźniający 16 i uniwbriator 17 z rejestrem pomocniczym 18 dla przepisania słowa z określonego rejestru 1. Komparator 7 posiada zadany adres rejestru 1, do którego należy wpisać słowo, a komparator 15 posiada zadany adres rejestru 1, z którego należy przepisać słowo.

Zasada działania układu jest następująca. Generator 9 wytwarza impulsy o czasie powtarzania np. około 100 mikrosekund powodując ujemnymi zboczami impulsów zmianę stanów licznika 8 według kodu dwójkowego. Każdy stan wyjść licznika 8 określa jednoznacznie adres słowa i rejestru 1. Stany wyjść licznika 8 zdekodowane przez rozdzielacz 5 i wzmacnione z negacją przez wzmacniacze 4 otwierają przepływ słowa z rejestru 1 poprzez bramkę 2 na szyny zbiorcze A B C D. Otwarcie bramki 2 należącej do jednego z rejestrów 1 jednym z N-wyjść W rozdzielacza 5 poprzez wzmacniacz 4 powoduje odblokowanie zespołu bramek 3 umożliwiając taktowanie odpowiadającego rejestru 1, o ile w danym czasie na szynach wejściowych A B C D jest podawana informacja również naturalnym kodem dwójkowym i wystąpi impuls taktujący na wyjściu bramki 14. Odblokowanie poszczególnych rejestrów 1 następuje cyklicznie jeden po drugim, a po dojściu do rejestru N-tego cykl się powtarza.

Układ uwidoczniony na rysunku przy wpisywaniu informacji do rejestrów 1 pracuje w sposób następujący. Ujemne zbocze impulsu z generatora 9 powodujące zmiany stanu licznika 8 poprzez układ negująco-opóźniający 10 powoduje zadziałanie uniwbriatora 11, który wysyła impuls taktujący do bramek 14. Impuls charakteryzuje się wystąpieniem stanu logicznego „jeden” w czasie około nanosekund na wejściu bramki 14. W przypadku istnienia informacji na wejściu układu A B C D, na wyjściach zespołów bramek 12 i 13 wystąpią stany logiczne „jeden”. O ile ujemne zbocze impulsu z generatora 9, które spowodowało zadziałanie z opóźnieniem uniwbriatora 11 spowodowało wcześniej zaistnienie na wyjściach licznika 8 takiego adresu jak zadany licznikiem 20 do komparatora 7, to komparator 7 zasygnalizuje równość adresów stanem „jeden”, umożliwiając tym samym zadziałanie bramek 14 w czasie trwania impulsu taktującego z uniwbriatora 11. Na wyjściu bramek 14 połączonych z szyną taktującą rejestrów 1 wystąpi wówczas stan „jeden” w czasie 50 nanosekund $\pm$ przedłużenie wywołane zwłoką w działaniu bramek 14. Ponieważ w tym czasie wejście G odpowiedniego zespołu bramek 2 jest strobowane, odblokowany jest również odpowiedni zespół bramek 3 dla przejścia impulsu taktującego do wejścia C rejestru 1. Na wejściu wystąpi wówczas stan „jeden” o czasie trwania 50 nanosekund $\pm$ czasy przedłużeń wywołane zwłoką w działaniu bramek 14 i 3. W czasie taktowania informacja istniejąca na szynach wejściowych A B C D zostaje przyjęta przez odpowiedni zaadresowany rejestr 1. Jeżeli informacja wejściowa A B C D będzie utrzymywana przez dłuższy czas, odpowiedni zaadresowany rejestr 1 będzie taktowany wielokrotnie. Minimalny czas trwania informacji zapisywanej wynosi tyle, ile potrzeba czasu na wykonanie jednego cyklu przełączeń przez licznik 8. Element opóźniający 6 jest konieczny w celu zablokowania bramek 14 przed wykonaniem taktowania rejestru 1 w momencie zaniku informacji wejściowej A B C D. Blokowanie następuje przez zespół bramek 12 stanem logicznym „zero”. Zastosowanie licznika 20 powoduje, że zanik informacji wejściowej A B C D zmienia adres rejestru 1 o jeden w przód, tworząc swego rodzaju układ zamknięty, mogący współpracować wejściami A B C D np. z klawiaturą cyfrową i odpowiednim koderem. W przypadku niestosowania licznika 20 należy na wejścia komparatora 7 podać adres ze źródła zewnętrznego. Bramki 13 blokują bramki 14 przed taktowaniem rejestrów 1 w przypadku braku informacji A B C D.

Układ uwidoczniony na rysunku przy przepisywaniu informacji z rejestru 1 pamięci RAM do rejestru pomocniczego pracuje w sposób następujący. Adres rejestru 1, z którego chcemy przepisać informację podajemy z zewnętrznego źródła na stronę B komparatora 15. Gdy w czasie wykonywania cyklu przełączeń przez licznik 8 wystąpi równość adresów A_1, B_1, C_1, D_1 adresu określonego stanami wyjściowymi licznika 8 komparator 15 poda swym wyjściem stan „jeden” do bloku opóźniającego 16, który spowoduje zadziałanie z opóźnieniem uniwbriatora 17. Uniwbriator 17 wyjściem spowoduje taktowanie rejestru pomocniczego 18 na wejściu, którego istnieją wówczas stany informacyjne z rejestru x (od 1 do N). Taktowanie spowoduje przyjęcie informacji przez rejestr 18 i pojawienie się jej na wyjściach rejestru 18. Informacja na wyjściach rejestru 18 będzie występowała tak długo dopóki nie zmieni się adres A_1, B_1, C_1, D_1 na stronie B komparatora 15. Zespołów 15, 16, 17 i 18 może współpracować z pamięcią RAM wiele i każdy może być sterowany innym adresem. Między rejestr 18 a szyny wyjściowe bramek 2 jest włączony zespół bramek 19 powodujący odnegowanie stanów A B C D.

Układ uwidoczniiony na rysunku przy kasowaniu informacji w rejestrze 1 pracuje w sposób następujący. Kasowanie odbywa się przez podanie stanu „jeden” na wejście K. Stan „jeden” na wejściu K powoduje zerowanie licznika 20 oraz wystąpienie na wejściach C wszystkich rejestrów 1 stanu „jeden” co przy braku informacji na wejściach rejestrów 1 wywoła pojawienie się na wyjściach wszystkich rejestrów 1 stanów „zero”. Po skasowaniu układ zamknięty jest gotów do zapisywania informacji poczynawszy od pierwszego rejestru 1.

Zastrzeżenia patentowe

1. Elektroniczny układ organizacji sekwencyjnego wpisu i odczytu słów z pamięcią RAM w oparciu o komparację adresów składający się z N-rejestrów n-bitowych, których wejścia są równoległe, a wyjścia przez bramki również równoległe, z generatora połączonego z licznikiem, z układem opóźniającym i uniwbrotorem z bramką, oraz bloków sum logicznych, **znamienny** tym, że posiada jeden rozdzielacz (5) połączony swymi wyjściami poprzez wzmacniacze-inwertery (4) z wejściami bramek (3) blokujących taktowanie rejestrów (1), a wejście rozdzielacza (5) jest połączone z komparatorem (7) i licznikiem (8) współpracującym z generatorem (9) o stałej częstotliwości, który to komparator (7) współpracuje wyjściem z bramkami (14) blokującymi taktowanie rejestrów (1) poprzez bramki (3), przy czym do wejść rozdzielacza (5) jest przyłączony wejściami co najmniej jeden komparator odczytu (15) współpracujący poprzez układ opóźniający (16) i uniwbrotor (17) z rejestrem pomocniczym (18) dla przepisania słowa z określonego rejestru (1).

2. Układ według zastrz. 1, **znamienny** tym, że komparator (7) posiada zadany adres rejestru (1), do którego należy wpisać słowo, a komparator odczytu (15) posiada zadany adres rejestru (1), z którego należy przepisać słowo.

