(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 28 日(28.07.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/117230 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2015/084133

(22) 国際出願日: 2015 年 12 月 4 日(04.12.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-008912 2015 年 1 月 20 日(20.01.2015) JP
特願 2015-172624 2015 年 9 月 2 日(02.09.2015) JP

(71) 出願人: 富士電機株式会社(**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).

(72) 発明者: 陳 建(**CHEN, Jian**); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 服部 毅巖(**HATTORI, Kiyoshi**); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).

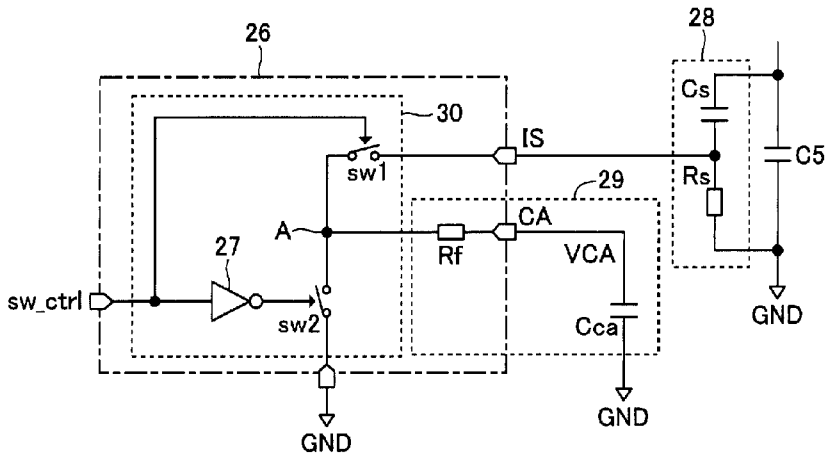
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称 : スイッチング電源装置



(57) **Abstract**: Provided is a current-resonance-type switching power supply device with which it is possible to respond to burst control, etc., and to detect a high-precision load state. A resonance current flowing in a resonance capacitor (C5) is shunted via a shunt circuit (28), and converted to a first voltage signal by a resistor (Rs). In a switching circuit (30), when a high-side switching element is turned on, a signal (sw_ctrl) turns a switch (sw1) on to receive the first voltage signal, and when the high-side switching element is turned off, a switch (sw2) is turned on to receive a ground-level second voltage signal. A third voltage signal is thereby generated, said signal faithfully representing the input current of the switching power supply device at a point (A), and said signal being supplied to an averaging circuit (29). The third voltage signal is averaged by the averaging circuit (29), whereby a voltage signal that represents a high-precision load state is generated at the terminal of a capacitor (Cca).

(57) 要約:

[続葉有]

WO 2016/117230 A1

バースト制御などに対応でき、高精度な負荷状態を検出することができる電流共振型のスイッチング電源装置を提供する。　共振コンデンサ（Ｃ５）に流れる共振電流を分流回路（２８）により分流し、抵抗（Ｒｓ）で第１の電圧信号に変換する。切替回路（３０）は、ハイサイドのスイッチング素子がオンしたときに信号（ｓｗ＿ｃｔｒｌ）がスイッチ（ｓｗ１）をオンして第１の電圧信号を取り込み、ハイサイドのスイッチング素子がオフしたときにスイッチ（ｓｗ２）をオンしてグランドレベルの第２の電圧信号を取り込む。これにより、ポイント（Ａ）にスイッチング電源装置の入力電流を忠実に表す第３の電圧信号が生成され、平均化回路（２９）に供給される。平均化回路（２９）では、第３の電圧信号を平均化することにより、コンデンサ（Ｃｃａ）の端子に、高精度な負荷状態を表す電圧信号が生成される。

明　細　書

発明の名称 ： スイッチング電源装置

技術分野

[0001] 本発明はスイッチング電源装置に関し、特に電流共振型のＤＣ－ＤＣスイッチングコンバータを備え、バースト制御などに対応でき、負荷状態を高精度に検出することができるスイッチング電源装置に関する。

背景技術

[0002] 電流共振型のＤＣ－ＤＣスイッチングコンバータは、高効率化・薄型化に適しているため、テレビなどの電源アダプタに広く採用されている。交流電源に接続される所定の大きさを超える負荷用のスイッチング電源装置では、力率改善（ＰＦＣ：Power Factor Correction）回路により一定にされた直流電圧をその入力電圧にしている。

[0003] このようなスイッチング電源装置は、出力電圧を一定に制御する他に、負荷が重いかまたは軽いかを表す負荷状態を検出し、軽負荷時には、たとえば、スイッチングを一時休止するバースト動作などを行っている。この負荷状態は、電流共振用のトランスの二次側から出力される電流を直接検出することによって知ることができる。しかし、検出した負荷状態は、トランスの一次側にある制御ＩＣ（Integrated Circuit）へ伝達しなければならないので、そのために必要な帰還回路のコストが問題となる。このことから、トランスの一次側で負荷状態を検出することが一般に行われるようになってきている。

[0004] トランスの一次側で負荷状態を検出する場合、共振回路に流れる電流を負荷状態として検出する方法が知られている（たとえば、特許文献１参照）。この特許文献１の記載によれば、ハイサイドのスイッチング素子またはローサイドのスイッチング素子のオン期間に同期して共振回路に流れる電流の負荷成分を検出している。したがって、検出できる電流は、ハイサイドまたはローサイドのスイッチング素子がオンしている期間だけ、すなわち、スイッ

チング時の片側だけの負荷成分である。この方法は、他方のスイッチング素子がオンしていて電流の検出を行っていない期間の状態が、検出を行っている期間のものと同一であるという前提があって成り立つものである。したがって、ハイサイドまたはローサイドのスイッチング素子が常に同じオン時比率（すなわち５０％）で動作し続けている（バランス制御されている）ことが必要であって、必ずしも、負荷状態を正確に表した電流検出方法ではない。以下に、負荷状態を正確に表すことができない例として、バースト動作およびアンバランス動作について説明する。

[0005] まず、バースト動作をした場合について説明する。ハイサイドおよびローサイドのスイッチング素子が同じオン幅で交互に制御している電流共振コンバータを考える。ここで、１０％デューティ比のバースト制御（たとえば、１０マイクロ秒（μｓ）のスイッチング周期（スイッチング周波数は１００ｋＨｚ）に対し、１ミリ秒（ｍｓ）のスイッチング動作期間、９ｍｓのスイッチング停止期間）を行うとき、スイッチング動作期間の負荷成分は、１００ワット（Ｗ）と認識しても、実際の負荷は、１０Ｗしかない。これを式で表すと、

Ｐｌｏａｄ＝Ｐｄｅｔ＊Ｄ

となる。ここで、Ｐｌｏａｄは負荷、Ｐｄｅｔはスイッチング動作期間の負荷成分、Ｄはバーストのデューティ比である。このため、スイッチング動作期間の負荷成分が検出できても、バーストデューティ比が分からないと、負荷状態を検出できないことになる。

[0006] 次に、ハイサイドおよびローサイドのスイッチング素子が異なるオン幅で交互に制御している動作状態（いわゆる、アンバランス制御）の場合（たとえば、特許文献２参照）について説明する。ここで、ハイサイドがたとえば３０％のオン幅で動作し、ローサイドがたとえば７０％のオン幅で動作したとする。この場合、特許文献１の方式でハイサイドの動作期間で負荷成分を検出したとすると、ほとんど無負荷状態と認識されてしまう。一方、ローサイドの動作期間で負荷成分を検出すると、実負荷よりも大きく検出してしま

うことになる。このように、負荷成分は、ハイサイドおよびローサイドの動作割合に依存性があるため、負荷状態を正確に検出することができない。

先行技術文献

特許文献

[0007] 特許文献1：特開２０１２－１７０２１８号公報（段落〔００５０〕～〔００５２〕，図４）

特許文献2：特開２００６－２０４０４４号公報（段落〔００２０〕）

発明の概要

発明が解決しようとする課題

[0008] 上記のように、特許文献１の技術では、ハイサイドのスイッチング素子またはローサイドのスイッチング素子のオン期間に同期して共振回路に流れる電流を検出することで負荷状態を推定しているため、バースト制御などに対応できないという問題点があった。

[0009] 本発明はこのような点に鑑みてなされたものであり、バースト制御などに対応でき、高精度な負荷状態を検出することができるスイッチング電源装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明では上記の課題を解決するために、直列に接続された第１のスイッチング素子および第２のスイッチング素子と、前記第１のスイッチング素子または前記第２のスイッチング素子と並列に接続された共振リアクトルおよび共振コンデンサの直列回路と、前記第１のスイッチング素子および前記第２のスイッチング素子を交互にオン／オフ制御する制御回路とを備えた電流共振型のスイッチング電源装置が提供される。このスイッチング電源装置は、直列に接続された前記共振リアクトルおよび前記共振コンデンサを流れる共振電流を分流し、分流された電流を第１の電圧信号に変換して出力する分流回路と、前記第１の電圧信号およびグランドレベルの第２の電圧信号を切り替えて第３の電圧信号を生成する切替回路と、前記第３の電圧信号を平均

化する平均化回路と、を有する負荷検出回路を備えていることを特徴とする。

[0011] このようなスイッチング電源装置によれば、共振電流の分流電流を電圧信号に変換した第１の電圧信号とグランドレベルの第２の電圧信号とからどのタイミングでも常に入力電流に比例する第３の電圧信号を生成し、さらに、その第３の電圧信号を平均化して負荷状態を検出するようにした。

発明の効果

[0012] 上記構成のスイッチング電源装置は、常に入力電流に比例する信号を得ることができるので、どのような状況においても出力電力に直結する入力電力を正確に把握することができる。

[0013] 本発明の上記および他の目的、特徴および利点は、本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0014] [図1]第１の実施の形態に係るスイッチング電源装置を示す回路図である。

[図2]制御ＩＣの構成例を示す図である。

[図3]負荷検出回路の構成例を示す図である。

[図4]通常動作時のタイミングチャートである。

[図5]バースト動作時のタイミングチャートである。

[図6]第２の実施の形態に係るスイッチング電源装置を示す回路図である。

[図7]第２の実施の形態に係るスイッチング電源装置における共振電流の分流回路を示す回路図である。

[図8]第３の実施の形態に係るスイッチング電源装置を示す回路図である。

[図9]制御ＩＣの構成例を示す図である。

[図10]第４の実施の形態に係るスイッチング電源装置を示す回路図である。

[図11]制御ＩＣのＩＳ端子とＣＡ端子の電圧関係を示す図である。

[図12]第５の実施の形態に係るスイッチング電源装置を示す回路図である。

発明を実施するための形態

[0015] 本発明は、負荷状態の検出に関し、特許文献１のように共振電流の負荷成分を検出するのではなく、入力電力を検出すればよい（出力電力は入力電力に電力変換効率を乗じたものになる）という原理に基づいている。そのために、本発明では、スイッチング素子がオンしているときでもオフしているときでも常にスイッチング電源装置の入力電流に比例する信号を生成するものである。

[0016] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、各実施の形態は、矛盾のない範囲で複数の実施の形態を組み合わせて実施することができる。また、以下の説明において、端子名とその端子における電圧、信号などは、同じ符号を用いて説明することがある。

＜第１の実施の形態＞

図１は第１の実施の形態に係るスイッチング電源装置を示す回路図、図２は制御ＩＣの構成例を示す図、図３は負荷検出回路の構成例を示す図、図４は通常動作時のタイミングチャート、図５はバースト動作時のタイミングチャートである。

[0017] 第１の実施の形態に係るスイッチング電源装置は、その入力端子１０ｐ，１０ｎに入力コンデンサＣ１が接続されており、たとえば、力率改善回路によって生成された高圧で一定の直流入力電圧Ｖｉを受けている。入力端子１０ｐ，１０ｎには、また、ハイサイドのスイッチング素子Ｑ１とローサイドのスイッチング素子Ｑ２との直列回路が接続され、ハーフブリッジ回路を構成している。スイッチング素子Ｑ１，Ｑ２は、図示の例では、ＮチャネルＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field-Effect Transistor）を使用している。

[0018] スイッチング素子Ｑ１，Ｑ２の共通の接続点は、トランスＴ１の一次巻線Ｐ１の一端に接続され、一次巻線Ｐ１の他端は、共振コンデンサＣ５を介してグランドに接続されている。ここで、トランスＴ１の一次巻線Ｐ１と二次巻線Ｓ１，Ｓ２との結合係数を小さくすることで大きくしたリーケージインダクタンス成分を有する共振リアクトルおよび共振コンデンサＣ５は、共振

回路を構成している。なお、リーケージインダクタンスを用いず、共振コンデンサＣ５にトランスＴ１を構成するインダクタンスとは別のインダクタンスを直列に接続して、当該インダクタンスを共振回路の共振リアクトルとするようにしてもよい。

[0019] トランスＴ１の二次巻線Ｓ１の一端は、ダイオードＤ３のアノード端子に接続され、二次巻線Ｓ２の一端は、ダイオードＤ４のアノード端子に接続されている。ダイオードＤ３，Ｄ４のカソード端子は、出力コンデンサＣ６の正極端子および出力端子１１ｐに接続されている。出力コンデンサＣ６の負極端子は、二次巻線Ｓ１，Ｓ２の共通の接続点および出力端子１１ｎに接続されている。二次巻線Ｓ１，Ｓ２、ダイオードＤ３，Ｄ４および出力コンデンサＣ６は、二次巻線Ｓ１，Ｓ２に生起された交流電圧を整流・平滑して直流電圧に変換する回路を構成し、スイッチング電源装置の出力回路を構成している。

[0020] 出力コンデンサＣ６の正極端子は、抵抗Ｒ８を介してフォトカプラＰＣ１の発光ダイオードのアノード端子に接続され、発光ダイオードのカソード端子は、シャントレギュレータＳＲ１のカソード端子に接続されている。発光ダイオードのアノード端子およびカソード端子には、抵抗Ｒ６が並列に接続されている。シャントレギュレータＳＲ１のアノード端子は、出力端子１１ｎに接続されている。シャントレギュレータＳＲ１は、出力コンデンサＣ６の正極端子と負極端子との間に直列接続された抵抗Ｒ９，Ｒ１０の接続点に接続されたリファレンス端子を有している。シャントレギュレータＳＲ１は、リファレンス端子とカソード端子との間に、抵抗Ｒ７およびコンデンサＣ７の直列回路が接続されている。このシャントレギュレータＳＲ１は、出力電圧Ｖｏ（出力コンデンサＣ６の両端電圧）を分圧した電位と内蔵の基準電圧との差に応じた電流を発光ダイオードに流すものである。フォトカプラＰＣ１のフォトトランジスタは、そのコレクタ端子が制御ＩＣ１２のＦＢ端子に接続され、エミッタ端子がグランドに接続され、コレクタ端子およびエミッタ端子には、コンデンサＣ２が並列に接続されている。

[0021] 制御ＩＣ１２は、入力コンデンサＣ１の正極端子に接続されたＶＨ端子、グランドに接続されたＧＮＤ端子を有している。制御ＩＣ１２は、また、抵抗Ｒ１を介してスイッチング素子Ｑ１のゲート端子に接続されたＨＯ端子、抵抗Ｒ２を介してスイッチング素子Ｑ２のゲート端子に接続されたＬＯ端子、さらには、ＶＢ端子、ＶＳ端子、ＣＡ端子、ＩＳ端子およびＶＣＣ端子を有している。ＶＢ端子とＶＳ端子との間には、コンデンサＣ４が接続され、ＶＳ端子は、スイッチング素子Ｑ１，Ｑ２の共通の接続点に接続されている。ＣＡ端子には、コンデンサＣｃａの一端が接続され、コンデンサＣｃａの他端は、グランドに接続されている。ＩＳ端子は、共振コンデンサＣ５に並列に接続されたコンデンサＣｓおよび抵抗Ｒｓの直列回路の共通接続点に接続されている。ＶＣＣ端子は、コンデンサＣ３の正極端子に接続され、コンデンサＣ３の負極端子はグランドに接続されている。ＶＣＣ端子は、また、ダイオードＤ２のアノード端子に接続され、このダイオードＤ２のカソード端子はＶＢ端子に接続されている。なお、ＶＣＣ端子は、図面を簡単にするために図示はしないが、トランスＴ１が備える補助巻線にダイオードを介して接続され、このスイッチング電源装置の起動後は、その補助巻線に生起された電圧を制御ＩＣ１２の電源として利用している。

[0022] ここで、共振コンデンサＣ５に並列に接続されたコンデンサＣｓおよび抵抗Ｒｓの直列回路は、共振電流を分流する分流回路であり、この分流回路で分流された電流は、電流検出用の抵抗Ｒｓにより電圧信号に変換されて制御ＩＣ１２のＩＳ端子に入力される。共振コンデンサＣ５およびコンデンサＣｓに流れる共振電流は、実質的に同一の波形を有し、その最大振幅は、共振コンデンサＣ５およびコンデンサＣｓの容量比で決まる。コンデンサＣｓの容量を共振コンデンサＣ５の容量よりも小さくすると、極めて小さな電流が電流検出用の抵抗Ｒｓに流れるだけであって、電流検出のための消費電力を無視できる程度に小さくすることができる。

[0023] 制御ＩＣ１２は、図２に示したように、入力端子がＶＨ端子に接続された起動回路２１を有し、起動回路２１の出力端子は、ＶＣＣ端子に接続されて

いる。ＦＢ端子には、発振回路２２の入力端子が接続され、発振回路２２の出力端子は、制御回路２３に接続されている。なお、ＦＢ端子は図示しない抵抗を介して図示しない基準電圧にプルアップされている。制御回路２３のハイサイド出力端子は、ハイサイドドライブ回路２４の入力端子に接続され、制御回路２３のローサイド出力端子は、ローサイドドライブ回路２５の入力端子に接続されている。ハイサイドドライブ回路２４の出力端子は、ＨＯ端子に接続され、ローサイドドライブ回路２５の出力端子は、ＬＯ端子に接続されている。ハイサイドドライブ回路２４は、また、ハイサイドの電源用のＶＢ端子およびハイサイドの基準電位となるＶＳ端子に接続されている。ＶＳ端子は、また、制御回路２３に接続されて信号ＶＳを供給するようにしている。ＣＡ端子は、制御回路２３および負荷検出回路２６に接続されている。負荷検出回路２６は、また、ＩＳ端子に接続され、さらに、制御回路２３から信号ｓｗ＿ｃｔｒｌを受けるように接続されている。

[0024] 負荷検出回路２６は、図３に示したように、直列に接続されたスイッチｓｗ１，ｓｗ２を有し、スイッチｓｗ１の一方の端子は、制御回路２３のＩＳ端子に接続され、スイッチｓｗ２の一方の端子は、制御回路２３のＧＮＤ端子に接続されている。ＩＳ端子は、コンデンサＣｓおよび抵抗Ｒｓを含む分流回路２８に接続され、共振電流を電圧信号に変換した信号ＩＳを入力する。スイッチｓｗ１，ｓｗ２の共通の接続点であるポイントＡは、抵抗Ｒｆを介して制御回路２３のＣＡ端子に接続されている。ＣＡ端子には、コンデンサＣｃａが接続されており、抵抗Ｒｆおよびコンデンサ Ｃｃａを含む平均化回路２９がポイントＡの電圧信号Ａを平均化している。スイッチｓｗ１は、また、その制御端子が制御回路２３から信号ｓｗ＿ｃｔｒｌを受けるｓｗ＿ｃｔｒｌ端子に接続され、スイッチｓｗ２は、その制御端子がインバータ回路２７を介してｓｗ＿ｃｔｒｌ端子に接続されている。ここで、スイッチｓｗ１，ｓｗ２およびインバータ回路２７は、切替回路３０を構成し、信号ＩＳなどを利用して入力電流に比例した電圧信号Ａをポイント Ａに生成する。

[0025] 以上の構成のスイッチング電源装置において、制御ＩＣ１２がスイッチン

グ制御を開始する前では、直流入力電圧Ｖｉを受ける制御ＩＣ１２の起動回路２１が起動電流をコンデンサＣ３に供給する。コンデンサＣ３が充電されると、その電圧ＶＣＣがＶＣＣ端子およびローサイドドライブ回路２５に供給される。制御ＩＣ１２がスイッチング制御を開始したら、コンデンサＣ３への給電は、トランスＴ１が備える補助巻線から行われる。

[0026] 制御ＩＣ１２は、トランスＴ１の二次巻線Ｓ１，Ｓ２の側における出力回路の出力電圧Ｖｏに基づいて出力電圧Ｖｏが所定の値に保持されるようにスイッチング素子Ｑ１およびスイッチング素子Ｑ２を交互にオン／オフさせるように制御する。

[0027] そのために、シャントレギュレータＳＲ１は、出力電圧Ｖｏを検出して所定の値からの誤差に相当する電流を出力し、その誤差電流は、フォトカプラＰＣ１により制御ＩＣ１２のＦＢ端子に帰還される。制御ＩＣ１２では、ＦＢ端子の信号ＦＢに応じて発振回路２２が発振周波数を調整し、制御回路２３がスイッチング素子Ｑ１，Ｑ２を交互にオン／オフさせる信号をハイサイドドライブ回路２４およびローサイドドライブ回路２５に供給する。これにより、スイッチング素子Ｑ１，Ｑ２がオン／オフ制御されて、共振コンデンサＣ５への充放電期間が変化され、トランスＴ１の二次側に誘導される電力量が調整され、出力電圧Ｖｏが所定の値に制御される。

[0028] ここで、スイッチング素子Ｑ１がオンのときに直流入力電圧Ｖｉから供給される電流は、共振コンデンサＣ５およびコンデンサＣｓに流れる電流に等しい。一方、スイッチング素子Ｑ１がオフしているときは当然直流入力電圧Ｖｉから供給される電流はゼロである。しかし、このときも共振コンデンサＣ５およびコンデンサＣｓには共振電流が流れているので、この期間はこの共振電流を入力電流として検出してはならず、正しい入力電流、すなわちゼロを検出するようにしなければならない。

[0029] 負荷検出回路２６では、まず、分流回路２８によって共振電流が検出される。この分流による検出は、共振電流本体の流れる経路に電流検出用の抵抗を挿入する必要がなく、損失がほとんど発生しないために、高効率動作を可

能にしている。分流回路２８によって検出された共振電流は、抵抗Ｒｓによって電圧の信号ＩＳに変換され、ＩＳ端子に入力される。この信号ＩＳは、切替回路３０に入力される。切替回路３０は、また、グランドレベルの信号も入力されており、スイッチング素子Ｑ１がオフしているときも入力電流に比例した電圧信号Ａが得られるようにしている。この切替回路３０は、制御回路２３からの信号ｓｗ＿ｃｔｒｌによって信号の切り替え制御をしている。信号ｓｗ＿ｃｔｒｌは、本実施の形態では、制御回路２３において、ハイサイドの基準電位となる信号ＶＳに基づいて生成される。

[0030] 信号ＶＳは、図４に示したように、スイッチング素子Ｑ１のオン／オフ周期と同じ周期を有している。なお、スイッチング素子Ｑ１を駆動する信号ＨＯは、デッドタイムの分だけ、信号ＶＳよりも遅く立ち上がり、信号ＶＳよりも早く立ち下がっている。制御回路２３は、この信号ＶＳを信号ｓｗ＿ｃｔｒｌとして切替回路３０に供給している。信号ＶＳは、その立ち上がりから立ち下がりまでの間、ハイ（Ｈ）レベルとなり、立ち下がりから立ち上がりまでの間は、ロー（Ｌ）レベルとなる。

[0031] 切替回路３０は、信号ｓｗ＿ｃｔｒｌが立ち上がりから立ち下がりまでのＨレベルの間、スイッチｓｗ１をオンにし、このとき、スイッチｓｗ２は、インバータ回路２７によって信号ｓｗ＿ｃｔｒｌの論理が反転されるので、オフである。また、信号ｓｗ＿ｃｔｒｌが立ち下がりから立ち上がりまでのＬレベルの間、スイッチｓｗ１は、オフ制御され、スイッチｓｗ２は、オン制御される。

[0032] これにより、信号ｓｗ＿ｃｔｒｌがＨレベルの間、ポイントＡには、信号ＩＳ、すなわち、入力電流であるハイサイドのスイッチング素子Ｑ１を流れる電流Ｉ＿Ｑ１に比例した電圧（第１の電圧信号）が印加される。一方、信号ｓｗ＿ｃｔｒｌがＬレベルのときは、スイッチｓｗ１がオフ、スイッチｓｗ２がオンになるので、切替回路３０には、入力電流がゼロであることを示すグランドレベルの信号（第２の電圧信号）が印加されることになる。これにより、ポイントＡは、グランドレベルの電圧信号Ａ（第３の電圧信号）に

切り替えられる。信号ｓｗ＿ｃｔｒｌで切り替えられたポイントＡの電圧信号Ａ（第３の電圧信号）は、平均化回路２９によって平均化され、ＣＡ端子には、入力電流の平均値に比例した電圧信号ＶＣＡが生成される。

[0033] 以上のように、負荷検出回路２６は、ハイサイドのスイッチング素子Ｑ１がオンしたときに流れる電流Ｉ＿Ｑ１に比例した第１の信号と、スイッチング素子Ｑ１がオフしたときの入力電流ゼロを示すグランドレベルの第２の信号とを平均化回路２９で平均化している。平均化回路２９による平均化にスイッチング素子Ｑ１がオフしたときのグランドレベルを追加したことにより、スイッチング電源装置の入力電流の平均値、すなわち、スイッチング電源装置の負荷状態を正確に検出することができるようになる。

[0034] このようにして検出された入力電流の平均値は、負荷状態を表す信号としてＣＡ端子から制御回路２３に供給される。制御回路２３では、電圧信号ＶＣＡを受けて、たとえば、極めて軽い負荷状態であると認識した場合、たとえば、バースト制御に切り替えるなどの判断などに利用される。

[0035] なお、スイッチング電源装置がバースト動作をしているときには、図５に示したように、ポイントＡは、バースト動作の間、強制的にグランドレベルになる。したがって、負荷検出回路２６は、バースト動作の間のグランドレベルをも考慮してスイッチング電源装置の入力電流の平均値を検出していることになるので、このスイッチング電源装置は、バースト制御などに対応したものとなる。

＜第２の実施の形態＞

図６は第２の実施の形態に係るスイッチング電源装置を示す回路図、図７は第２の実施の形態に係るスイッチング電源装置における共振電流の分流回路を示す回路図である。なお、図６および図７において、図１に示した構成要素と同じまたは均等の構成要素については、同じ符号を付して詳細な説明は省略する。

[0036] 第２の実施の形態に係るスイッチング電源装置は、第１の実施の形態に係るスイッチング電源装置と比較して、共振コンデンサＣ５を正極の入力端子

１０ｐとトランスＴ１の一次巻線Ｐ１の他端との間に配置している。このため、このスイッチング電源装置では、ローサイドのスイッチング素子Ｑ２がオンしたときに流れる電流Ｉ＿Ｑ２（図４参照）に比例した信号を第１の信号としている。また、負荷検出のための分流回路（コンデンサＣｓおよび抵抗Ｒｓの直列回路）は、トランスＴ１の一次巻線Ｐ１の他端とグランドとの間、すなわち、スイッチング素子Ｑ２がオンしたときの一次巻線Ｐ１と並列に配置し、共振コンデンサＣ５を流れる共振電流を分流している。

[0037] この第２の実施の形態に係るスイッチング電源装置においても、制御ＩＣ１２およびその中の負荷検出回路２６は、信号ＶＳと信号ｓｗ＿ｃｔｒｌの関係を除き、第１の実施の形態に係るスイッチング電源装置のものと同じものが使用されている。すなわち、第１の実施の形態に係るスイッチング電源装置の信号ｓｗ＿ｃｔｒｌが図４に示すとおり信号ＶＳと同じものであったのに対し、第２の実施の形態に係るスイッチング電源装置における制御回路２３から負荷検出回路２６に入力される信号ｓｗ＿ｃｔｒｌは、信号ＶＳを反転させたものとなる。

[0038] この第２の実施の形態に係るスイッチング電源装置によれば、負荷検出回路２６は、ローサイドのスイッチング素子Ｑ２がオンしたときに流れる電流Ｉ＿Ｑ２に比例した電流を第１の信号として入力している。すなわち、図７では、ローサイドのスイッチング素子Ｑ２がオンしたときに共振コンデンサＣ５を流れる電流Ｉｃ５は、トランスＴ１の一次巻線Ｐ１を流れる電流Ｉｐ１と分流回路２８を流れる電流Ｉｓとに分流される。分流回路２８に分流された電流Ｉｓは、抵抗Ｒｓによって電圧の信号ＩＳに変換されて第１の信号となり、ＩＳ端子に入力される。一方、ローサイドのスイッチング素子Ｑ２がオフしたとき、負荷検出回路２６は、スイッチング素子Ｑ１がオンしたときの入力電流ゼロを示すグランドレベルの第２の信号を受け、先の第１の信号とこの第２の信号とを平均化回路２９で平均化している。スイッチング素子Ｑ２がオンしたときだけの部分的な共振電流の平均化ではないので、スイッチング電源装置の入力電流の平均値、すなわち、スイッチング電源装置の

負荷状態を高精度に検出することができる。

＜第３の実施の形態＞

図８は第３の実施の形態に係るスイッチング電源装置を示す回路図、図９は制御ＩＣの構成例を示す図である。なお、図８において、図１に示した構成要素と同じまたは均等の構成要素については、同じ符号を付して詳細な説明は省略する。同様に、図９において、図２に示した構成要素と同じまたは均等の構成要素については、同じ符号を付して詳細な説明は省略する。

[0039] 第１および第２の実施の形態に係るスイッチング電源装置では、平均化される共振電流の第１の信号とグランドレベルの第２の信号との切り替えのタイミングをＶＳ信号に基づいて行っている。これに対し、第３の実施の形態に係るスイッチング電源装置では、第１の信号と第２の信号との切り替えのタイミングは、トランスＴ１の補助巻線ＶＷによって生成された信号ＶＷに基づいている。この補助巻線ＶＷは、スイッチング電源装置が起動後に制御ＩＣ１２に電源を供給するための巻線が使用され、補助巻線ＶＷの一方の端子は、制御ＩＣ１２のＶＷ端子に接続され、補助巻線ＶＷの他方の端子は、グランドに接続される。

[0040] 制御ＩＣ１２では、図９に示したように、ＶＷ端子は、制御回路２３に接続され、制御回路２３は、ＶＷ端子からの信号を波形整形することでＶＳ信号と同様の信号を得ることができ、その信号に基づいて信号ｓｗ＿ｃｔｒｌを生成する。信号ｓｗ＿ｃｔｒｌは、負荷検出回路２６の切替回路３０においてスイッチｓｗ１，ｓｗ２を交互に切り替える。これにより、分流回路２８によって検出された共振電流を表す電圧信号またはグランドレベルの信号に切り替えられ、これらの信号は、平均化回路２９で交互に平均化されることで全体として高精度な負荷状態が検出される。

＜第４の実施の形態＞

図１０は第４の実施の形態に係るスイッチング電源装置を示す回路図、図１１は制御ＩＣのＩＳ端子とＣＡ端子の電圧関係を示す図である。なお、図１０において、図１および図３に示した構成要素と同じまたは均等の構成要

素については、同じ符号を付して詳細な説明は省略する。

[0041] この第４の実施の形態に係るスイッチング電源装置は、第１の実施の形態に係るスイッチング電源装置の負荷検出回路２６に含まれる切替回路３０のスイッチｓｗ１，ｓｗ２を半導体スイッチ（トランスミッションゲート）で構成したものである。すなわち、切替回路３０のスイッチｓｗ１は、相補型のトランジスタＴｐ１，Ｔｎ１を並列に接続することによって構成され、スイッチｓｗ２は、相補型のトランジスタＴｐ２，Ｔｎ２を並列に接続することによって構成される。信号ｓｗ＿ｃｔｒｌは、スイッチｓｗ１のトランジスタＴｎ１のゲート端子およびスイッチｓｗ２のトランジスタＴｐ２のゲート端子に印加される。一方、スイッチｓｗ１のトランジスタＴｐ１のゲート端子およびスイッチｓｗ２のトランジスタＴｎ２のゲート端子には、信号ｓｗ＿ｃｔｒｌをインバータ回路２７で論理反転した信号が印加される。

[0042] 第１の信号を受けるスイッチｓｗ１の端子および第２の信号を受けるスイッチｓｗ２の端子は、レベルシフト回路３１を介して制御ＩＣ１２のＩＳ端子およびＧＮＤ端子にそれぞれ接続されている。このレベルシフト回路３１は、直列接続された抵抗Ｒｓ１，Ｒｓ２を有し、抵抗Ｒｓ１の一端は電源のＶＤＤ端子に接続され、抵抗Ｒｓ２の他端はＩＳ端子に接続され、抵抗Ｒｓ１，Ｒｓ２の共通の接続点は、切替回路３０のスイッチｓｗ１に接続されている。また、レベルシフト回路３１は、直列接続された抵抗Ｒ１１，Ｒ１２を有し、抵抗Ｒ１１の一端は電源のＶＤＤ端子に接続され、抵抗Ｒ１２の他端はＧＮＤ端子に接続され、抵抗Ｒ１１，Ｒ１２の共通の接続点は、切替回路３０のスイッチｓｗ２に接続されている。

[0043] レベルシフト回路３１は、分流された電流Ｉｓを表す信号ＩＳ（第１の信号）およびグランドレベルの第２の信号をそれぞれプラス側にレベルシフトする機能を有している。すなわち、共振リアクトルおよび共振コンデンサＣ５による共振回路が共振することによって制御ＩＣ１２のＩＳ端子に印加される信号ＩＳは、グランドレベルを基準にプラスおよびマイナス方向に振幅が振れている。レベルシフト回路３１は、そのマイナス方向の振れの分だけ

、ＩＳ端子およびＧＮＤ端子の電位をプラス側にレベルシフトさせるものである。これにより、ＩＳ端子およびＧＮＤ端子の端子間電圧を±Ｖｉｓ／２とした場合、切替回路３０のスイッチｓｗ１，ｓｗ２に入力される信号ＩＳ（第１の信号）の振幅は、±Ｖｉｓ／２から＋Ｖｉｓにシフトされることになる。つまり、スイッチｓｗ１，ｓｗ２には、マイナスの電位が印加されることがなくなる。ここで、Ｌレベル（０Ｖ）の信号ｓｗ＿ｃｔｒｌを受けて、たとえばスイッチｓｗ１がオフのとき、トランジスタＴｎ１，Ｔｐ１は、両方とも、オフとなるべきである。しかし、スイッチｓｗ１にマイナスの電位が印加されるようなことがあると、トランジスタＴｎ１は、Ｌレベルのゲート電位が印加電位よりも相対的に高くなるので、オンしてしまうことになる。この現象は、スイッチｓｗ２においても同様に生じてしまう。このように、この第４の実施の形態では、スイッチｓｗ１，ｓｗ２を半導体スイッチで構成したことによる不都合をレベルシフト回路３１によって回避していることになる。また、レベルシフト回路３１は、半導体に負電圧が入力されることに起因するラッチアップを防止する機能も有している。

[0044] 切替回路３０のスイッチｓｗ１，ｓｗ２の共通接続点は、抵抗Ｒｆ１の一端に接続され、抵抗Ｒｆ１の他端は、コンデンサＣｆ１の一端および増幅器（オペアンプ）Ａｍｐ１の非反転入力に接続されている。コンデンサＣｆ１の他端は、グランド（ＧＮＤ端子）に接続されている。ここで、抵抗Ｒｆ１およびコンデンサＣｆ１は、制御ＩＣ１２の中に形成されるため、時定数の小さなフィルタを構成し、切替回路３０の出力電圧を平均化するというよりは、切替回路３０のスイッチｓｗ１，ｓｗ２によるノイズを低減する機能を有する。増幅器Ａｍｐ１は、その反転入力と出力とを接続してボルテージフォロアを構成している。一方、切替回路３０のスイッチｓｗ２とレベルシフト回路３１の共通接続点は、増幅器（オペアンプ）Ａｍｐ２の非反転入力に接続されている。この増幅器Ａｍｐ２は、その反転入力と出力とを接続してボルテージフォロアを構成している。

[0045] 増幅器Ａｍｐ１の出力は、抵抗Ｒａ１１の一端に接続され、抵抗Ｒａ１１

の他端は、抵抗Ｒａ１２の一端と増幅器（オペアンプ）Ａｍｐ３の非反転入力とに接続されている。抵抗Ｒａ１２の他端は、グランドに接続されている。また、増幅器Ａｍｐ２の出力は、抵抗Ｒａ２１の一端に接続され、抵抗Ｒａ２１の他端は、増幅器Ａｍｐ３の反転入力に接続されている。増幅器Ａｍｐ３の反転入力は、抵抗Ｒａ２２を介して増幅器Ａｍｐ３の出力に接続されている。これにより、増幅器Ａｍｐ３は、増幅器Ａｍｐ１の出力電圧と増幅器Ａｍｐ２の出力電圧との電位差を増幅する差動増幅回路を構成している。ここで、増幅器Ａｍｐ１の出力電圧をＶＡ、増幅器Ａｍｐ２の出力電圧をＶＢ、Ｒａ１１＝Ｒａ２１、Ｒａ１２＝Ｒａ２２とすると、この差動増幅回路の出力電圧ＶＣは、

ＶＣ＝（ＶＡ－ＶＢ）・Ｋ

となる。ただし、Ｋは増幅率であって、Ｋ＝Ｒａ１２／Ｒａ１１＝Ｒａ２２／Ｒａ２１である。

[0046] 増幅器Ａｍｐ３の出力は、増幅器（オペアンプ）Ａｍｐ４の非反転入力に接続されている。この増幅器Ａｍｐ４は、その反転入力と出力とを接続してボルテージフォロアを構成している。増幅器Ａｍｐ４の出力は、抵抗Ｒｆ２を介して制御ＩＣ１２のＣＡ端子に接続されている。このＣＡ端子には、信号ＩＳの第１の信号およびグランドレベルの第２の信号を合成した信号を平均化するコンデンサＣｃａの一端が接続され、コンデンサＣｃａの他端は、グランドに接続されている。この制御ＩＣ１２に外付けで接続されたコンデンサＣｃａには、また、抵抗Ｒｃａが並列に接続されている。

[0047] 以上のように、信号ＩＳの第１の信号およびグランドレベルの第２の信号は、レベルシフト回路３１によってそれぞれレベルシフトされる。これら第１の信号および第２の信号は、レベルシフトされたまま切替回路３０を通過した後、差動増幅回路でレベルシフトがキャンセルされ、抵抗Ｒｆ２およびコンデンサＣｃａにより平均化される。差動増幅回路は、また、増幅器Ａｍｐ１，Ａｍｐ２の出力電圧の電位差（ＶＡ－ＶＢ）を増幅することができるので、レベルの小さな信号ＩＳに基づく信号を大きくすることができ、これ

によって負荷状態の検出を容易にしている。

[0048] 次に、図１１を参照して、制御ＩＣ１２のＩＳ端子とＣＡ端子との電圧関係について説明する。この図１１に示すグラフでは、横軸がＩＳ端子の電圧信号Ｖｉｓを示し、縦軸がＣＡ端子の電圧信号ＶＣＡを示している。ここで、外付けの抵抗Ｒｃａが接続されていないとした場合、ＩＳ端子の電圧信号ＶｉｓとＣＡ端子の電圧信号ＶＣＡとの関係は、Ｋで示した直線によって表される。すなわち、この直線は、制御ＩＣ１２の内部の定数（差動増幅回路の増幅率Ｋ）と外付けのコンデンサＣｃａの容量値とによって決まる負荷検出回路２６のゲイン特性である。これに対し、コンデンサＣｃａに並列に抵抗Ｒｃａが接続されると、Ｋｃａで示す直線のように、傾きが変化したゲイン特性になる。つまり、負荷検出回路２６のゲイン特性は、外付けの抵抗Ｒｃａおよびコンデンサ Ｃｃａの値を変更することによって任意に変更することができる。

[0049] なお、本実施の形態では、以上のようにして検出された負荷状態を表す電圧信号ＶＣＡは、過負荷検出回路にて使用される。すなわち、抵抗Ｒｆ２とＣＡ端子との接続点は、過負荷保護用比較器ＯＬＰの非反転入力に接続され、過負荷保護用比較器ＯＬＰの反転入力には、基準電圧Ｖｔｈ＿ｏｌｐが印加されている。これにより、過負荷保護用比較器ＯＬＰは、入力電流の平均値に比例した電圧信号ＶＣＡが基準電圧Ｖｔｈ＿ｏｌｐを超えるとＨレベルの信号を出力し、制御ＩＣ１２では、スイッチング素子Ｑ１，Ｑ２を強制的にオフさせるようにする。

＜第５の実施の形態＞

図１２は第５の実施の形態に係るスイッチング電源装置を示す回路図である。なお、図１２において、図１に示した構成要素と同じまたは均等の構成要素については、同じ符号を付して詳細な説明は省略する。

[0050] 第５の実施の形態に係るスイッチング電源装置は、第１の実施の形態に係るスイッチング電源装置と比較して、共振リアクトルおよび共振コンデンサＣ５による共振回路をハイサイドのスイッチング素子Ｑ１に並列に接続され

ている。共振電流を分流する分流回路２８は、共振コンデンサＣ５に並列に接続され、共振電流に比例した電流を表す信号は、分流回路２８の抵抗ＲｓとコンデンサＣｓとの共通の接続点から取り出され、制御ＩＣ１２のＩＳ端子に入力される。

[0051] 分流回路２８から取り出される信号は、直流入力電圧Ｖｉの電位を基準とした抵抗Ｒｓの端子電圧である。このため、直流入力電圧Ｖｉの電位を基準とした信号は、好ましくは、制御ＩＣ１２の内部において、グランドを基準とした信号に変換され、その変換された信号を負荷検出回路２６に入力するとよい。

[0052] 以上、本発明をその好適な実施の形態について説明したが、本発明は、以上の特定の実施の形態に限定されるものではない。たとえば、以上の実施の形態では、制御ＩＣ１２の内部をアナログ回路によって実現しているが、制御ＩＣ１２の内部をデジタル化した、いわゆるデジタル電源装置においても、分流回路２８、切替回路３０および平均化回路２９の思想を適用することができる。

[0053] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

[0054] １０ｐ，１０ｎ　入力端子

１１ｐ，１１ｎ　出力端子

１２　制御ＩＣ

２１　起動回路

２２　発振回路

２３　制御回路

２４　ハイサイドドライブ回路

２５　ローサイドドライブ回路

２６　負荷検出回路

２７　インバータ回路

２８　分流回路

２９　平均化回路

３０　切替回路

３１　レベルシフト回路

Ａｍｐ１～Ａｍｐ４　増幅器

Ｃ５　共振コンデンサ

Ｃｓ，Ｃｃａ，Ｃｆ１　コンデンサ

ＯＬＰ　過負荷保護用比較器

Ｐ１　一次巻線

Ｑ１，Ｑ２　スイッチング素子

Ｒ１１，Ｒ１２，Ｒａ１１，Ｒａ１２，Ｒａ２１，Ｒａ２２，Ｒｃａ，Ｒｆ，Ｒｆ１，Ｒｆ２，Ｒｓ，Ｒｓ１，Ｒｓ２　抵抗

Ｓ１，Ｓ２　二次巻線

ｓｗ１，ｓｗ２　スイッチ

Ｔ１　トランス

Ｔｎ１，Ｔｎ２，Ｔｐ１，Ｔｐ２　トランジスタ

ＶＷ　補助巻線

請求の範囲

[請求項1] 直列に接続された第１のスイッチング素子および第２のスイッチング素子と、前記第１のスイッチング素子または前記第２のスイッチング素子と並列に接続された共振リアクトルおよび共振コンデンサの直列回路と、前記第１のスイッチング素子および前記第２のスイッチング素子を交互にオン／オフ制御する制御回路とを備えた電流共振型のスイッチング電源装置において、

直列に接続された前記共振リアクトルおよび前記共振コンデンサを流れる共振電流を分流し、分流された電流を第１の電圧信号に変換して出力する分流回路と、

前記第１の電圧信号およびグランドレベルの第２の電圧信号を切り替えて第３の電圧信号を生成する切替回路と、

前記第３の電圧信号を平均化する平均化回路と、

を有する負荷検出回路を備えていることを特徴とするスイッチング電源装置。

[請求項2] 前記分流回路は、第１のコンデンサおよび第１の抵抗の直列回路を有し、前記直列回路を前記共振リアクトルまたは前記共振コンデンサに並列に接続し、前記第１の抵抗に流れる電流によって生成された前記第１の電圧信号を出力することを特徴とする請求項１記載のスイッチング電源装置。

[請求項3] 前記切替回路は、直列に接続された第１のスイッチおよび第２のスイッチと、前記第１のスイッチおよび前記第２のスイッチの一方がオン制御しているときに他方をオフ制御するインバータ回路とを有し、前記第１のスイッチには前記第１の電圧信号が入力され、前記第２のスイッチには前記第２の電圧信号が入力され、前記第１のスイッチおよび前記第２のスイッチの共通接続点から前記第３の電圧信号を出力することを特徴とする請求項１記載のスイッチング電源装置。

[請求項4] 前記第１の電圧信号をレベルシフトして前記第１のスイッチに入力

するとともに前記第２の電圧信号をレベルシフトして前記第２のスイッチに入力するレベルシフト回路と、前記第３の電圧信号と前記レベルシフト回路によってレベルシフトされた前記第２の電圧信号との電位差を増幅して前記平均化回路に入力する差動増幅回路とを備え、前記第１のスイッチおよび前記第２のスイッチをトランスミッションゲートで構成したことを特徴とする請求項３記載のスイッチング電源装置。

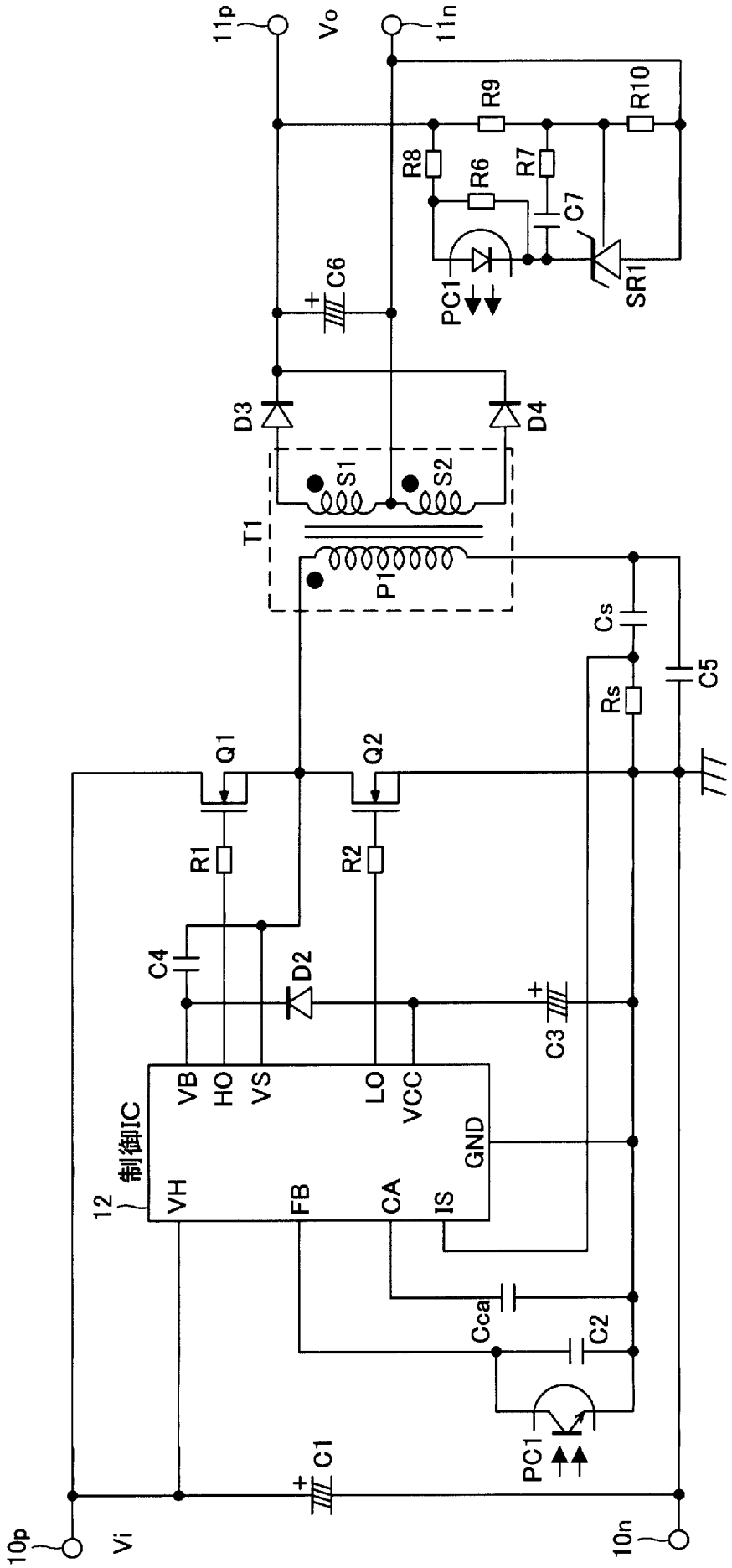
[請求項5] 前記差動増幅回路の２つの入力および出力にそれぞれボルテージフォロアを配置したことを特徴とする請求項４記載のスイッチング電源装置。

[請求項6] 前記平均化回路は、第２の抵抗および第２のコンデンサの直列回路を有し、前記第３の電圧信号を前記第２の抵抗および前記第２のコンデンサによって平均化することを特徴とする請求項１記載のスイッチング電源装置。

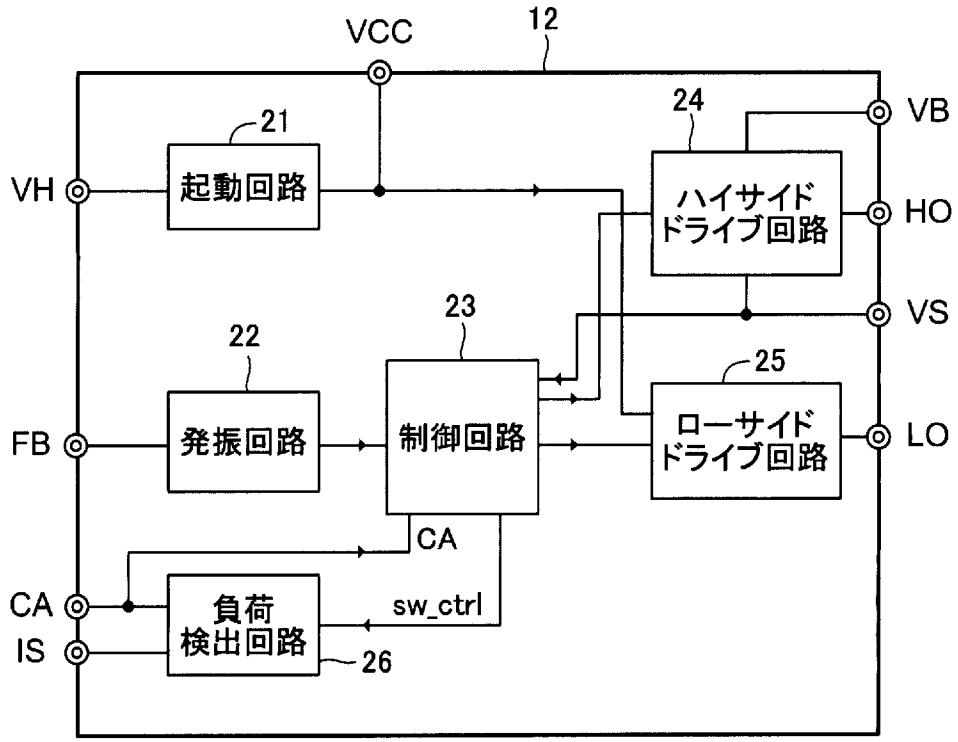
[請求項7] 前記切替回路は、前記第１のスイッチング素子および前記第２のスイッチング素子の共通接続点の電圧信号に基づいて前記第１の電圧信号および前記第２の電圧信号の切り替えのタイミングを設定していることを特徴とする請求項１記載のスイッチング電源装置。

[請求項8] 前記切替回路は、前記共振リアクトルの一部を構成するトランスの補助巻線によって生成される電圧信号に基づいて前記第１の電圧信号および前記第２の電圧信号の切り替えのタイミングを設定していることを特徴とする請求項１記載のスイッチング電源装置。

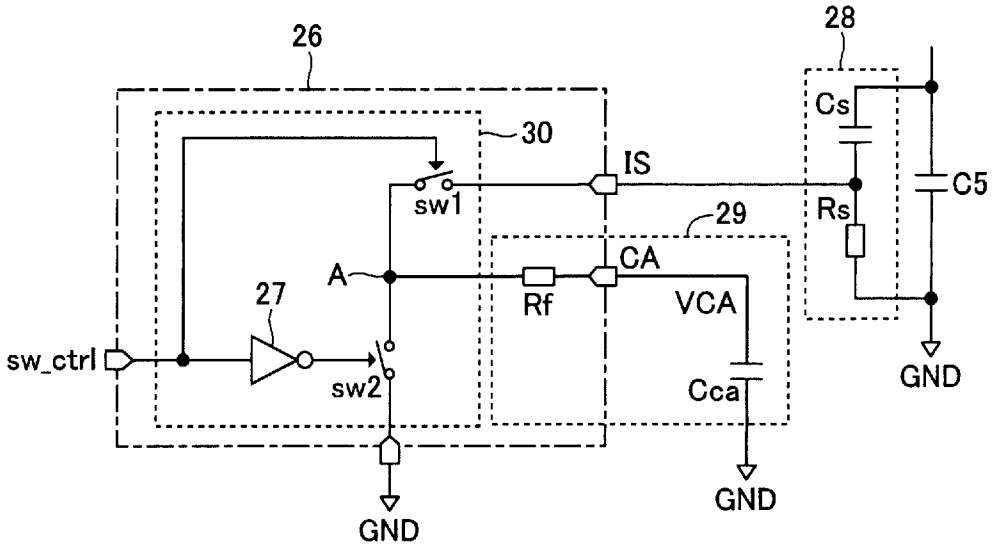
[図1]


11p
Vo
11n
R9
R10
R8
R6
R7
C7
C6
PC1
SR1
D3
D4
S1
S2
T1
P1
Cs
Rs
C5
Q1
Q2
R1
R2
C4
D2
C3
制御IC
12
VB
HO
VS
LO
VCC
GND
VH
FB
CA
IS
Cca
C2
PC1
C1
10p
Vi
10n

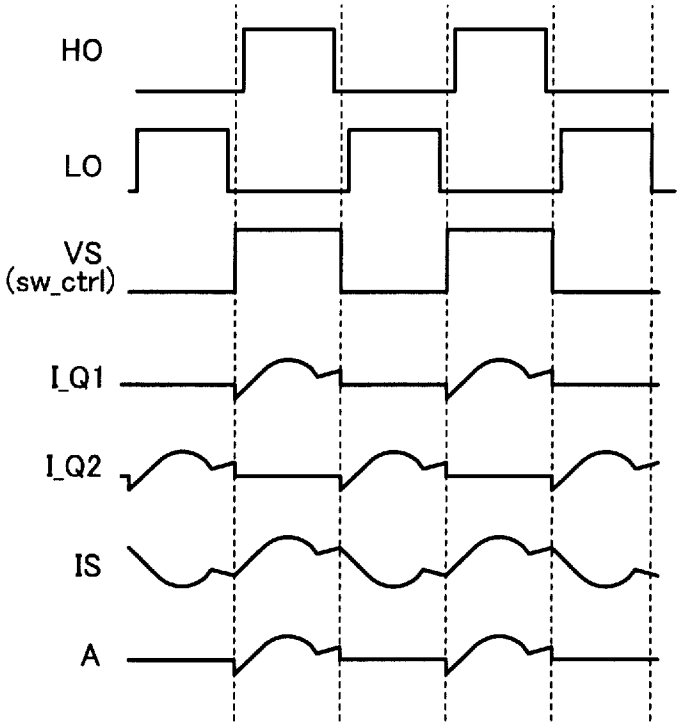
[図2]


VCC
12
21
起動回路
VH
24
ハイサイド
ドライブ回路
VB
HO
VS
23
22
25
FB
発振回路
制御回路
ローサイド
ドライブ回路
LO
CA
CA
負荷
検出回路
sw_ctrl
IS
26

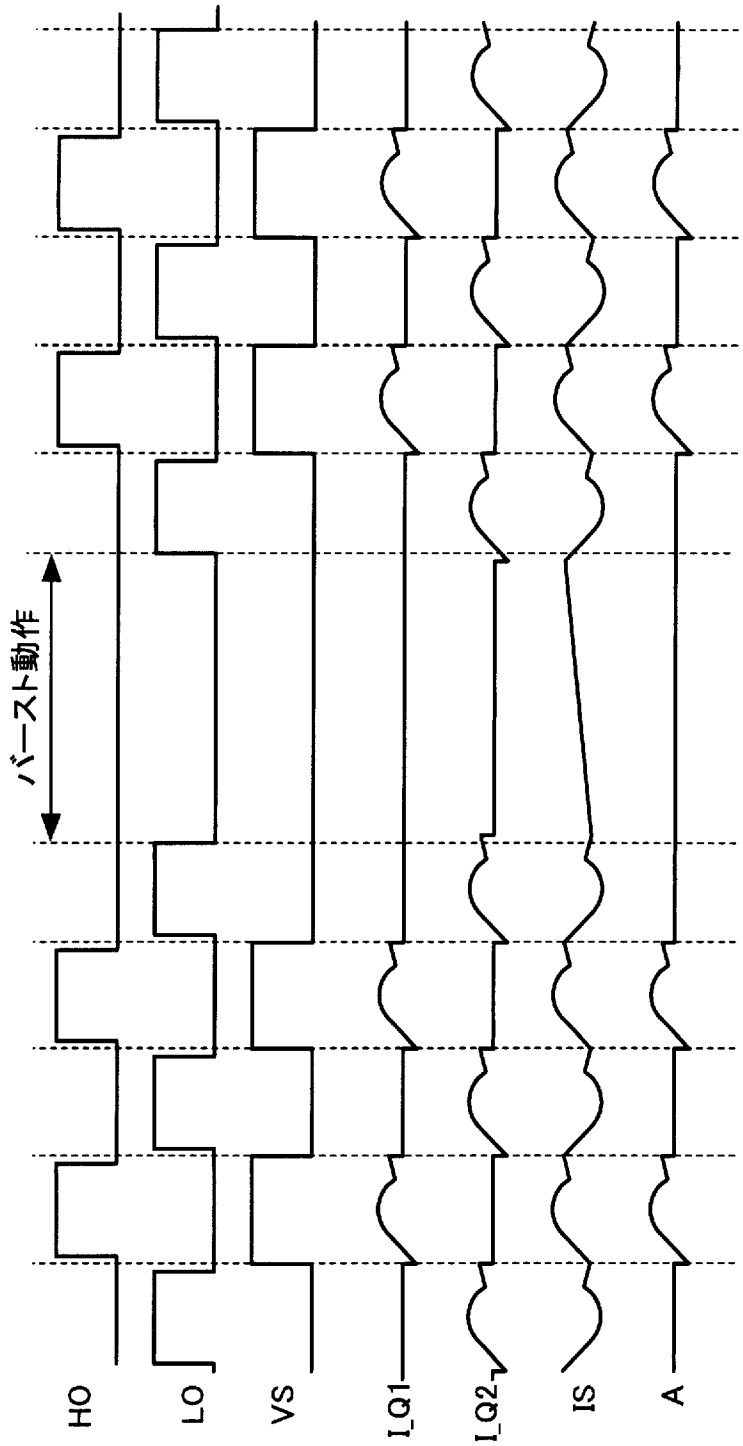
[図3]


26
28
30
Cs
IS
C5
sw1
29
Rs
A
CA
27
Rf
VCA
sw_ctrl
sw2
Cca
GND
GND
GND

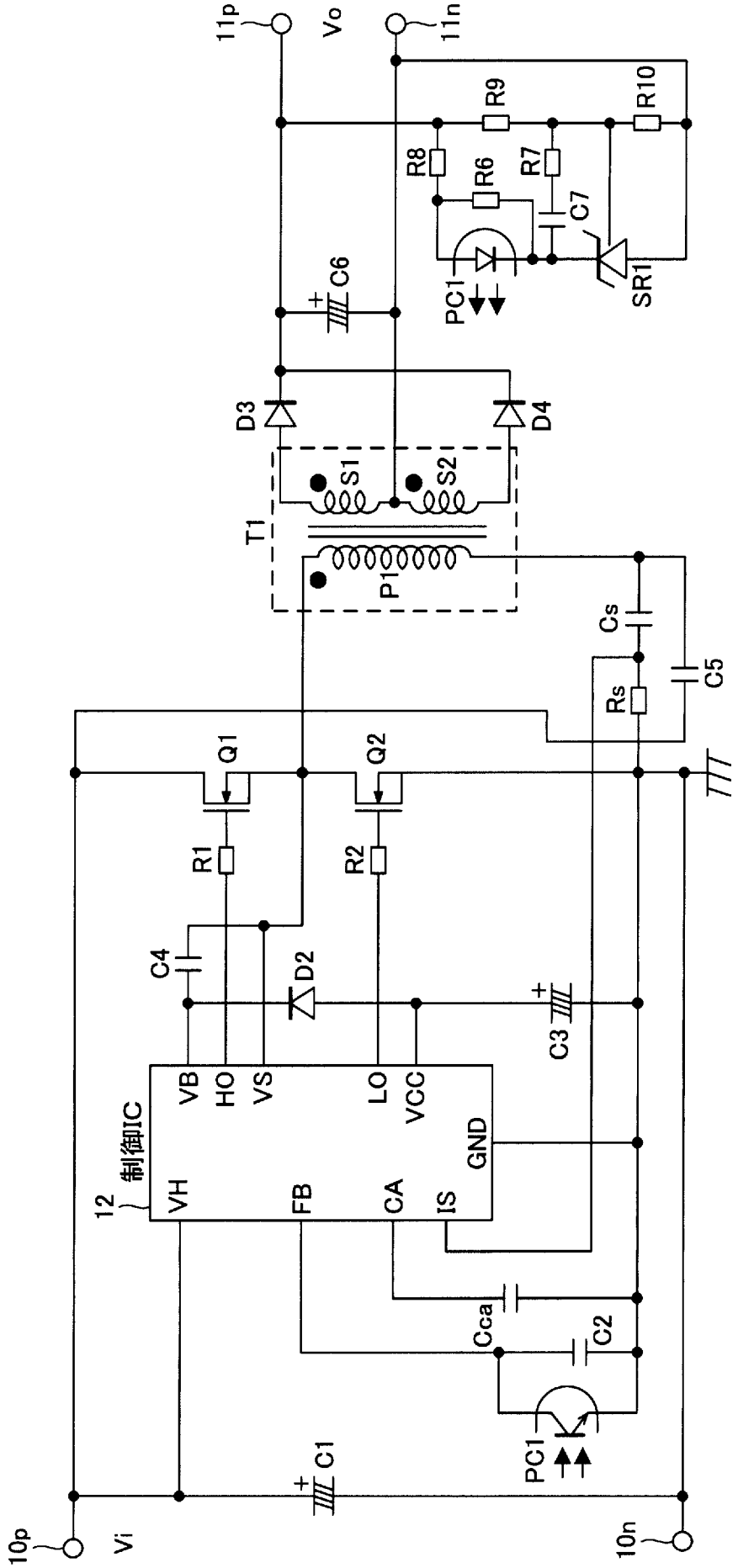
[図4]



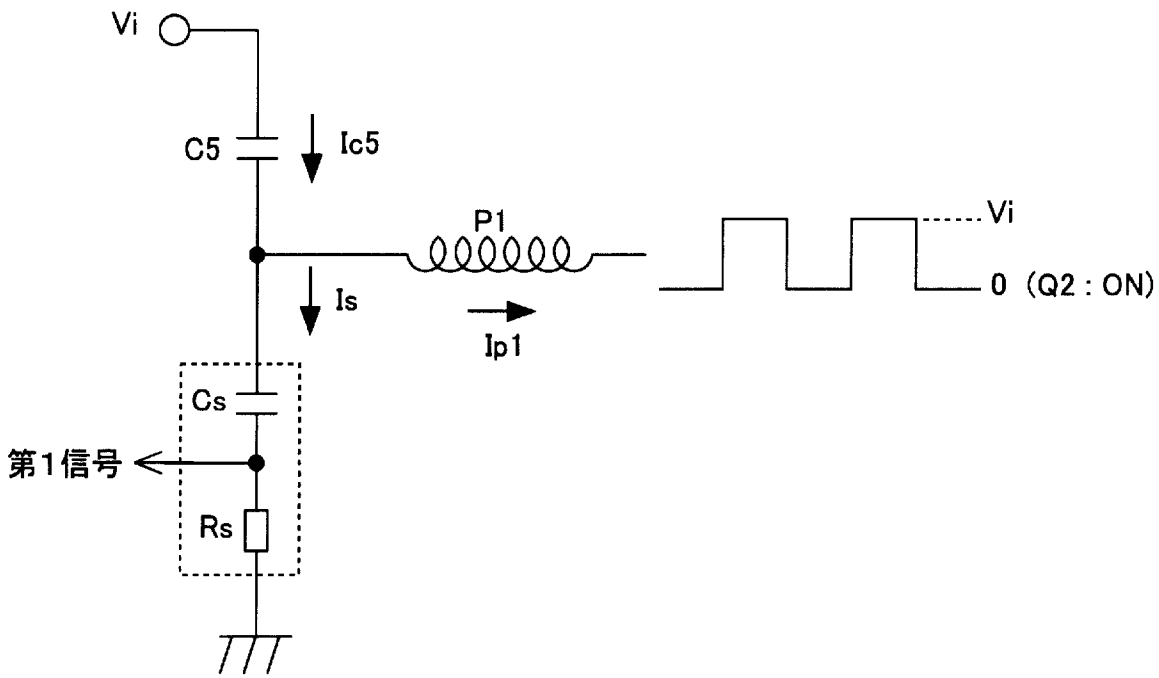
[図5]



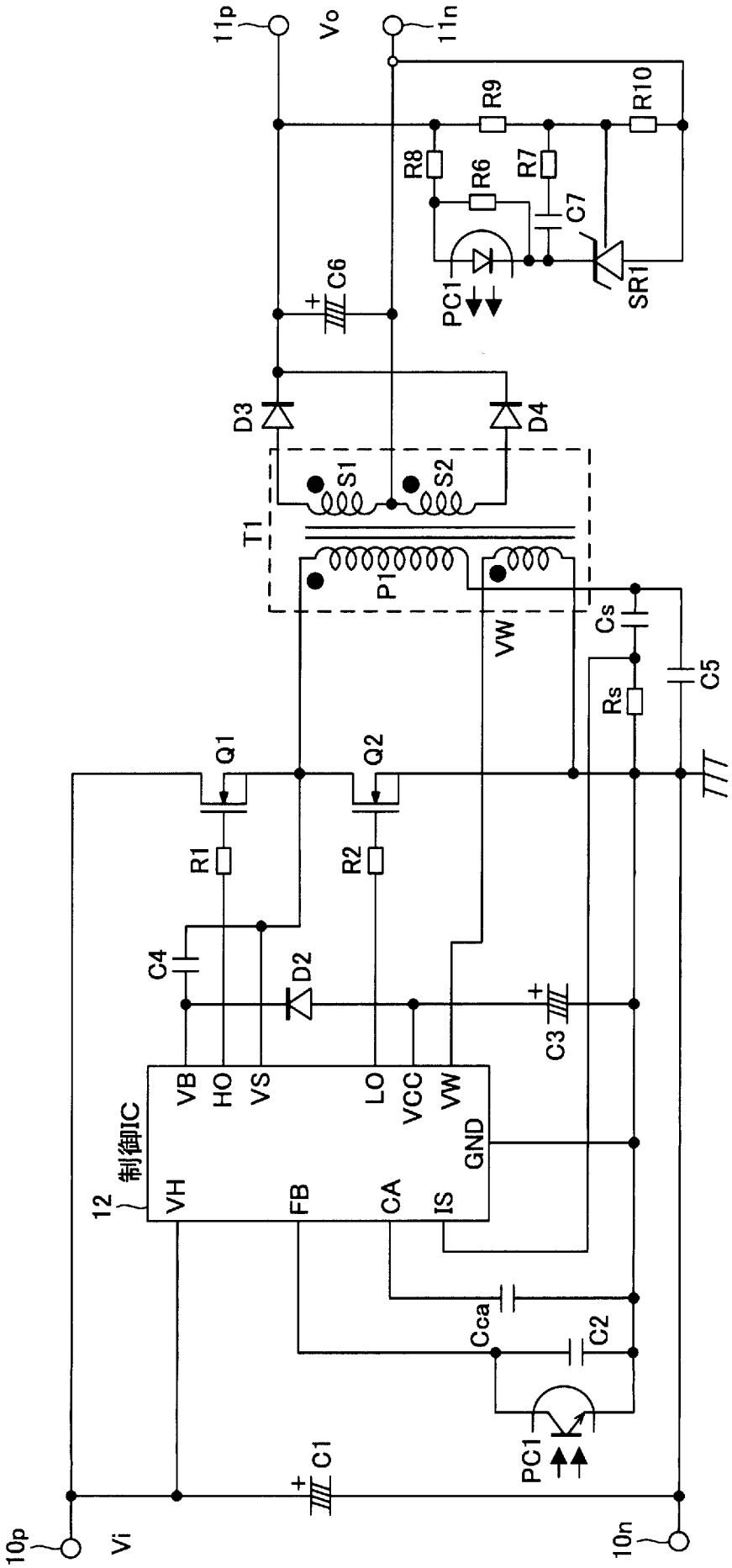
[図6]


11p
Vo
11n
R9
R10
R8
R6
R7
C7
C6
PC1
SR1
D3
D4
S1
S2
T1
P1
Cs
C5
Rs
Q1
Q2
R1
R2
C4
D2
C3
VB
HO
VS
LO
VCC
GND
制御IC
12
VH
FB
CA
IS
Cca
C2
PC1
C1
10p
Vi
10n

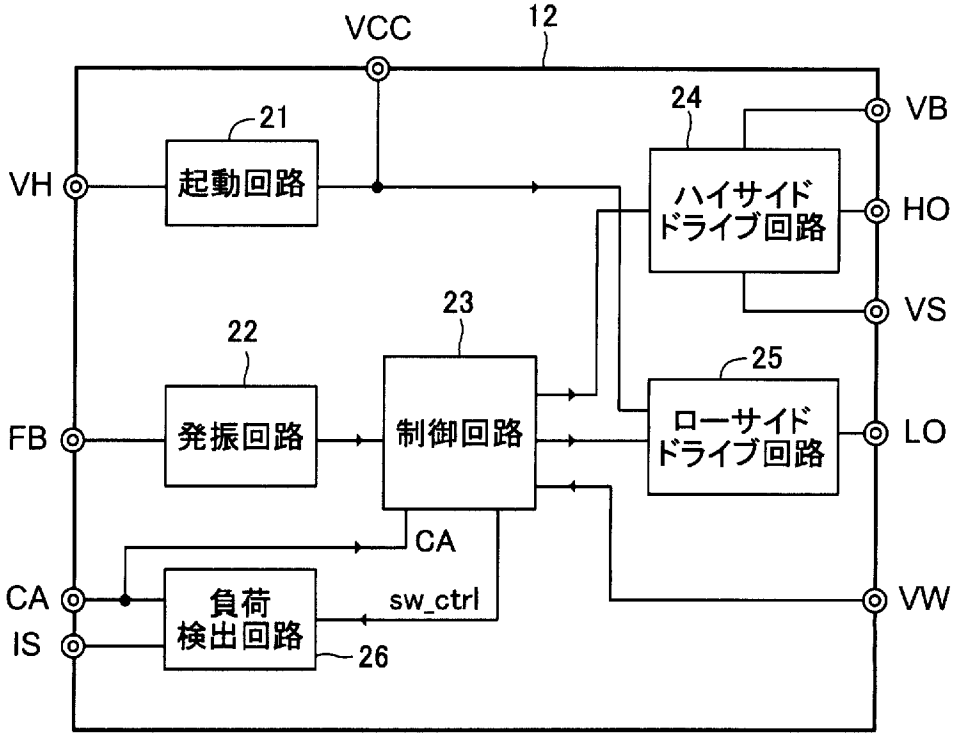
[図7]



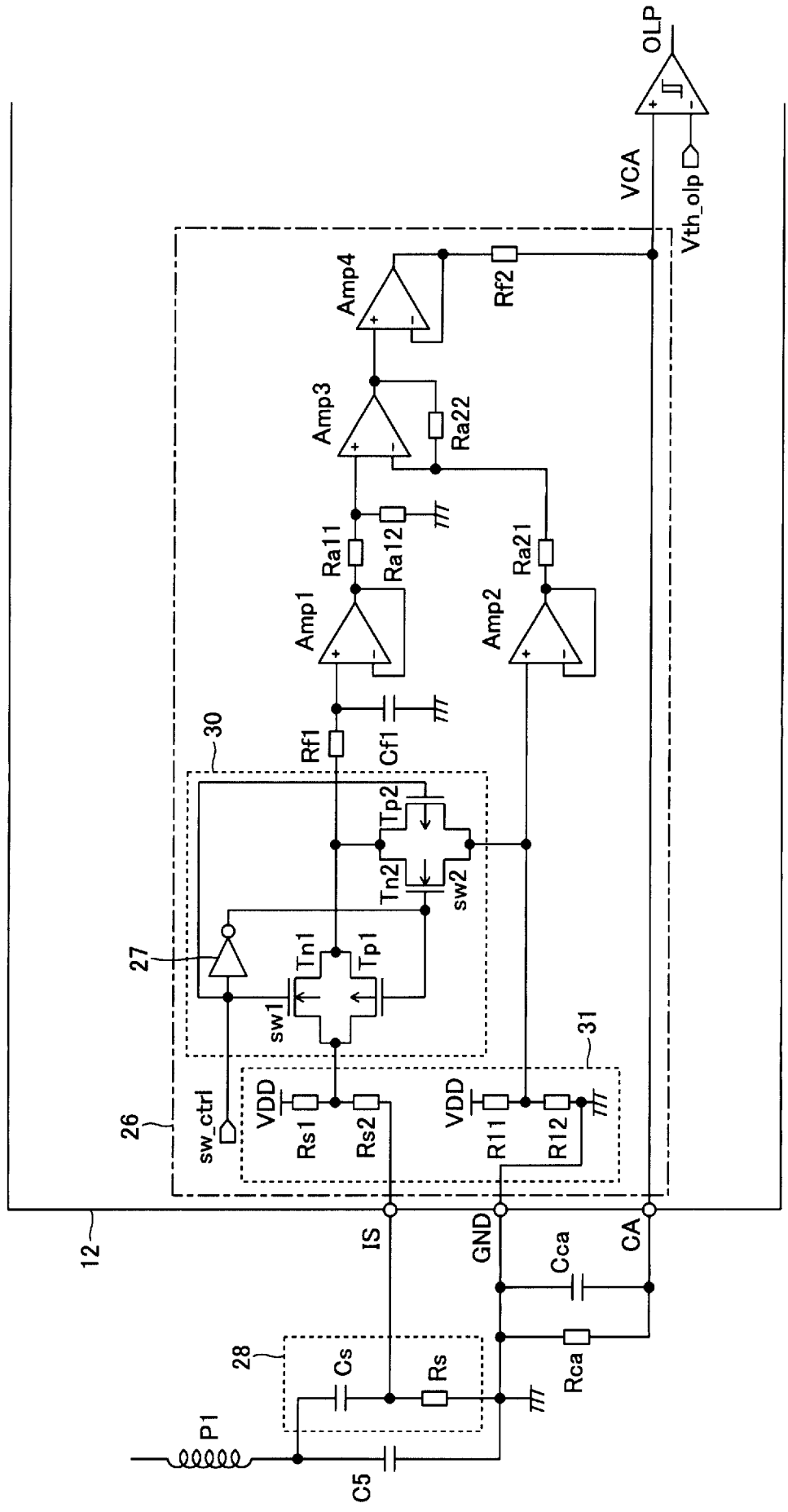
[図8]


11p
Vo
11n
R9
R10
R8
R6
R7
C7
C6
PC1
SR1
D3
D4
S1
S2
T1
P1
VW
Cs
C5
Rs
Q1
Q2
R1
R2
C4
D2
C3
VB
HO
VS
LO
VCC
VW
GND
制御IC
12
VH
FB
CA
IS
Cca
C2
PC1
C1
10p
Vi
10n

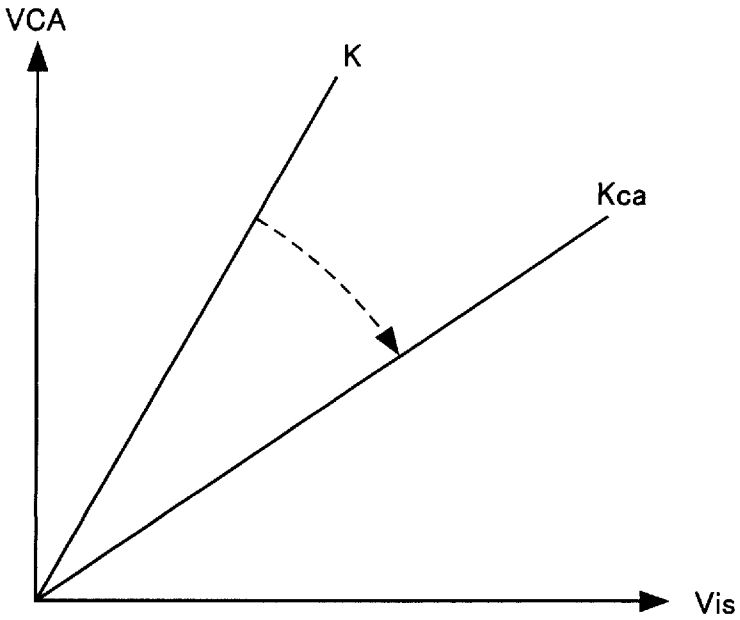
[図9]


VCC
12
21
起動回路
VH
24
ハイサイド
ドライブ回路
VB
HO
VS
23
22
25
FB
発振回路
制御回路
ローサイド
ドライブ回路
LO
CA
CA
負荷
検出回路
sw_ctrl
VW
IS
26

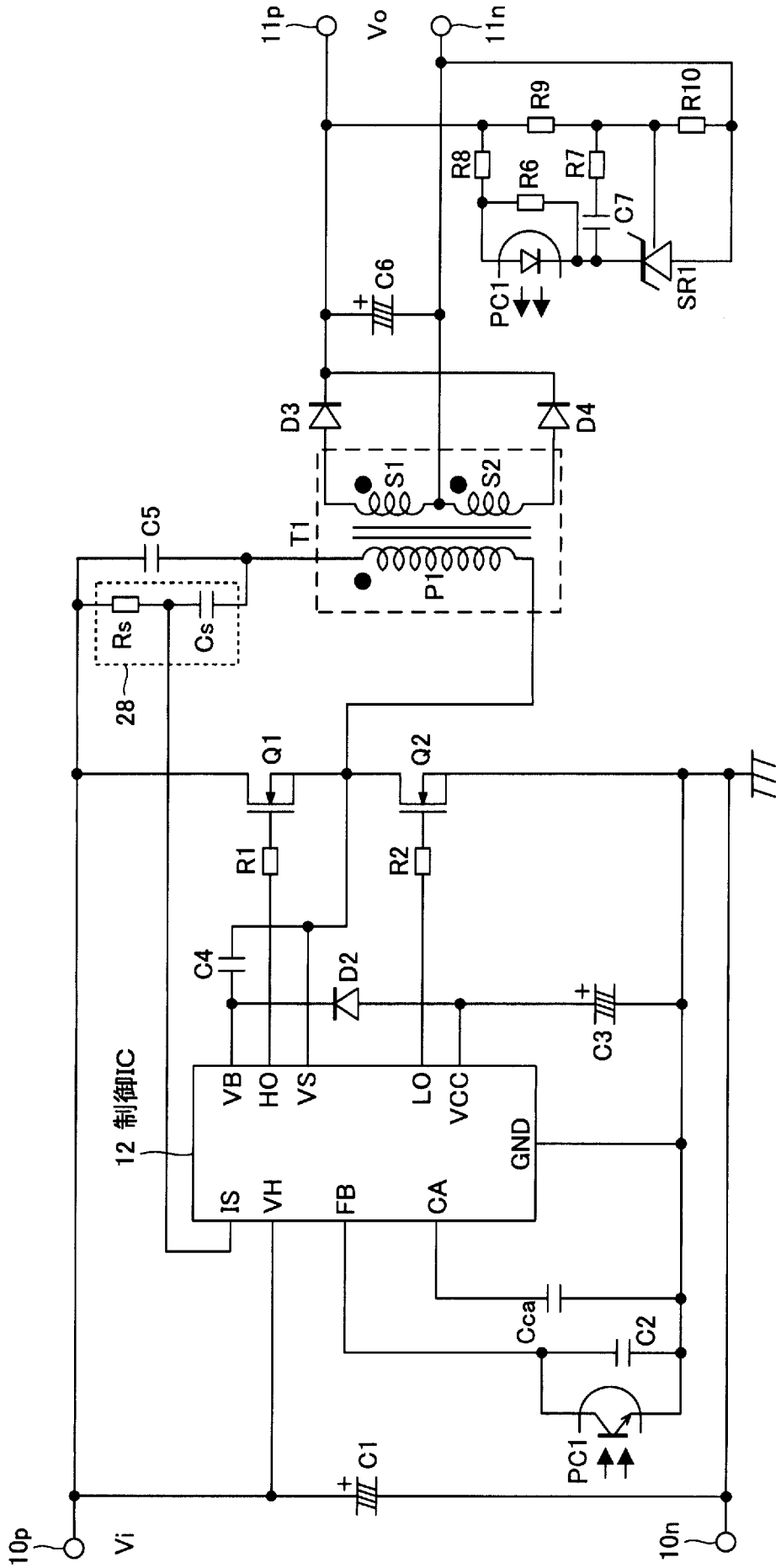
[図10]


OLP
VCA
Vth_olp
Amp4
Rf2
Amp3
Ra22
Ra11
Ra12
Ra21
Amp1
Amp2
30
Rf1
Cf1
Tp2
Tn2
sw2
27
Tn1
Tp1
sw1
31
26
sw_ctrl
VDD
Rs1
Rs2
VDD
R11
R12
12
IS
GND
CA
Cca
28
Cs
Rs
Rca
P1
C5

[図11]



[図12]


11p
Vo
11n
R9
R10
R8
R6
R7
C7
PC1
SR1
C6
D3
D4
S1
S2
T1
P1
C5
Rs
Cs
28
Q1
Q2
R1
R2
C4
D2
C3
12 制御IC
VB
HO
VS
LO
VCC
GND
IS
VH
FB
CA
Cca
C2
PC1
C1
10p
Vi
10n

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/084133

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-60895 A (Minebea Co., Ltd.), 03 April 2014 (03.04.2014), paragraphs [0017] to [0029]; fig. 1 (Family: none)	1-8
A	JP 2009-189108 A (Shindengen Electric Mfg. Co., Ltd.), 20 August 2009 (20.08.2009), paragraphs [0020] to [0029]; fig. 1 to 2 (Family: none)	1-8
A	US 2013/0301305 A1 (POWER INTEGRATIONS, INC.), 14 November 2013 (14.11.2013), paragraphs [0018] to [0031]; fig. 1 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 February 2016 (04.02.16)	16 February 2016 (16.02.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０８４１３３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-60895 A（ミネベア株式会社）2014.04.03, 段落[0017]－[0029], 図１（ファミリーなし）	1-8
A	JP 2009-189108 A（新電元工業株式会社）2009.08.20, 段落[0020]－[0029], 図１－２（ファミリーなし）	1-8
A	US 2013/0301305 A1 (POWER INTEGRATIONS, INC.) 2013.11.14, 段落[0018]－[0031], FIG.1（ファミリーなし）	1-8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．０２．２０１６	１６．０２．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　３７４０
安食　泰秀
電話番号　０３－３５８１－１１０１　内線　３３５７