

(72) 발명자

미나르, 필립

프랑스 35 576 쉐송 셰비네 셰에스 176 16 자크 데
상 블랑 아브뉴 데 상 블랑 975 페르니폴로르 에르
에 데 프랑스

마롱 프랑쥬와

프랑스 35 576 쉐송 셰비네 셰에스 176 16 자크 데
상 블랑 아브뉴 데 상 블랑 975 페르니폴로르 에르
에 데 프랑스

특허청구의 범위

청구항 1

적어도 하나의 제1 도전층(M1), 제1 유전체층(d1), 제2 도전층(M2), 제2 유전체층(d2) 및 제3 도전층(M3)을 순서대로 포함하는 다층 기판에 형성된 콤팩트한 슬롯 안테나(compact slot antenna)로서,

상기 제2 도전층(M2)에서 실현된 제1 슬롯 라인(10, 20, 30) - 상기 제1 슬롯 라인은 상기 안테나의 공급부(supply)(13, 23, A)에 접속됨 - , 및

상기 제1 도전층 및 제3 도전층에서 각각 실현된 제2 슬롯 라인 및 제3 슬롯 라인 - 상기 제2 슬롯 라인 및 제3 슬롯 라인(11, 12, 21, 22, 31, 32) 각각은, 제1 말단(extremity)인 공급 측(supply side)이 상기 제2 도전층에서 실현된 윈도를 통과하는 비아(via)에 의해 상호접속되고 제2 말단이 상기 제2 도전층에 접속되는, 2개의 도전성 스트립에 의해 한정되며, 상기 제2 말단의 측에서 2개의 도전성 스트립 모두는 개방 회로 내에 또는 단락 회로 내에 있음 -

을 포함하고,

상기 제1 슬롯 라인, 제2 슬롯 라인 및 제3 슬롯 라인의 전기 길이(electrical length)는 상기 안테나의 동작 주파수에서 파장의 함수인 슬롯 안테나.

청구항 2

제1항에 있어서,

상기 제1 슬롯 라인, 제2 슬롯 라인 및 제3 슬롯 라인은 중첩되는 슬롯 안테나.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 슬롯 라인, 제2 슬롯 라인 및 제3 슬롯 라인 모두는 상기 슬롯 안테나의 동작 주파수에서 파장 λ_g 의 함수로서 총 전기 길이(total electrical length)를 갖는 슬롯 안테나.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 슬롯 라인, 제2 슬롯 라인 및 제3 슬롯 라인의 상기 전기 길이가 $k\lambda_g/2$ 이고, k 는 정수이며, 상기 제2 슬롯 라인 또는 제3 슬롯 라인 중 하나는 단락 회로 내에 있는 슬롯 안테나.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 슬롯 라인, 제2 슬롯 라인 및 제3 슬롯 라인의 상기 전기 길이가 $k'\lambda_g/4$ 이고, k' 는 홀수 정수이며, 상기 제2 슬롯 라인 또는 제3 슬롯 라인 중 하나는 개방 회로 내에 있는 슬롯 안테나.

청구항 6

인쇄 회로 보드로서,

제1항 내지 제5항 중 어느 한 항에 따른 적어도 하나의 슬롯 안테나가 실현되어 있는 인쇄 회로 보드.

청구항 7

제6항에 있어서,

격리 슬롯들(S1, S2, S3, S4)에 의해 분리된 적어도 2개의 슬롯 안테나(A1, A2)를 포함하는 인쇄 회로 보드.

청구항 8

단말기로서,
제6항 또는 제7항에 따른 인쇄 회로 보드
를 포함하는 단말기.

명세서

기술 분야

[0001] 본 발명은 일반적으로 콤팩트한 슬롯 안테나에 관한 것이다. 특히, 다층 기판에서 실현된 콤팩트한 슬롯 안테나에 관한 것이다.

배경 기술

[0002] 무선 통신 분야에서, 송신 회로들의 용량을 증가시키고, 전체 시스템의 동작을 개선하기 위해 MIMO(다중 입력 다중 출력) 회로들의 사용이 빈번하게 증가하고 있다. MIMO 회로들의 사용은 일반적으로 단일 보드에 대해 실현될 안테나들의 수의 증가로 이어진다. 더욱이, 회로들의 통합을 용이하게 하기 위해, 안테나들은 이제 인쇄 회로 보드 또는 PCB 바로 위에 생성된다. 그러나, 물리 법칙의 적용시에, 안테나의 길이는 파장의 함수이다. 따라서, WiFi에서, 즉, 예를 들어, 2.4 GHz의 주파수 대역에서 동작할 수 있기 위해서, λ_g 의 함수인 슬롯 안테나의 길이는 수십 밀리미터이다. 이러한 길이는 안테나가 대량 생성에 사용되는 인쇄 회로 보드들 상에 통합되어야 할 때 무시할 수 없다. 더욱이, 인쇄 회로 보드들은 다층 구조를 갖는 기판들에 의해 가장 자주 구성된다.

[0003] 따라서, 기판의 다층 구조를 이용하는 콤팩트한 슬롯 안테나를 생성하기 위해, 가장 자연스런 아이디어는 도 1 및 2에 도시된 방식으로 슬롯 라인을 접는 것에 있다.

[0004] 도 1에는, 2개의 유전체층(d1, d2) 및 3개의 도전층(M1, M2, M3)을 갖는 기판의 단면도가 개략적으로 도시되어 있다. 이러한 타입의 기판 내에 콤팩트한 슬롯 안테나를 생성하기 위하여, 슬롯 라인(1)에 의해 표시된 바와 같이, 도전층(M3) 내에 슬롯 라인이 연속적으로 에칭되었다. 그 다음, 유전체층(d2)을 통과한 후에, 슬롯 라인은 도전층(M2) 내에 생성된 슬롯 라인(2)으로 계속된다. 그 다음, 유전체층(d1)을 통과하고, 도전층(M1) 내에 생성된 슬롯 라인(3)으로 계속된다. 슬롯 안테나의 공급 포인트(4)는 슬롯 라인(1)의 레벨에서 형성된다. 이러한 공급은 "크노르(Knorr)"로서 알려진 기술에 따라 전자기 결합에 의해 표준 방식으로 실현된다. 이 예에서, 3개의 슬롯 라인(1, 2, 3)은 중첩되고, 이들은 $\lambda_g/2$ 와 동일한, 공급 포인트(4)와 슬롯 라인(3)의 단락 회로 말단(short circuit extremity) 사이의, 총 전기 길이를 가지며, 여기서 λ_g 는 슬롯에서 동작 주파수에 유도된 파장(guided wavelength)이다.

[0005] 도 1에서와 같은, 이중으로 접힌 슬롯 안테나의 더 상세한 표현이 도 2의 사시도에 의해 제공된다. 이러한 경우에, 본 발명의 정확한 이해에 필요한 도전층들(M1, M2, M3)의 부분들만 도시된다. 따라서, 슬롯 라인(1)은 하부 도전층(M3)에서 에칭되었고, 이 슬롯은 하나의 말단에서 개방 회로 내에 있고, 도시되지 않은 다른 말단은 공급 라인에 결합된다. 더욱이, 슬롯 라인(2)은 도시된 실시예에서 L 형상을 갖는 2개의 도전성 스트립(B2, B'2)에 의해 한정되는 도전층(M2)에서 에칭되었다. 다음에, 도전층(M1)에는, 또한 L 형상인 2개의 도전성 스트립(B3, B'3)에 의해 한정되는 제3 슬롯 라인(3)이 형성되었다. 2개의 도전성 스트립(B3, B'3)은 도전성 스트립(B'3)으로 표시된 바와 같이 일 측에 단락 회로의 말단을 갖는다. 더욱이, 도전성 스트립들(B3, B2)은 도전층(M3)의 격리된 요소에 접속된 비아(V1) 자체에 의해 공급 포인트 말단의 측에서 상호접속된다. 마찬가지로, 2개의 도전성 스트립(B'3, B'2)은 비아(V'1)에 의해 도전층(M3)의 격리된 요소에 접속된다.

[0006] 더욱이, 도 2에 도시된 바와 같이, 개방 회로에서 슬롯 라인(2)을 한정하는 스트립들(B2, B'2)의 다른 대향 말단들은 비아들(V2, V'2)에 의해 각각 도전층(M3)에 접속되고 층들(B3, B'3)의 연속으로 실현된 도전층(M1)의 2개의 격리된 요소에 접속된다. 도 2에 도시된 바와 같이, 3개의 슬롯 라인(1, 2, 3,)은 중첩된다.

[0007] 공급 포인트와 슬롯(3)의 개방 회로 말단 사이의 3개의 슬롯 요소(1, 2, 3)의 전기 길이가 $\lambda_g/2$ 인 이러한 타입의 안테나가 WiFi 동작, 즉 2.4 GHz의 대역에서의 동작에 대해 시뮬레이션되었다. 시뮬레이션은 전자기 시뮬레이터 Momentum d'Agilent를 이용하여, 0.5mm씩 이격된 금속배선 레벨들을 갖는 기판인 FR4 기판들을 이용하여 이루어졌다. 이 경우에, 도 1 및 2에서와 같은 구조에 대한, 주파수의 함수로서의 임피던스 매칭 곡선이 도 3에 도시되어 있다. 이 곡선은 WiFi 대역의 주파수보다 큰 2.8 GHz의 주파수에서 공진을 갖는다. 더욱이, 이차적인 스퍼리어스 공진이 3.7 GHz 쪽에서 나타나며, 이는 그러한 슬롯 라인들의 적층의 결과로 슬롯 안테나의 이

상 행동이 나타난다는 것을 의미한다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명은 슬롯 라인들을 접기 위한 새로운 솔루션을 제안하며, 이는 인쇄 회로 보드들의 다층 구조가 콤팩트한 슬롯 안테나를 생성하는 데 사용되는 것을 가능하게 하여 인쇄 회로 보드의 크기가 제한되는 것 및/또는 여러 개의 안테나가 통합되는 것을 가능하게 한다. 이러한 새로운 솔루션은 전술한 문제들을 갖지 않는다.

과제의 해결 수단

[0009] 따라서, 본 발명은 적어도 하나의 제1 도전층, 제1 유전체층, 제2 도전층, 제2 유전체층 및 제3 도전층을 순서대로 포함하는 다층 기판에 형성된 콤팩트한 슬롯 안테나에 관한 것으로서, 이는 제2 도전층에서 실현되는 제1 슬롯 라인 - 상기 제1 슬롯 라인은 안테나의 공급부에 접속됨 -, 및 제1 및 제3 도전층들에서 각각 실현되는 제2 및 제3 슬롯 라인들 - 제2 및 제3 슬롯 라인들 각각은, 제1 말단, 즉, 공급 측은 제2 도전층에서 실현된 윈도우를 통과하는 비아에 의해 상호접속되고 제2 말단은 제2 도전층에 접속되는, 2개의 도전성 스트립에 의해 한정되며, 제2 말단의 측에서 2개의 도전성 스트립 모두는 개방 회로 또는 단락 회로 내에 있음 - 을 포함하고, 제1, 제2 및 제3 슬롯 라인들의 전기 길이는 안테나의 동작 주파수에서 파장의 함수이다.

[0010] 제1, 제2 및 제3 슬롯 라인들은 중첩되며, 슬롯 안테나의 동작 주파수에서 파장 λg 의 함수로서 총 전기 길이를 갖는다.

[0011] 제1 실시예에 따르면, 제1, 제2 및 제3 슬롯 라인들의 전기 길이가 $k\lambda g/2$ 이고, k 는 정수일 때, 제2 또는 제3 슬롯 라인 중 하나는 단락 회로에 있다.

[0012] 다른 실시예에 따르면, 제1, 제2 및 제3 슬롯 라인들의 전기 길이가 $k'\lambda g/4$ 이고, k' 는 홀수 정수일 때, 제2 또는 제3 슬롯 라인 중 하나는 개방 회로 내에 있다.

[0013] 종래에, 안테나의 공급부에 대한 슬롯 라인의 결합은 "크노르(Knorr)" 원리라는 이름으로 알려진 기술에 따라 제1 또는 제3 도전층 상에 실현된 마이크로스트립 라인과의 전자기 결합에 의해 실현된다.

[0014] 본 발명은 후술하는 실시예들에 따른 기판상에 실현된 적어도 하나의 슬롯 안테나를 포함하는 다층 기판상에 실현된 인쇄 회로 보드에 관한 것이다.

[0015] 본 발명은 또한 전술한 바와 같은 인쇄 회로 보드를 포함하는 단말기에 관한 것이다.

도면의 간단한 설명

[0016] 본 발명의 다른 특성들 및 장점들은 상이한 실시예들의 설명을 읽을 때 나타날 것이며, 이러한 설명은 첨부된 도면들을 참조하여 실현된다.

이미 설명된 도 1은 당업자에 의해 자연스럽게 실현되는 접힌 슬롯 안테나의 일 실시예의 단면도이다.

이미 설명된 도 2는 도 1에서의 안테나에 대한 개략적인 사시도이다.

이미 설명된 도 3은 도 1 및 2에 도시된 안테나의 dB에서의 임피던스 매칭을 주파수의 함수로서 나타낸다.

도 4a 및 4b는 본 발명에 따른 슬롯 안테나에 대한 제1 실시예 및 제2 실시예의 개략적인 단면도들이다.

도 5a 및 5b는 도 4a 및 4b에 각각 도시된 안테나들의 사시도들이다.

도 6a 및 6b는 도 5a 및 5b에 도시된 슬롯 안테나들의 주파수의 함수인 임피던스 매칭을 제공하는 곡선들이다.

도 7은 본 발명에 따른 슬롯 안테나의 다른 실시예를 평면도 및 사시도로 나타낸다.

도 8a 및 8b는 각각 도 7의 슬롯 안테나의 함수인 임피던스 매칭 (A)과 지향성 및 이득 (B) 곡선들이다.

도 9는 위에 도시된 것과 같은 안테나들을 구현하는 PCB 회로의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 먼저, 도 4 내지 6을 참조하여, 다층 기판상에 실현된, 전기 길이 $\lambda g/2$ 의 콤팩트한 슬롯 안테나에 대한 2개의

실시예를 설명할 것이다.

- [0018] 도 4a 및 4b에서 더 구체적으로 도시된 바와 같이, 다층 기판은 각각 2개의 유전체층(d1, d2)과 3개의 도전층, 즉, 유전체층(d1)의 상면 상의 상부 도전층(M1), 유전체층들(d1, d2) 사이의 중간 도전층(M2) 및 유전체층(d2)의 하면 상의 하부 도전층(M3)을 포함하는 기판이다.
- [0019] 도 4a 및 4b에 대한 2개 실시예에서, 슬롯 안테나는 먼저 중간 도전층(M2)에서 에칭되고, 유전체층(d1)의 상면 상에 또는 유전체층(d2)의 하면 상에, 마이크로스트립 기술로 실현된 공급 라인과의 전자기 결합에 의해 공급 포인트(13)에서 공급되는 슬롯 라인(10)에 의해 형성된다. 안테나의 공급 모드는 단지 예시적인 목적으로 제공된다.
- [0020] 제1 실시예에서, 슬롯 라인(10)은 상부 도전층(M1)에서 실현된 슬롯 라인(11)에 의해 계속된 다음 하부 도전층(M3)에서 실현된 슬롯 라인(12)에 의해 계속되며, 슬롯 라인들(10, 11, 12)은 중첩되고, 그들의 총 전기 길이는 $k\lambda g/2$ 인데 여기서 λg 는 동작 주파수에서의 파장이다.
- [0021] 더 구체적으로, 도 5a에 도시된 바와 같이, 도전층(M1)에서 실현된 슬롯 라인(11)은 도시된 실시예에서 L 형상을 갖는 2개의 도전성 스트립(B11, B'11)에 의해 한정된다. 더욱이, 하부 도전층(M3)에서는, L 형상을 갖는 2개의 도전성 스트립(B12, B'12)에 의해 한정되는 슬롯 라인(12)이 실현되었다. 이러한 2개의 도전성 스트립(B12, B'12)은 도전성 스트립(B'12)에 의해 상호접속되어, 슬롯 라인(12)은 단락 회로로 끝난다. 더욱이, 방사 슬롯 라인을 얻기 위해, 상이한 도전성 스트립들이 아래의 방식으로 상호접속된다.
- [0022] 도 5a에 도시된 바와 같이, 중간 도전성 스트립(M2)은, 슬롯 라인(10)의 각각의 측에서, 공급 측인 2개의 원도(F, F')를 갖고, 2개의 비아(V, V')가 각각 이들을 통과하여 도전성 스트립(B'12)의 말단들 중 하나를 도전성 스트립(B11)의 대응하는 말단에 접속하고, 도전성 스트립(B'12)의 말단들 중 하나를 도전성 스트립(B'11)의 대응하는 말단에 접속한다. 더욱이, 도전성 스트립(B11)의 자유 말단은 비아(V'')를 통해 도전층(M2)에 접속되고, 도전성 스트립(B12)의 연속인 도전층(M3)의 격리된 요소(EM3)에 접속된다. 마찬가지로, 도전성 스트립(B'11)의 말단은 중간 층(M2)에 접속되고, 도전성 스트립(B'12)에 연속하여 배치된 도전층(M3)의 격리된 요소(EM3')에 접속된다. 이것은 도 4a에서 화살표로 표시된 바와 같이 상이한 슬롯들(10, 11, 12) 간의 접속을 획득하는 것을 가능하게 한다.
- [0023] 이제, 도 5b를 참조하여, 전기 길이 $\lambda g/2$ 의 슬롯 안테나에 대한 제2 실시예를 설명할 것이다. 이 경우에, 도 4b에 도시된 바와 같이, 슬롯 라인(20)이 먼저 중간 도전층(M2)에서 에칭되고, 도 4a의 실시예의 공급 포인트(13)로서 공급 포인트(23)가 실현된다. 이 경우에, 제2 슬롯 라인(21)은 하부 도전층(M3)에서 실현된다. 도 5b에 도시된 바와 같이, 이 슬롯 라인(21)은 2개의 도전성 스트립(B21, B'21)에 의해 한정된다. 제3 슬롯 라인(22)은 상부 도전층(M1)에서 실현된다. 도 5b에 도시된 바와 같이, 이 슬롯 라인(22)은 단락 회로에서 슬롯 라인을 형성하는 도전성 요소(B'22)에 의해 공급 포인트 반대 측에서 상호접속되는 2개의 도전성 스트립(B22, B'22)에 의해 한정된다. 도 5a의 실시예에서와 같이, 도전성 스트립들은 L 형상을 갖는다. 더욱이, 도 5b에 도시된 바와 같이, 중간 도전층(M2)은 L 형상 부분의 하부 아암(arm)의 레벨에서 도전성 스트립(B21)과 도전성 스트립(B22)의 상호접속 및 도전성 스트립(B'21)과 도전성 스트립(B'22)의 상호접속을 위해 비아들(V, V')에 대한 통과를 허용하는 2개의 원도(F, F')를 갖는다. 더구나, 도전성 스트립들(B21, B'21)에 각각 연속하여 제1 도전층(M1)에서 실현된 격리된 도전성 요소(EM1) 및 격리된 도전성 요소(EM1') 양자는 비아들(V'', V''')에 의해 제2 도전층(M2)에는 물론, 도전성 스트립(B21) 및 도전성 스트립(B'21)에 각각 접속되어, 도 4b에서 화살표로 표현된 바와 같은 슬롯 라인들(20, 21, 22)의 상호접속을 획득한다.
- [0024] 이러한 2개의 구조는 도 2에 도시된 안테나에 대해 사용된 것과 동일한 시뮬레이션 방법을 이용하여 시뮬레이션 되었으며, 도 4a 및 4b의 안테나들은 도 1에 도시된 기판과 동일한 기판상에 실현되었다.
- [0025] 이러한 경우에, 도 6a 및 6b는 도 5a 및 5b의 슬롯 안테나들의 주파수의 함수로서 임피던스 매칭 곡선들을 나타낸다. 이러한 경우에, 임피던스 매칭 곡선들은 원하는 WiFi 주파수에 대응하는 2.5 GHz의 주파수에서 공진을 나타내는 것으로 보인다. 도 3의 곡선과 관련하여, 도 6a 및 6b에서는, 스푸리어스 공진의 부재, 즉 단일 층에 인쇄된 기본 슬롯 안테나와 유사한 공진이 관찰된다. 더욱이, 도 3에서, 공진 주파수는 도 6a 및 6b에서 관찰되는 공진 주파수들보다 높으며, 이것은 슬롯 라인의 단일 총 길이에 대한 것이다. 따라서, 동일한 공진 주파수에서, 본 발명의 양측 실시예들은 더 감소된 안테나 크기를 수반한다.
- [0026] 이제, 도 7 및 8을 참조하여 $\lambda g/4$ 의 전기 길이를 갖는 슬롯 안테나를 설명할 것이다.
- [0027] 도 7의 좌측 부분에 개략적으로 도시된 바와 같이, 슬롯 라인(30)은 먼저 중간 도전층(M2)에서 실현되며, 이 슬

롯 라인은, 예를 들어, 크노르(Knorr)에 따라 슬롯 라인(30)과의 전자기 결합을 실현하는 방식으로 상부 도전층(M1)에서 마이크로스트립 기술로 실현되는 피더(feeder) 라인(A)에 의해 공급된다.

[0028] 도 7의 우측 부분에 개략적으로 도시된 바와 같이, 상부 도전층(M1)에서는 2개의 도전성 스트립(B31, B'31)에 의해 한정되는 슬롯 라인(31)이 실현되었다. 이 슬롯 라인(31)은 도 7에 도시된 바와 같이 개방 회로로 끝난다.

[0029] 더구나, 도전층(M3)에서는, 2개의 도전성 스트립(B32, B'32)에 의해 한정되는 슬롯 라인(32)이 실현되었다. 도전성 스트립들(B31, B'31, B32, B'32)은 일반적으로 그들의 상호접속을 용이하게 하기 위해 모두 L 형상이다.

[0030] 도 7에 도시된 바와 같이, 각각의 도전성 스트립(B31, B'31)에 연속하여, 도전층(M1)에서 격리된 요소(EM1, EM1')가 각각 실현되었다. 이 요소(EM1, EM1')는 비아들(V'', V''')에 의해 도전성 스트립들(B31, B'31)의 말단들에 접속되며, 이러한 비아들은 중간 도전층(M2)에 접속되지 않는다. 더구나, 도 7에 도시된 바와 같이, 도전성 스트립들(B32, B31, B'32, B'31)의 다른 말단은, 도 7에 도시된 바와 같이, 메인 중간 도전층(M2)에서 절단된, 중간 도전층(M2)의 격리된 요소들(EM2, EM2')에도 접속된 비아들(V, V')에 의해 접속된다.

[0031] 이러한 경우에, 3개의 슬롯 라인 요소(30, 31, 32)의 총 전기 길이는 $\lambda_g/4$ 이며, 여기서 λ_g 는 동작 주파수에서의 파장이다. 이러한 타입의 슬롯 안테나는 도 2 또는 5에 도시된 슬롯 안테나들에 대한 것과 동일한 기준들 및 동일한 도구를 이용하여 시뮬레이션되었다.

[0032] 도 8a는 도 7에 도시된 슬롯 안테나의 주파수에 따른 임피던스 매칭 곡선을 나타낸다. 도 8a는 WiFi에서 사용되는 주파수들에 대응하는 2.4와 2.5 GHz 사이에 포함된 주파수에 대한 공진을 나타낸다. 안테나는 동작 대역에서 -10dB보다 작은 임피던스 매칭을 갖는다. 더욱이, 도 7의 안테나는 도 8b에 도시된 바와 같은 이득 및 지향성을 갖는다. 얻어진 이득(약 2dBi) 및 지향성(약 3.5dBi)은 접하지 않은 슬롯 안테나의 이득 및 지향성에 근접하다.

[0033] 이제, 도 9를 참조하여 도 7에 도시된 바와 같이 접힌 1/4 파 슬롯 안테나들에 대한 구현을 간단히 설명할 것이고, 이 구현은, 예를 들어, MIMO 2*2 애플리케이션을 위해 사용된다. 하나의 도전층에 의해 분리된 적어도 2개의 유전체층 및 2개의 외부 도전층을 갖는 다층 기판을 포함하는, PCB로서 표시되는 인쇄 회로 보드 상에, 2개의 1/4 파 안테나(A1, A2)가 실현되었으며, 이들 안테나는 슬롯들(S1, S2, S3, S4)에 의해 격리된다. 도 9의 안테나는 40 x 120 mm의 치수를 갖는 회로 상에서 실현될 수 있다. 도 9에 도시된 것과 같은 안테나들로 실현된 안테나 시스템의 성능은 2.4-2.5 GHz 대역에서 아래와 같다.

[0034] -14dB보다 적은 손실 레벨.

[0035] 안테나 격리가 17dB보다 크다.

[0036] 3dBi보다 큰 지향성 및 2dBi에 가까운 이득.

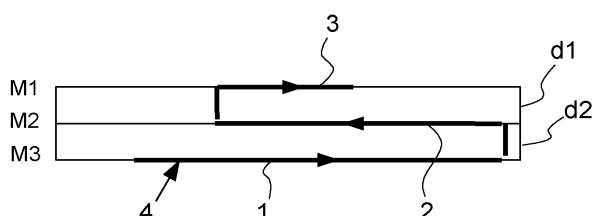
[0037] 표준 방사 패턴.

[0038] 접힌 슬롯 안테나는 그의 소형성으로 인해 많은 장점 가운데 특히 전자 보드 상의 배치 및 배향에 대한 보다 큰 유연성을 가능하게 하며, 이는, 예를 들어, 특정 커버리지 요구들을 충족시키거나, 축소된 크기 및 저비용의 전자 제품에 고유한 기계적 스트레스들이 자주 유발하는 마스킹 존들을 피하는 것을 가능하게 한다.

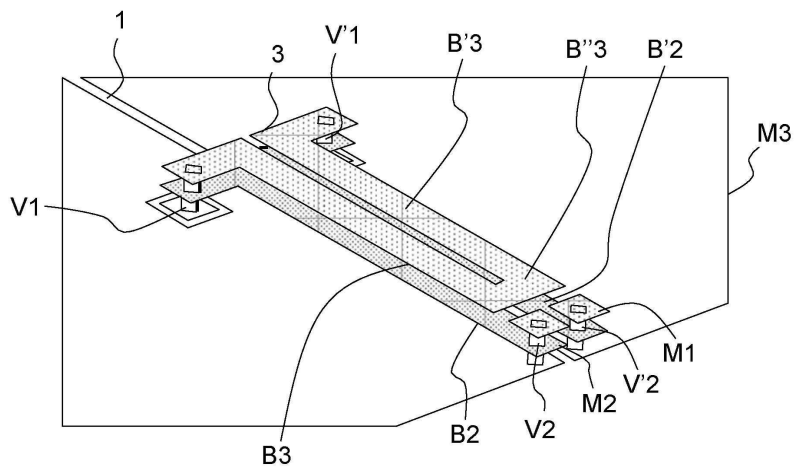
[0039] 따라서, 다층 기판에서 실현된 슬롯 라인들의 특정 접기(folding)를 이용함으로써, 안테나의 총 전기 길이보다 훨씬 더 작은 물리적 길이를 갖는 콤팩트한 슬롯 안테나를 얻을 수 있다.

도면

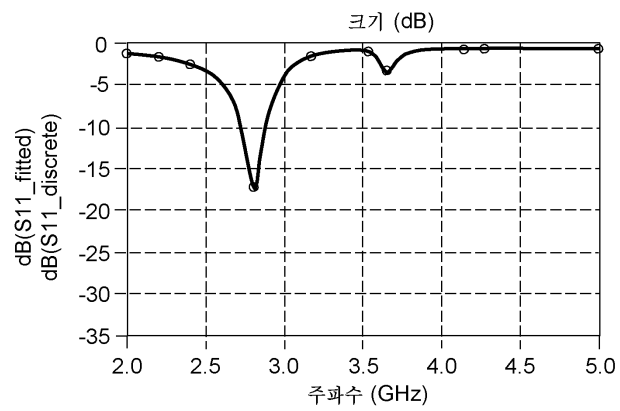
도면1



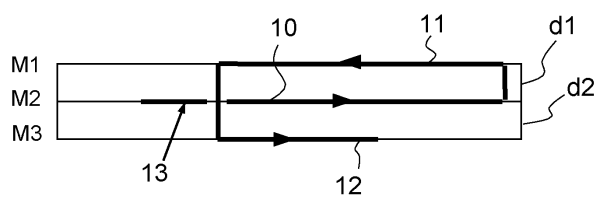
도면2



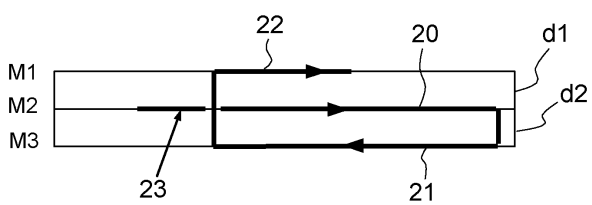
도면3



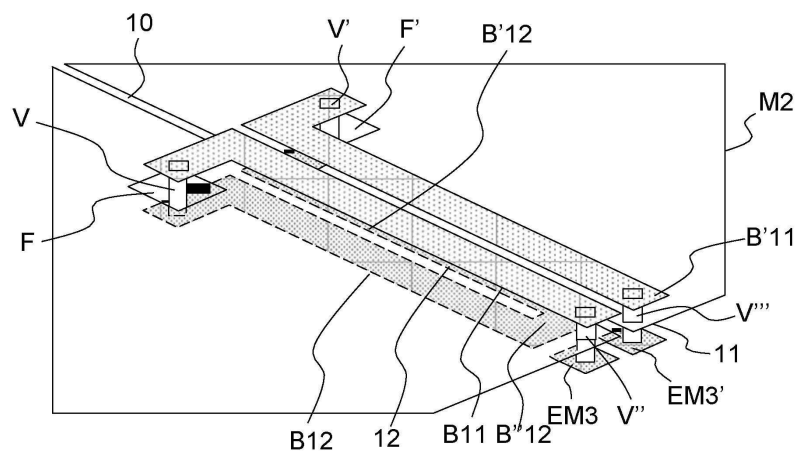
도면4a



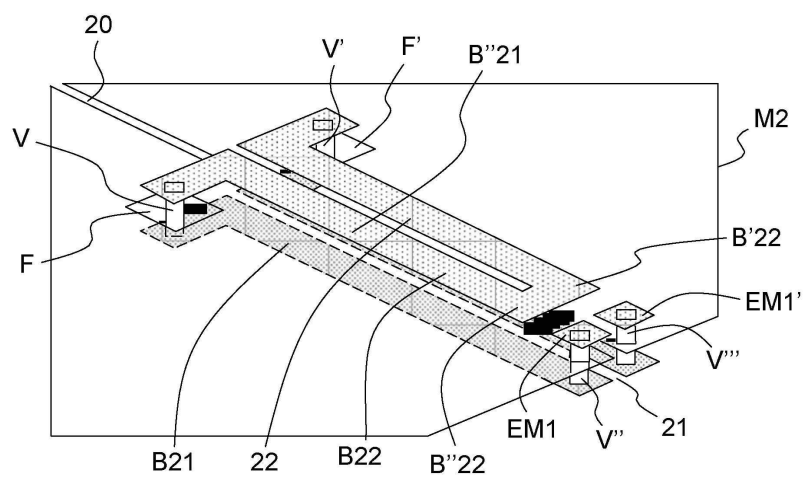
도면4b



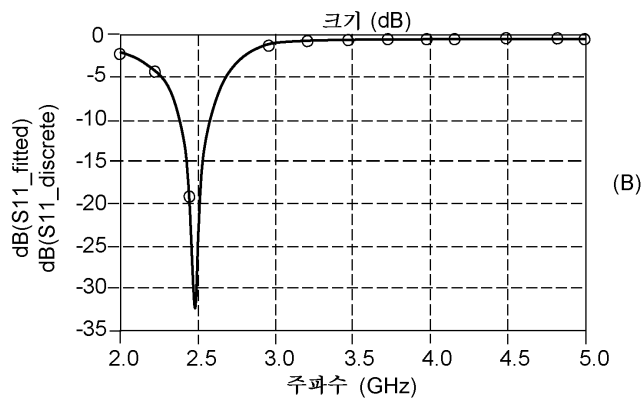
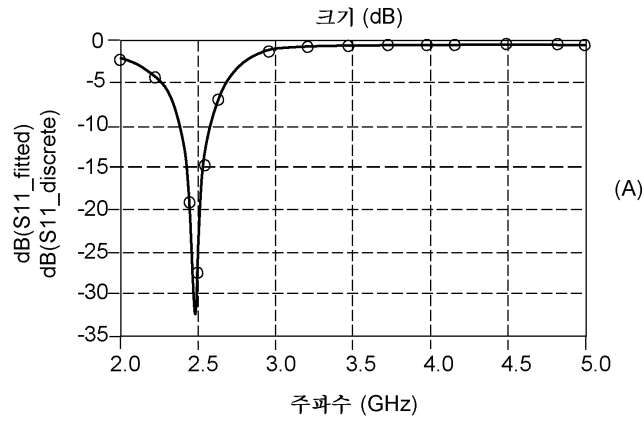
도면5a



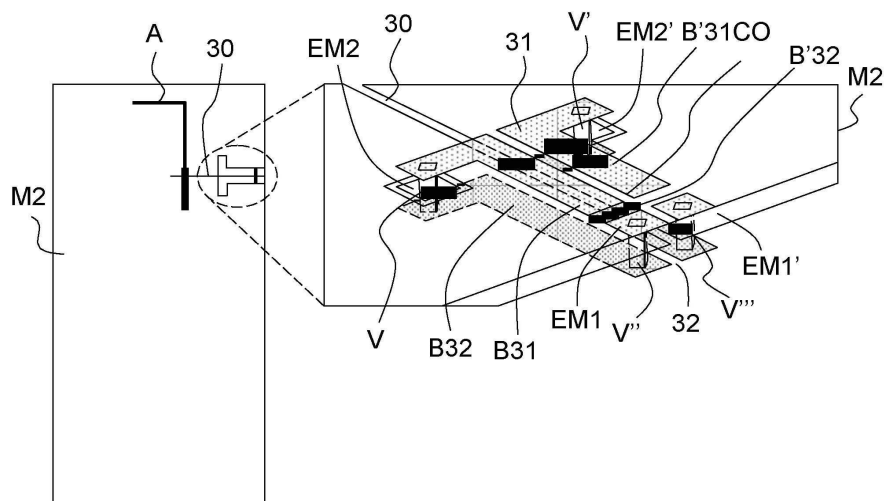
도면5b



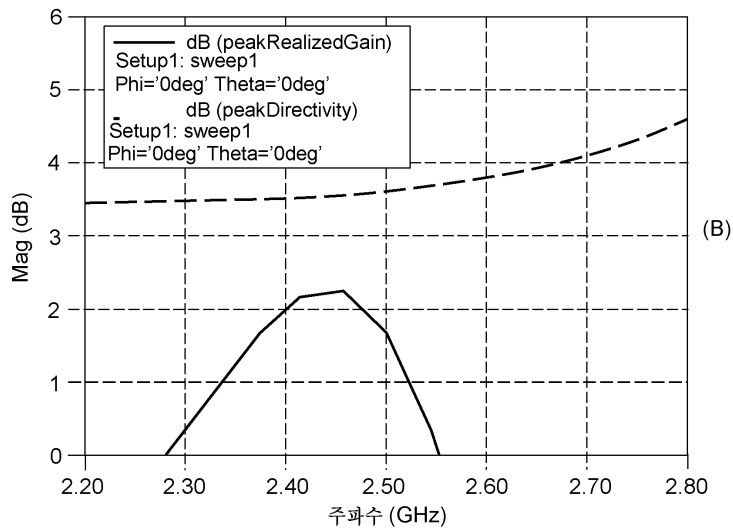
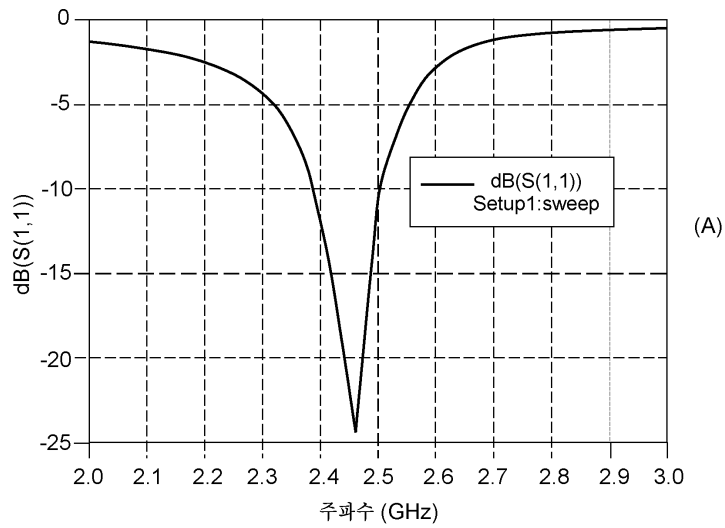
도면6



도면7



도면8



도면9

