(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5402222号
(P5402222)
(45)発行日　平成26年1月29日(2014.1.29)　(24)登録日　平成25年11月8日(2013.11.8)

(51)Int.Cl.　F I
H01S 5/22 (2006.01)　H01S 5/22

請求項の数 2　(全 12 頁)

(21)出願番号　特願2009-111082(P2009-111082)
(22)出願日　平成21年4月30日(2009.4.30)
(65)公開番号　特開2010-262999(P2010-262999A)
(43)公開日　平成22年11月18日(2010.11.18)
審査請求日　平成24年4月10日(2012.4.10)

(73)特許権者　000226057
日亜化学工業株式会社
徳島県阿南市上中町岡４９１番地１００
(72)発明者　小谷　靖長
徳島県阿南市上中町岡４９１番地１００
日亜化学工業株式会社内

審査官　日夏　貴史

最終頁に続く

(54)【発明の名称】半導体素子の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体素子の製造方法であって、
（ａ）基板上に、半導体層を積層し、該半導体層上に所定形状のマスク層を形成する工程と、
（ｂ）前記マスク層の開口部から前記半導体層の一部を除去してリッジを形成する工程と、
（ｃ）少なくともリッジ底面領域からリッジ上面の前記マスク層上に至る領域に保護膜を形成する工程と、
（ｄ）リッジ上面以外の前記保護膜上に第２のマスク層を該第２のマスク層の上面が前記リッジ上面よりも高い位置となるように形成する工程と、
（ｅ）前記リッジ上面のマスク層及び保護膜を除去することで、リッジ上面を露出させるとともに前記保護膜の先端部をリッジより高い位置に形成する工程と、
（ｆ）前記リッジ上面、前記保護膜の先端部および前記第２のマスク上に電極材料膜を形成する工程と、
（ｇ）前記第２のマスク層を除去することにより前記リッジ上面および前記保護膜の先端部上のみに電極材料膜を形成する工程と、を具備することを特徴とする半導体素子の製造方法。
【請求項２】
工程（ｄ）において、第２のマスク層を形成した後、エッチバックすることによりリッジ

上面以外の領域に該第２のマスク層をパターン形成する請求項１に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体素子及びその製造方法に関し、特に電極や保護膜等の材料に制約を受けない簡便な製造工程を実現しながら、信頼性に優れた半導体素子及びその製造方法に関する。

【背景技術】

【０００２】

従来から、化合物半導体素子におけるｐ側半導体層の表面に、ストライプ状のリッジを形成し、そのリッジ下方の活性層を導波路領域とする化合物半導体素子が提案されている。このような化合物半導体素子は、通常、基板の上に積層された化合物半導体層に、ストライプ状のリッジを形成し、このストライプ状のリッジに電極を電気的接続させている。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００５－３４７６３０号公報

【特許文献２】特開２００８－１０９０９２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかし、特許文献２の方法では、半導体素子の製造工程において、保護膜や電極の材料の制約を受けることがあり、多種の材料を選定することが出来ず、場合によっては素子特性を犠牲にすることや高価な材料を選定せざるを得ないという課題があった。

また、特許文献２の半導体レーザ素子においては、所望のビーム特性が得られないという課題や動作時の電流リークが発生するという課題があった。

【０００５】

本発明は上記課題に鑑みなされたものであり、材料の制約を受けない簡便な製造工程を実現しながら、信頼性を向上させた半導体素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【０００６】

本発明の半導体素子は、基板上に積層された半導体層と、前記半導体層の表面に形成されたストライプ状のリッジと、前記リッジ上に形成された電極と、を備えてなる半導体素子であって、前記リッジの側面には保護膜が被覆されており、該保護膜の先端部は前記リッジ上面よりも高い位置に形成されており、前記リッジ上面および前記保護膜の先端部上に電極を有することを特徴とする。

【０００７】

前記電極は、前記リッジ上面でのみ半導体層と接合していることが好ましい。

【０００８】

前記保護膜及び前記電極上にはパッド電極が被覆されていることが好ましい。

【０００９】

前記保護膜の先端部は、リッジ上面より１０００Å以上高いことが好ましい。

【００１０】

また、本発明の半導体素子の製造方法は、

（ａ）基板上に、半導体層を積層し、該半導体層上に所定形状のマスク層を形成する工程と、

（ｂ）前記マスク層の開口部から前記半導体層の一部を除去してリッジを形成する工程と、

（ｃ）少なくともリッジ底面領域からリッジ上面の前記マスク層上に至る領域に保護膜を形成する工程と、
（ｄ）リッジ上面以外の前記保護膜上に第２のマスク層を形成する工程と、
（ｅ）前記リッジ上面のマスク層及び保護膜を除去することで、前記保護膜の先端部をリッジより高い位置に形成する工程と、
（ｆ）少なくとも前記リッジ上面および前記保護膜の先端部上に電極材料膜を形成する工程と、を具備するものである。
【００１１】
工程（ｄ）において、第２のマスク層を形成した後、エッチバックすることによりリッジ上面以外の領域に該第２のマスク層をパターン形成することが好ましい。
【００１２】
工程（ｄ）における第２のマスク層の上面が前記リッジ上面よりも高い位置に形成されることが好ましい。
【発明の効果】
【００１３】
本発明の半導体素子によれば、材料の制約を受けない簡便な製造工程を実現しながら、信頼性を向上させた半導体素子を得ることができる。
【図面の簡単な説明】
【００１４】
【図１】本発明の一実施の形態に係る半導体素子の構造を説明する概略横断面図である。
【図２】本発明の一実施の形態に係る半導体素子の構造を説明するための要部の概略横断面図である。
【図３】本発明の半導体素子の製造方法を説明するための要部の概略断面工程図である。
【図４】本発明の半導体素子の製造方法を説明するための要部の概略断面工程図である。
【発明を実施するための形態】
【００１５】
本発明の半導体素子は、主として、基板と、半導体層と、電極と、保護膜とを備えて構成される。このような半導体素子は、典型的には、図１に示すように、基板１０上に、ｎ側半導体層１１、活性層１２及びｐ側半導体層１３が順に積層された半導体層２０を有しており、その表面には、ストライプ状のリッジ１４が形成されている。また、保護膜１６は、半導体層２０上に形成されたリッジ底面１４ａからリッジ側面１４ｂを被覆しており、さらにこの保護膜１６の先端部１６ａはリッジ上面１４ｃより高い位置に形成されている。電極１５は、リッジ１４の上面及び保護膜１６の先端部を被覆している。
【００１６】
ここで、この半導体素子のリッジの側面１４ｂに形成された保護膜１６の先端部１６ａはリッジ上面１４ｃよりも高い位置に配置されており、また電極１５の上面よりも低い位置に配置される。ここで、保護膜１６はリッジの上面を被覆しておらず、リッジ幅を電極との接触面積に最大限利用することができる。
特にシングルモードの半導体レーザ素子を作製する場合には、リッジ上に形成される電極の幅を調整したとしてもリッジ幅が広ければレーザ素子からのビーム光がマルチモードになってしまう。そのため、単にリッジ上の電極の幅を調整するだけではシングルモードの半導体レーザ素子を提供することはできない。本発明の半導体素子は、リッジ上面には電極しか形成されず、リッジ幅を最大限に利用可能となる。そのため、安定した横方向の光閉じ込めも実現することが出来る。
【００１７】
さらに、この半導体素子は、リッジ１４上の電極１５及び保護膜１６を被覆するパッド電極１８を備えている。
また、このような半導体素子は、半導体層２０の側面に第２保護膜が形成されていてもよい。また、図示しないが、この半導体素子の共振器面において、例えば、誘電体膜からなる保護膜が形成されている。保護膜１６、第２保護膜は絶縁体であればよく、特に材料

が限定されるものではない。

【００１８】

図１に示したように、基板の裏面にｎ電極１９が形成されている。あるいは、基板の半導体層２０側においてｎ側半導体層１１に接触するｎ電極１９が形成されている構造であってもよい。

【００１９】

本発明の半導体素子は、電極１５が接続する半導体層の領域は、リッジ上面のみであるため、電極がリッジ側面に接触した場合の電流のリークを回避することができる。また、保護膜１６の先端部１６ａはリッジ１４より高い位置に配置されているため、電極の形成時や半導体素子の動作時に電極がリッジ側面に回り込むような不具合は生じない。電極１５は、保護膜１６の先端部を被覆しているが、リッジ１４とは反対側の領域にまで伸延するものではない。パッド電極１８は、断面形状が凹部形状をした電極１５の表面に接しており、パッド電極１８と電極１５との密着性が良好となる。またパッド電極１８は、保護膜の外側の表面も被覆している。

【００２０】

さらに、本発明は、保護膜を形成した後に、電極を形成することができるため、保護膜の材料が制約されることなく、保護膜の膜質を安定化、均一化、さらには膜厚の均一化を図ることができる。その結果、保護膜の材料変更に伴う半導体層との屈折率差を安定化させることができ、信頼性が高い半導体素子を動作させることが可能となる。

【００２１】

以下に本発明の半導体素子の製造方法を図３の工程（ａ）～工程（ｄ）と図４の工程（ｅ）と工程（ｆ）を用いて説明する。本発明の半導体素子の製造方法では、工程（ａ）において、まず、基板上に、活性層を含む半導体層を形成する。ここでの半導体層は、基板上に、ｎ側半導体層、活性層及びｐ側半導体層がこの順に積層される。

【００２２】

基板としては、サファイア、スピネル（$MgAl_2O_4$）、炭化珪素、シリコン、ＺｎＯ、ＧａＡｓ、窒化物基板（ＧａＮ、ＡｌＮ等）であることが好ましい。

【００２３】

基板の厚みは、例えば、５０μｍから１０ｍｍ程度が挙げられる。ここで、窒化物基板は、ＭＯＶＰＥ、ＭＯＣＶＤ法（有機金属化学気相成長法）、ＨＶＰＥ法（ハライド気相成長法）等の気相成長法、超臨界流体中で結晶育成させる水熱合成法、高圧法、フラックス法、溶融法等により形成することができる。また、市販のものを用いてもよい。この基板は、例えば、第１主面及び／又は第２主面に０．０３～１０°程度のオフ角を有する窒化物基板であることがより好ましい。また、単位面積当たりの転位数が1×10^7／cm^2以下であればよい。

【００２４】

ｎ側半導体層、活性層及びｐ側半導体層のうち、ｎ側及びｐ側半導体層は、例えば、ＡｌＮ、ＧａＮ、ＡｌＧａＮ、ＡｌＩｎＧａＮ、ＩｎＮ等のIII－Ｖ族窒化物半導体層が挙げられる。なかでも、Ａｌを含む窒化物半導体層が適当である。具体的には$In_yAl_zGa_{1-y-z}N$（０≦ｙ、０≦ｚ、ｙ＋ｚ≦１）、特に、$Al_xGa_{1-x}N$（０＜ｘ＜１）等の窒化ガリウム系化合物半導体層が好ましい。これらの半導体層は、単層または積層構造である。また、超格子構造を有する構造でもよい。

【００２５】

ｎ側半導体層は、クラッド層を有しており、更にこのクラッド層と後述する活性層との間に、光ガイド層やクラック防止層を有する構成であってよい。ｐ側半導体層は、クラッド層とコンタクト層を有しており、後述する活性層とクラッド層との間に、キャップ層や光ガイド層を有する構成であってもよい。

【００２６】

ｎ側半導体層及びｐ側半導体層は、窒化物基板と同様の方法を利用して形成することができる。ｎ側半導体層は、ＳｉやＧｅといったｎ側不純物がドープされており、ｐ側半導

体層は、Ｍｇ、Ｚｎといったｐ側不純物がドーピングされることにより、それぞれの導電性を有する。ドーピング濃度は、例えば、１×１０^{１６}～$５\times１０^{２０}ｃｍ^{－３}$程度が挙げられる。

【００２７】

活性層は、多重量子井戸構造、単一量子井戸構造のいずれでもよい。活性層の膜厚は、例えば、１０～３００ｎｍ程度が適当である。特に、量子井戸構造とする場合には、井戸層の膜厚及び井戸層の数は特に限定されないが、例えば、膜厚としては、１～３０ｎｍ程度の範囲とすることで、Ｖｆ、閾値電流密度を低減させることができる。井戸層の膜厚を１０ｎｍ以下の範囲として、活性層の膜厚を低く抑えることが好ましい。障壁層の膜厚としては、例えば、５０ｎｍ以下であり、好ましくは、１～３０ｎｍ程度の範囲が挙げられる。活性層の発振波長の範囲は特に限定されるものではないが、窒化物半導体層を用いた場合、例えば３５０ｎｍ以上６５０ｎｍ以下である。

【００２８】

次に、基板上に半導体層を積層したウェハの半導体層上に所定形状のマスク層を形成する。

まず、半導体層上にマスク層２１とレジスト層を順に形成する。このレジスト層を所定形状にパターニングし、さらにレジスト層をマスクとして用いてマスク層を同一形状にパターニングする。マスク層をパターニングした後、レジスト層を除去することにより所定形状のマスク層を形成することができる。ここで、マスク層の材料としては、$ＳｉＯ_{２}$等である。このマスク層は他の公知のマスク材料で転用することが可能である。マスク層の膜厚は特に限定されるものではなく、例えば、１００～１０００ｎｍ程度とすることが適しており、１００～５００ｎｍ程度が好ましい。マスク層は、ＣＶＤ法、スパッタ法、蒸着法等の公知の方法により形成することができる。

【００２９】

次に、工程（ｂ）において、半導体層上にリッジを形成する。マスク層の開口部から前記半導体層の表面にあるｐ側半導体層の一部を除去してリッジを形成する。

ｐ側半導体層の一部を除去する方法は、特に限定されることなく、ウェットエッチング又はドライエッチングのいずれを利用してもよい。具体的には、半導体層の材料を考慮して、マスク層との選択比が大きくなるエッチャントを選択して、除去することが好ましい。リッジの大きさは、マスク層の大きさにほぼ対応するが、その底面側の幅が広く上面に近づくにつれてストライプ幅が小さくなる順メサ形状、積層面に垂直な側面を有する形状であってもよいし、これらが組み合わされた形状でもよい。リッジの幅は、例えば、１．０μｍ～１０．０μｍ程度が適しており、１．２μｍ～２．５μｍ程度が好ましい。リッジの高さは、ｐ側半導体層の膜厚によって適宜調整することができ、例えば、０．１～２μｍ程度、さらに０．２～１μｍ程度が挙げられる。

【００３０】

次に、工程（ｃ）において、少なくともリッジ底面領域１４ａからリッジ上面のマスク層２１上に至る領域に保護膜１６を形成する。リッジ底面領域１４ａとリッジ側面１４ｂのみならず、リッジ上面１４ｃのマスク層２１が形成された領域にも保護膜１６を形成する。この保護膜は、リッジ底面領域１４ａであるｐ側半導体層上面とリッジ側面の絶縁性を確保するとともに、ｐ側半導体層に対する屈折率差を確保して、活性層からの光の漏れを制御し得る機能を有する。また、本発明の半導体素子は、後工程で形成される保護膜の先端部１６ａを有することにより、リッジ両側の上部での光吸収を抑制することができる。保護膜は、このような絶縁性等の機能を備えた材料であれば、特に材料は限定されない。例えば、Ｓｉ、Ｍｇ、Ａｌ、Ｈｆ、Ｎｂ、Ｚｒ、Ｓｃ、Ｔａ、Ｇａ、Ｚｎ、Ｙ、Ｂ、Ｔｉ及びこれらの酸化物、窒化物（例えば、ＡｌＮ、ＡｌＧａＮ、ＢＮ等）、フッ化物等の化合物が挙げられる。また、この保護膜は単一膜であってもよいし、複数を組み合わせた多層膜であってもよい。なかでも、$ＳｉＯ_{２}$や$ＺｒＯ_{２}$からなる膜が好ましい。これらの膜は、例えば、スパッタ法、真空蒸着法、気相成長法等の当該分野で公知の方法により形成することができる。膜厚は、例えば、２０～５００ｎｍ程度が挙げられ、５０～１００

ｎｍ程度が適当である。

【００３１】

次に、工程（ｄ）において、リッジ上面１４ｃ以外の保護膜上に第２のマスク層２２を形成する。ここで、第２のマスクにはレジスト層をパターン形成することが好ましい。この第２のマスクは、保護膜１６上にレジスト層を形成した後、このレジスト層をエッチバックすることにより、リッジに対応する位置に保護膜を露出させたレジストパターンである。この第２のマスクは、リッジ底面領域１４ａ上やリッジ側面１４ｂ上に形成された保護膜１６を被覆している。

ここでのエッチバックの時間、エッチャントの種類等を適宜選択することにより、上述したように、第２のマスクの上面を、リッジ上面１４ｃに形成された保護膜１６の上面よりも低く設定すること及びリッジ上面１４ｃよりも高く設定することができる。ここで、第２のマスクの上面の高さは、リッジ上面１４ｃよりも高く、リッジ上面１４ｃの上部に形成された保護膜１６の上面よりも低い。

【００３２】

第２のマスクの除去方法は、レジストパターンの材料等を考慮して、適当なエッチャントを選択して、ウェットエッチング又はドライエッチングのいずれを利用して除去してもよい。例えば、硝酸、フッ化水素酸、希塩酸、希硝酸、硫酸、塩酸、酢酸、過酸化水素等の酸の単独又は２種以上の混合液、アンモニア等のアルカリ溶液の単独又はアンモニアと過酸化水素等の混合液、各種界面活性剤等の適当なエッチャントを用いる。また不要な箇所に残存する第２のマスクを除去する方法は、浸漬、超音波処理又はこれらの組み合わせ等、公知の方法が挙げられる。

【００３３】

次に、工程（ｅ）において、リッジ上面のマスク層及び保護膜を除去する。このリッジ上面にある保護膜を除去することで、保護膜の先端部１６ａをリッジより高い位置に形成する。また、これによりリッジ上面１４ｃが露出される。

【００３４】

保護膜の先端部１６ａは、ここでのリッジ上面のマスク層及び保護膜を除去することで形成される。この保護膜の先端部１６ａは、リッジ側面１４ｂに形成された保護膜がリッジの上面方向に延伸して形成されるものである。この保護膜の先端部１６ａの高さは、マスク層の膜厚で調整可能である。この保護膜の先端部１６ａの高さは、リッジ上面１４ｃから５０ｎｍ～５００ｎｍ程度であることが好ましい。保護膜の先端部１６ａの高さがこの範囲にあると、リッジ上面での光吸収が抑制される。また、電極とパッド電極との密着性が向上する。更には保護膜の先端部１６ａの高さがリッジ上面１４ｃから１００ｎｍ～２００ｎｍであると保護膜と電極との密着性が良好に維持される。

【００３５】

ここでのマスク層２１とその上に形成されている保護膜の除去方法は、特に限定されるものではないが、リフトオフ法を用いることができる。リフトオフは、例えば、マスク層や保護膜の種類等によって適宜選択することができ、例えば、硝酸、フッ化水素酸、硫酸、塩酸、酢酸、過酸化水素等の酸の単独又は２種以上の混合液、アンモニア等のアルカリ溶液の単独又はアンモニアと過酸化水素等の混合液、各種界面活性剤等の適当なエッチャントを用いることが適している。また、浸漬、リンシング、超音波処理又はこれらの組み合わせ等、公知の方法を利用することができる。

【００３６】

次に、工程（ｆ）において、リッジ上面１４ｃおよび保護膜の先端部１６ａ上に電極材料膜を形成する。ここでは、前記工程（ｅ）の除去工程後に露出したリッジ上面および保護膜の先端部上に電極１５を形成する。ここで、電極の幅は、リッジの幅と同一幅となる。

【００３７】

電極材料としては、通常電極として使用されるものを用いることができる。例えば、金属又は合金、導電性酸化物膜等の単層膜又は積層膜が挙げられる。これら電極材料の膜厚

は、５０～１０００ｎｍ程度が適しており、１００～５００ｎｍ程度が好ましい。具体的には、半導体層側からＮｉ（膜厚：５～２０ｎｍ程度）とＡｕ（膜厚：５０～３００ｎｍ程度）の２層構造、またこの２層構造を含んだＮｉ－Ａｕ－Ｐｔ、Ｎｉ－Ａｕ－Ｒｈ、Ｎｉ－Ａｕ－RhO_2、Ｎｉ－Ａｕ－Ｐｄ、Ｎｉ－Ａｕ－Ｉｒ、Ｎｉ－Ａｕ－Ｒｕ等がある。その他にはＮｉ－ＩＴＯ－Ｐｔ、Ｎｉ－ＩＴＯ－Ｒｈ、Ｐｄ－Ｐｔ－Ａｕ、Ｐｄ－Ｐｔ－Ｒｈ、Ｐｄ－Ｐｔ－Ｉｒ、Ｒｈ－Ｉｒ－Ｐｔ等の３層構造等が例示される。これら電極材料膜はＣＶＤ法、スパッタ法、蒸着法等の公知の方法により形成することができる。電極材料膜の膜厚は特に限定されるものではなく、例えば、５０ｎｍ程度以上とすることで、シート抵抗を低くすることができる。

【００３８】

さらに、工程（ｆ）の後の任意の段階において、半導体素子上であって、保護膜１６及び電極１５上にパッド電極１８を形成する。

パッド電極は、Ｎｉ、Ｔｉ、Ａｕ、Ｐｔ、Ｐｄ、Ｗ等の金属からなる積層膜とすることが好ましい。具体的には、ｐ電極側からＷ－Ｐｄ－Ａｕ又はＮｉ－Ｔｉ－Ａｕ、Ｎｉ－Ｐｄ－Ａｕの順に形成した膜が挙げられる。パッド電極の膜厚は特に限定されないが、最終層のＡｕの膜厚を１００ｎｍ程度以上とすることが好ましい。パッド電極の形状は、特に限定されない。

【００３９】

なお、本発明の半導体素子の製造方法では、任意の段階で、例えば、ｎ側電極を形成する前に、基板の第２主面を研磨することが好ましい。基板の研磨方法は、当該分野で公知であるいずれの方法も利用することができる。

【００４０】

さらに、上述したｐ側電極の形成前後に、基板の第２主面に、部分的又は全面に、ｎ側電極を形成することが好ましい。ｎ側電極は、例えば、スパッタ法、ＣＶＤ、蒸着等で形成することができる。ｎ側電極の形成には、リフトオフ法を利用することが好ましく、ｎ側電極を形成した後、３００℃程度以上でアニールを行うことが好ましい。ｎ側電極としては、例えば、総膜厚が１μｍ程度以下であればよい、またｎ側電極の材料は特に限定されるものではなく、例えば基板側からＶ（膜厚１０ｎｍ）－Ｐｔ（膜厚２００ｎｍ）－Ａｕ（膜厚３００ｎｍ）の順に積層されて形成される。他には、Ｔｉ（１５ｎｍ）－Ｐｔ（２００ｎｍ）－Ａｕ（３００ｎｍ）、Ｔｉ（１０ｎｍ）－Ａｌ（５００ｎｍ）、Ｔｉ（６ｎｍ）－Ｐｔ（１００ｎｍ）－Ａｕ（３００ｎｍ）、Ｔｉ（６ｎｍ）－Ｍｏ（５０ｎｍ）－Ｐｔ（１００ｎｍ）－Ａｕ（２１０ｎｍ）等が例示される。

【００４１】

また、ｎ側電極上にメタライズ電極を形成してもよい。メタライズ電極は、例えば、Ｔｉ－Ｐｔ－Ａｕ－（Ａｕ／Ｓｎ）、Ｔｉ－Ｐｔ－Ａｕ－（Ａｕ／Ｓｉ）、Ｔｉ－Ｐｔ－Ａｕ－（Ａｕ／Ｇｅ）、Ｔｉ－Ｐｔ－Ａｕ－Ｉｎ、Ａｕ－Ｓｎ、Ｉｎ、Ａｕ－Ｓｉ、Ａｕ－Ｇｅ等により形成することができる。メタライズ電極の膜厚は、特に限定されない。メタライズ電極のみでオーミック特性が維持される場合には、ｎ側電極が省略可能である。

【００４２】

任意に、例えば、工程（ｆ）の後、保護膜１６の上に、第２の保護膜１７を形成してもよい。第２の保護膜は、当該分野で公知の方法により形成することができ、上述した保護膜と同様の材料の中から選択することができる。

【００４３】

任意に、半導体層に共振器面を形成する。共振器面は、エッチング又は劈開等により、当該分野で公知の方法により形成することができる。また、任意の段階に、得られた共振器面、つまり、共振器面の光反射側及び／又は光出射面に、誘電体膜を形成することが好ましい。誘電体膜はSiO_2、ZrO_2、TiO_2、Al_2O_3、Nb_2O_5、ＡｌＮ、ＡｌＧａＮ等からなる単層膜又は多層膜とすることが好ましい。

さらに、共振器方向に分割することにより、半導体素子のチップを得ることができる。この分割は、任意の段階で分割補助溝を形成し、それを用いてスクライブすることなどに

よって形成することができる。

【００４４】

本発明の半導体素子の製造方法では、簡便な工程によって、保護膜や電極の材料の制約を受けずに、信頼性の高い半導体素子を製造することができる。つまり、通常の半導体プロセスにおいて、制御が困難であるエッチバック工程の回数を最小限にとどめることにより、各工程を高精度に制御することが可能となり、半導体素子の製造歩留まりを簡便な工程によって向上させることができる。また、本発明の製造方法により半導体素子の量産性が向上する。

【００４５】

以下に、本発明の半導体素子の実施例を説明するが、本発明は以下の実施例に限定されるものではない。ここでの半導体素子は半導体レーザ素子を用いて説明する。

実施例１

この実施例の半導体レーザ素子は、図１に示したように、Ｃ面を成長面とするＧａＮ基板１０上に、ｎ側半導体層１１、活性層１２及びｐ側半導体層１３をこの順に積層した半導体層が形成されており、ｐ側半導体層１３の表面にはリッジ１４が形成されている。

また、リッジ１４上には、ｐ側の電極１５がオーミック接触されている。この電極１５は、ｐ側半導体層１３との接触領域はリッジ１４上面のみであるが、後述するように保護膜の先端部１６ａ上にも被覆するように形成されているためリッジ上面１４ｃの幅よりも幅広である。

【００４６】

この半導体素子は、ｐ側半導体層１３の表面であるリッジ底面領域１４ａからリッジ側面１４ｂに至り、更にリッジ上面よりも高い領域まで延伸した保護膜１６が形成されている。この保護膜は、リッジ上面には形成されておらず、リッジ上面よりも高い領域まで延伸した先端部１６ａを有する。この保護膜の先端部１６ａ上とリッジ上面１４ｃに電極１５が形成されている。電極１５が被覆する保護膜の先端部１６ａ上とリッジ上面１４ｃには高低差があるため、この高低差で形成される段差により電極の接触面積が広くなる。

また、半導体素子の側面には、第２保護膜１７が形成されている。さらに、図示しないが、半導体層の共振器面には、Al_2O_3及びZrO_2からなる多層誘電体膜が形成されている。

また、電極１５や保護膜１６を被覆するようにｐ側パッド電極１８が形成されている。

【００４７】

このような半導体レーザ素子は、以下の製造方法によって形成することができる。

（リッジの形成）

まず、ＧａＮ基板１０を準備する。次に、この基板１０上に、ｎ側半導体層１１、活性層１２及びｐ側半導体層１３をこの順に積層した半導体層２０を形成する。図３（ａ）には、この半導体層２０のみ開示している。

その後、ｐ側半導体層１３のほぼ全面に、ＰＶＤ装置により、マスク層２１としてSiO_2膜を０．３μｍの膜厚で形成する。その上に、所定形状のレジストパターンを形成する。このレジストパターンの幅は２．０μｍである。

続いて、このレジストパターンをマスクにしてSiO_2膜をエッチングする。エッチング装置にはＲＩＥ（反応性イオンエッチング）装置を用い、エッチングガスはCHF_3を用いる。ここでマスク層の幅を後述するリッジ幅とする。その後、レジストパターンを除去する。

【００４８】

次に、図３（ｂ）に示したように、積層された半導体層２０の表面にリッジを形成する。具体的には、半導体層２０の上層であるｐ側半導体層１３の表面にリッジ１４を形成する。ここで、ＲＩＥ装置を用いて、エッチングガスには塩素系ガスを用いる。マスク層２１の開口部に露出しているｐ側半導体層１３をエッチングすることにより、幅２．０μｍ程度、高さ０．５μｍ程度のストライプ状のリッジ１４を形成する。

【００４９】

（保護膜の形成）
その後、図３（ｃ）に示したように、リッジ底面領域からマスク層２１の上面を被覆する保護膜１６を形成する。この保護膜１６は、ＰＶＤ装置を用いてSiO_2膜を膜厚１００ｎｍで形成する。
【００５０】
次に、図３（ｄ）に示したように、リッジ１４が形成されたｐ側半導体層１３上を除いて、第２のマスク層２２を形成する。ここでは、まず第２のマスク層２２としてレジスト層を保護膜１６上のほぼ全面に形成する。その後、酸素を用いたエッチバックすることにより、第２のマスク層２２には、リッジ１４に対応する位置に開口が形成されるとともに、この第２のマスク層２２の上面がリッジ上面１４ｃよりも高い位置に形成される。エッチバック後の第２のマスク層２２の膜厚は０．５μｍ程度である。
【００５１】
次に、図４（ｅ）に示したように、リフトオフ法を用いて、リッジ上面１４ｃのマスク層２１及びその上に形成されている保護膜１６を除去する。これによって、リッジ上面を露出し、このリッジ上面よりも高い位置にある保護膜の先端部１６ａも形成される。ここでのリフトオフ法には剥離液にＢＨＦ液を用いる。ここで保護膜の先端部１６ａの高さは、リッジ上面１４ｃから０．１μｍである。この保護膜の先端部１６ａがリッジ上面よりも高い位置にあることで、リッジ側面上における電極の光吸収も抑制される。
【００５２】
（電極の形成）
次に、図４（ｆ）に示したように、リッジ１４上及び保護膜の先端部１６ａ上に電極１５を形成する。この電極１５は、第２のマスク層及び保護膜の先端部、リッジ上に、下側からＮｉ（１０ｎｍ）－Ａｕ（１００ｎｍ）－Ｐｔ（１００ｎｍ）の順に形成する。次に、第２のマスク層を除去することで、この上に形成されていた電極も同時に除去される。第２のマスク層の除去方法は、剥離液を用いたリフトオフ法であり、第２のマスク層と同時に、この第２のマスク層上の電極１５ａも除去される。
電極１５は、リッジ上面１４ｃでのみ半導体層と接触しているため、電流のリークは発生しない。
【００５３】
その後、ｐ側パッド電極１８、第２保護膜１７、基板１０の裏面にｎ側電極１９等を形成することにより、図１に示す半導体素子を形成することができる。
【００５４】
このように、電極がリッジ上面のみで接続されているため電極がリッジ側面に接触した場合の電流のリークを回避することができる。また、電極による光の吸収を回避することができ、レーザ光の取り出し効率を向上させることができる。
さらに、電極がリッジよりも幅広である場合には、通常その上に形成されるパッド電極との接触面積を増大させることができ、電力の供給を向上させることができる。
加えて、簡便な工程によって、容易に、特性が安定した半導体素子を製造することができる。
【００５５】
実施例２
この実施例の半導体レーザ素子は、マスク層２１としてSiO_2膜を０．５μｍの膜厚で形成する。また、保護膜の先端部１６ａの高さは０．２μｍとする以外は、実施例１の半導体レーザ素子と実質的に同様に半導体レーザ素子を製造する。
この実施例においても、実施例１と同様の効果を得ることができる。
【００５６】
実施例３
この実施例の半導体レーザ素子は、マスク層２１としてSiO_2膜を０．４μｍの膜厚で形成する。また、保護膜の先端部１６ａの高さは０．１５μｍとする以外は、実施例１の半導体レーザ素子と実質的に同様に半導体レーザ素子を製造する。

この実施例においても、実施例１と同様の効果を得ることができる。

【００５７】

実施例４

この実施例の半導体レーザ素子は、電極１５として、リッジ１４側から順にＮｉ（１０ｎｍ）－Ａｕ（１００ｎｍ）－Ｒｈ（５０ｎｍ）を形成する以外は、実施例１の半導体レーザ素子と実質的に同様に半導体レーザ素子を製造する。

この実施例においても、実施例１と同様の効果を得ることができる。

【産業上の利用可能性】

【００５８】

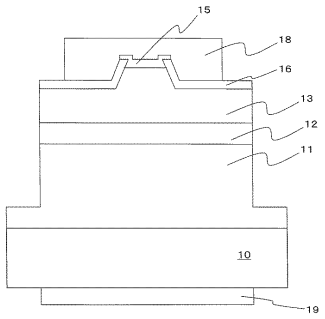
本発明の半導体素子は、例えば、半導体レーザ、発光ダイオードなどの発光素子のほか、トランジスタなどの電子デバイス、また受光素子や太陽電池などに利用可能である。その用途は、例えば照明用光源、ディスプレイ用光源、光ディスク用光源、光通信システム用光源、又は印刷機用光源、露光用光源、測定器用光源、バイオ関連の励起用光源等である。

【符号の説明】

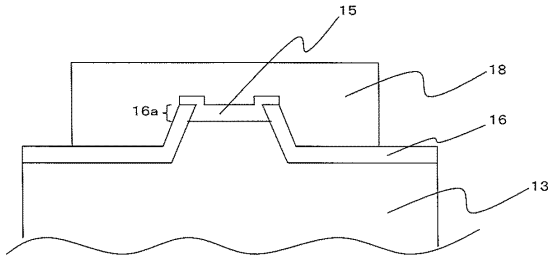
【００５９】

１０　基板
１１　ｎ側半導体層
１２　活性層
１３　ｐ側半導体層
１４　リッジ
１４ａ　リッジ底面領域
１４ｂ　リッジ側面
１４ｃ　リッジ上面
１５　電極
１６　保護膜
１６ａ　保護膜の先端部
１７　第２保護膜
１８　ｐ側パッド電極
１９　ｎ側電極
２０　半導体層
２１　マスク層
２２　第２マスク層

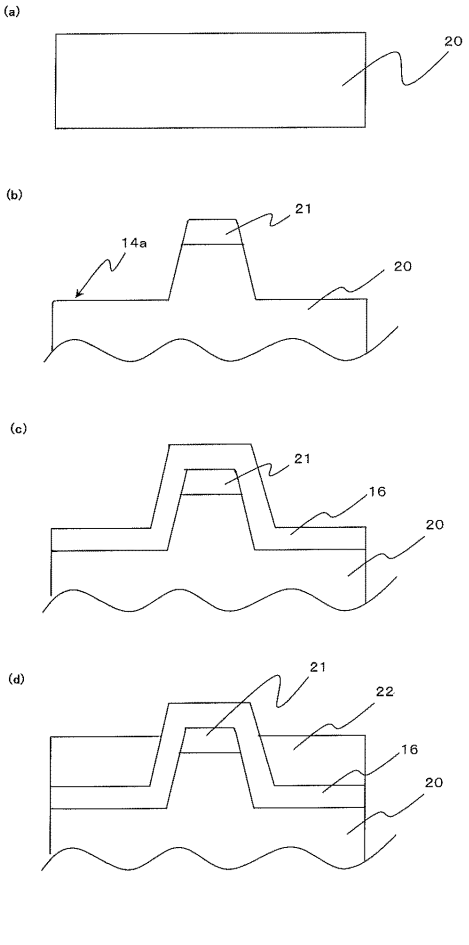
【図１】


15
18
16
13
12
11
10
19

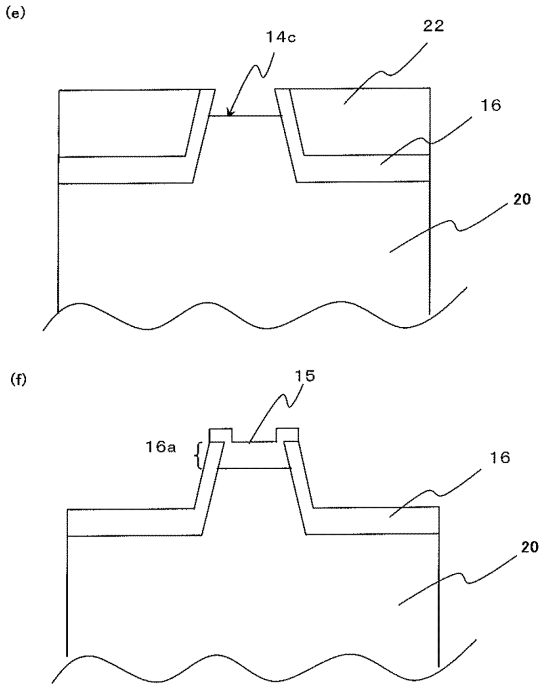
【図２】


15
18
16a
16
13

【図３】


(a)
20
(b)
21
14a
20
(c)
21
16
20
(d)
21
22
16
20

【図４】


(e)
14c
22
16
20
(f)
15
16a
16
20

フロントページの続き

(56)参考文献 特開平１０－２４２５８１（ＪＰ，Ａ）
特開２００１－２１０９１４（ＪＰ，Ａ）
特開２００８－１２４４３８（ＪＰ，Ａ）
特開２００５－０３３０２１（ＪＰ，Ａ）
特開２００３－１０１１５０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｓ　５／００　－　５／５０