

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年4月17日(2014.4.17)

【公開番号】特開2011-249782(P2011-249782A)

【公開日】平成23年12月8日(2011.12.8)

【年通号数】公開・登録公報2011-049

【出願番号】特願2011-97724(P2011-97724)

【国際特許分類】

H 01 L 21/8242 (2006.01)

H 01 L 27/108 (2006.01)

H 01 L 29/786 (2006.01)

G 11 C 11/405 (2006.01)

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

【F I】

H 01 L 27/10 3 2 1

H 01 L 29/78 6 1 8 B

G 11 C 11/34 3 5 2 B

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

H 01 L 29/78 6 1 3 B

【手続補正書】

【提出日】平成26年2月28日(2014.2.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1乃至第4の配線と、第1及び第2の記憶セルと、を有する半導体メモリ装置において、

前記第1および第2の配線は平行であり、

前記第3および第4の配線は平行であり、

前記第1の配線と前記第3の配線は交差し、

前記第1の記憶セルは、第1のトランジスタと、第2のトランジスタと、第1のキャパシタと、を有し、

前記第2の記憶セルは、第3のトランジスタと、第4のトランジスタと、第2のキャパシタと、を有し、

前記第1のトランジスタのドレインは、前記第2のトランジスタのゲートと電気的に接続され、

前記第1のトランジスタのドレインは、前記第1のキャパシタの一方の電極と電気的に接続され、

前記第3のトランジスタのドレインは、前記第4のトランジスタのゲートと電気的に接続され、

前記第3のトランジスタのドレインは、前記第2のキャパシタの一方の電極と電気的に接続され、

前記第1のトランジスタのゲートは、前記第2のキャパシタの他方の電極と電気的に接続され、

前記第1のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第3のトランジスタのゲートは、前記第1のキャパシタの他方の電極と電気的に接続され、

前記第3のトランジスタのゲートは、前記第2の配線と電気的に接続され、

前記第1のトランジスタのソースは、前記第2のトランジスタのソースと電気的に接続され、

前記第1のトランジスタのソースは、前記第4のトランジスタのドレインと電気的に接続され、

前記第1のトランジスタのソースは、前記3の配線と電気的に接続され、

前記第3のトランジスタのソースは、前記第4のトランジスタのソースと電気的に接続され、

前記第3のトランジスタのソースは、前記第2のトランジスタのドレインと電気的に接続され、

前記第3のトランジスタのソースは、前記4の配線と電気的に接続され、

前記第1のトランジスタはバンドギャップが2.5電子ボルト以上の半導体によるなるチャネルを有することを特徴とする半導体メモリ装置。

【請求項2】

第1乃至第5の配線と、第1乃至第4の記憶セルを有する半導体メモリ装置において、前記第1および第2の配線は平行であり、

前記第3乃至第5の配線は平行であり、

前記第1の配線と前記第3の配線は交差し、

前記第1の記憶セルは、第1のトランジスタと、第2のトランジスタと、第1のキャパシタと、を有し、

前記第2の記憶セルは、第3のトランジスタと、第4のトランジスタと、第2のキャパシタと、を有し、

前記第3の記憶セルは、第5のトランジスタと、第6のトランジスタと、第3のキャパシタと、を有し、

前記第4の記憶セルは、第7のトランジスタと、第8のトランジスタと、第4のキャパシタと、を有し、

前記第1のトランジスタのドレインは、前記第2のトランジスタのゲートと電気的に接続され、

前記第1のトランジスタのドレインは、前記第1のキャパシタの一方の電極と電気的に接続され、

前記第3のトランジスタのドレインは、前記第4のトランジスタのゲートと電気的に接続され、

前記第3のトランジスタのドレインは、前記第2のキャパシタの一方の電極と電気的に接続され、

前記第5のトランジスタのドレインは、前記第6のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのドレインは、前記第3のキャパシタの一方の電極と電気的に接続され、

前記第7のトランジスタのドレインは、前記第8のトランジスタのゲートと電気的に接続され、

前記第7のトランジスタのドレインは、前記第4のキャパシタの一方の電極と電気的に接続され、

前記第1のトランジスタのゲートは、前記第2のキャパシタの他方の電極と電気的に接

続され、

前記第1のトランジスタのゲートは、前記第5のトランジスタのゲートと電気的に接続され、

前記第1のトランジスタのゲートは、前記第4のキャパシタの他方の電極と電気的に接続され、

前記第1のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第3のトランジスタのゲートは、前記第1のキャパシタの他方の電極と電気的に接続され、

前記第3のトランジスタのゲートは、前記第7のトランジスタのゲートと電気的に接続され、

前記第3のトランジスタのゲートは、前記第3のキャパシタの他方の電極と電気的に接続され、

前記第3のトランジスタのゲートは、前記第2の配線と電気的に接続され、

前記第1のトランジスタのソースは、前記第2のトランジスタのソースと電気的に接続され、

前記第1のトランジスタのソースは、前記第4のトランジスタのドレインと電気的に接続され、

前記第1のトランジスタのソースは、前記3の配線と電気的に接続され、

前記第3のトランジスタのソースは、前記第4のトランジスタのソースと電気的に接続され、

前記第3のトランジスタのソースは、前記第2のトランジスタのドレインと電気的に接続され、

前記第3のトランジスタのソースは、前記第5のトランジスタのソースと電気的に接続され、

前記第3のトランジスタのソースは、前記第6のトランジスタのソースと電気的に接続され、

前記第3のトランジスタのソースは、前記第8のトランジスタのドレインと電気的に接続され、

前記第3のトランジスタのソースは、前記4の配線と電気的に接続され、

前記第7のトランジスタのソースは、前記第8のトランジスタのソースと電気的に接続され、

前記第7のトランジスタのソースは、前記第6のトランジスタのドレインと電気的に接続され、

前記第7のトランジスタのソースは、前記5の配線と電気的に接続され、

前記第1のトランジスタはバンドギャップが2.5電子ボルト以上の半導体によるなるチャネルを有することを特徴とする半導体メモリ装置。

【請求項3】

請求項1または請求項2において、

前記第1のトランジスタの導電型がNチャネル型であることを特徴とする半導体メモリ装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第2のトランジスタの導電型がPチャネル型であることを特徴とする半導体メモリ装置。