

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 4 月 17 日 (2014.4.17)

【公開番号】特開 2011-249782 (P2011-249782A)

【公開日】平成 23 年 12 月 8 日 (2011.12.8)

【年通号数】公開・登録公報 2011-049

【出願番号】特願 2011-97724 (P2011-97724)

【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 29/786 (2006.01)

G 1 1 C 11/405 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【 F I 】

H 0 1 L 27/10 3 2 1

H 0 1 L 29/78 6 1 8 B

G 1 1 C 11/34 3 5 2 B

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 29/78 6 1 3 B

【手続補正書】

【提出日】平成 26 年 2 月 28 日 (2014.2.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 乃至第 4 の配線と、第 1 及び第 2 の記憶セルと、を有する半導体メモリ装置において、

前記第 1 および第 2 の配線は平行であり、

前記第 3 および第 4 の配線は平行であり、

前記第 1 の配線と前記第 3 の配線は交差し、

前記第 1 の記憶セルは、第 1 のトランジスタと、第 2 のトランジスタと、第 1 のキャパシタと、を有し、

前記第 2 の記憶セルは、第 3 のトランジスタと、第 4 のトランジスタと、第 2 のキャパシタと、を有し、

前記第 1 のトランジスタのドレインは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのドレインは、前記第 1 のキャパシタの一方の電極と電氣的に接続され、

前記第 3 のトランジスタのドレインは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのドレインは、前記第2のキャパシタの一方の電極と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2のキャパシタの他方の電極と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1の配線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のキャパシタの他方の電極と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第2の配線と電氣的に接続され、

前記第1のトランジスタのソースは、前記第2のトランジスタのソースと電氣的に接続され、

前記第1のトランジスタのソースは、前記第4のトランジスタのドレインと電氣的に接続され、

前記第1のトランジスタのソースは、前記3の配線と電氣的に接続され、

前記第3のトランジスタのソースは、前記第4のトランジスタのソースと電氣的に接続され、

前記第3のトランジスタのソースは、前記第2のトランジスタのドレインと電氣的に接続され、

前記第3のトランジスタのソースは、前記4の配線と電氣的に接続され、

前記第1のトランジスタはバンドギャップが2.5電子ボルト以上の半導体よるなるチャンネルを有することを特徴とする半導体メモリ装置。

【請求項2】

第1乃至第5の配線と、第1乃至第4の記憶セルを有する半導体メモリ装置において、

前記第1および第2の配線は平行であり、

前記第3乃至第5の配線は平行であり、

前記第1の配線と前記第3の配線は交差し、

前記第1の記憶セルは、第1のトランジスタと、第2のトランジスタと、第1のキャパシタと、を有し、

前記第2の記憶セルは、第3のトランジスタと、第4のトランジスタと、第2のキャパシタと、を有し、

前記第3の記憶セルは、第5のトランジスタと、第6のトランジスタと、第3のキャパシタと、を有し、

前記第4の記憶セルは、第7のトランジスタと、第8のトランジスタと、第4のキャパシタと、を有し、

前記第1のトランジスタのドレインは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのドレインは、前記第1のキャパシタの一方の電極と電氣的に接続され、

前記第3のトランジスタのドレインは、前記第4のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのドレインは、前記第2のキャパシタの一方の電極と電氣的に接続され、

前記第5のトランジスタのドレインは、前記第6のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのドレインは、前記第3のキャパシタの一方の電極と電氣的に接続され、

前記第7のトランジスタのドレインは、前記第8のトランジスタのゲートと電氣的に接続され、

前記第7のトランジスタのドレインは、前記第4のキャパシタの一方の電極と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第2のキャパシタの他方の電極と電氣的に接

続され、

前記第 1 のトランジスタのゲートは、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 のキャパシタの他方の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 1 のキャパシタの他方の電極と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 のキャパシタの他方の電極と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 2 のトランジスタのソースと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記第 4 のトランジスタのドレインと電氣的に接続され、

前記第 1 のトランジスタのソースは、前記 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 4 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 2 のトランジスタのドレインと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 5 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 6 のトランジスタのソースと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記第 8 のトランジスタのドレインと電氣的に接続され、

前記第 3 のトランジスタのソースは、前記 4 の配線と電氣的に接続され、

前記第 7 のトランジスタのソースは、前記第 8 のトランジスタのソースと電氣的に接続され、

前記第 7 のトランジスタのソースは、前記第 6 のトランジスタのドレインと電氣的に接続され、

前記第 7 のトランジスタのソースは、前記 5 の配線と電氣的に接続され、

前記第 1 のトランジスタはバンドギャップが 2 . 5 電子ボルト以上の半導体よるなるチャンネルを有することを特徴とする半導体メモリ装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタの導電型が N チャンネル型であることを特徴とする半導体メモリ装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 2 のトランジスタの導電型が P チャンネル型であることを特徴とする半導体メモリ装置。