

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92114258

※ 申請日期： 92-05-29

※IPC 分類： H01L 23/22

壹、發明名稱：(中文/英文)

半導體元件及其製造方法/SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商・新光電氣工業股份有限公司/SHINKO ELECTRIC INDUSTRIES CO., LTD.

代表人：(中文/英文)

茂木淳一/Junichi Mogi

住居所或營業所地址：(中文/英文)

日本國長野縣長野市大字栗田字舍利田 711 番地

711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921,
Japan

國 籍：(中文/英文)

日本 / JAPAN

參、發明人：(共 1 人)

姓 名：(中文/英文)

真篠直寬 / Naohiro MASHINO

住居所地址：(中文/英文)

日本國長野縣長野市大字栗田字舍利田 711 番地

711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921,
Japan

國 籍：(中文/英文)

日本 / JAPAN

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件及其製造方法，更特別地，係有關於一種適於消除因在執行為了半導體元件之高密度設計與倍數-接腳設計之三度空間安裝時之變薄而產生之缺點的技術。

【先前技術】

習知地，各式各樣的方法業已被提出作為用於實現半導體元件之高密度設計與倍數-接腳設計的技術。作為其中一種方法，例如，係有一種可得到的方法，該方法包含藉堆積方法來製造多層結構的印刷電路板及把像半導體晶片般的組件安裝到該多層印刷電路板上俾可得到一元件。

而且，作為另一種方法，係有一種可得到的方法，該方法包含藉由形成電路圖案於一個絕緣基體之兩側上來製造一印刷電路板代替製造多層結構的印刷電路板、藉由把像半導體晶片般之組件安裝於該印刷電路板之一個表面之電路圖案上來製造一元件、及藉由把如此之元件堆疊來執行三度空間安裝。根據這方法，安裝於該等印刷電路板中之每一者上之個別的半導體晶片係必須被電氣地互相連接。為了這目的，在該等印刷電路板中之每一者中係形成有貫穿該印刷電路板的貫孔，而形成於該印刷電路板之兩表面上的導線圖案係透過形成於該等貫孔之內表面上之電鍍薄膜(導體層)來電氣地互相連接。

而且，作為又另一個執行三度空間安裝的方法，係有

一種可想到的方法，該方法包含：利用一矽(Si)基體作為一基底材料層；形成一個具有必要之深度的孔在該矽基體；在藉由電鍍或其類似來以導體充填該孔之後形成必要的元件圖案(包括電路圖案、導線圖案、或其類似)，因此該等元件圖案係電氣地連接到該導體；以由聚醯亞胺樹脂或其類似形成之絕緣薄膜覆蓋該等元件圖案；藉由以回-研磨方法(back-grinding method)或其類似來研磨該矽基體的背面來曝露該導體；藉由設置金屬凸塊(外部連接端)於被曝露的導體上來製作一元件；及堆疊必要數目的元件。

同樣地，在這方法中，該等元件中之每一者係必須電氣地互相連接，而為了這目的，貫孔係必須形成於該元件的絕緣薄膜中、電鍍該等貫孔的內表面、及經由該電鍍薄膜來把元件圖案電氣地連接到一較高位置之元件的金屬凸塊。

如上所述，各式各樣的技術業已被提出作為用於實現半導體元件之高密度設計與倍數-接腳設計的技術。在這些之中，於利用堆積方法的技術中，由於該印刷電路板係被製作具有一個多層結構，該印刷電路板的厚度係被相當地增加。據此，該整個半導體元件在最終形式的尺寸變得大，導致要完全符合近期變薄設計之要求是不可能之問題的結果。

而且，因為數個半導體晶片係相互地被三度空間地安裝，與利用堆積方法的以上技術比較起來，該包含藉一絕緣基體來形成一元件及堆疊必要數目之元件的方法係適合

高密度設計與倍數-接腳設計。然而，因為半導體晶片被插置於印刷電路板之間，這方法在變薄設計上具有與以上所述之相同類型的缺點。

另一方面，該包含憑藉一矽基體來形成一元件及堆疊必要數目之元件的方法由於該矽基體的厚度係藉研磨其之背面來被降低而係適合變薄設計。然而，這方法提出了後面的問題：

即，在這方法中，像回-研磨方法般的機械研磨係被執行以使該矽基體變薄，而據此，該矽基體的厚度被變薄係由於機械研磨的機械衝擊而受限制。如果該矽基體被作成過度薄的話，裂痕出現於該矽基體的問題會產生而且，在某些情況中，該矽基體會被破壞或毀損。

而且，在該矽基體之一側上之形成有元件圖案的一個表面係形成有一由聚醯亞胺或其類似形成的絕緣薄膜，而在另一側上的表面係形成有一導體。即，該兩個表面具有不同的熱膨脹係數，其引致在被產生於該一個表面與另一個表面之間之應力上的差異。結果，例如，當研磨處理被執行時，該矽基體被彎曲的問題係發生。

【發明內容】

本發明之目的是為提供一種半導體元件及其製造方法，其能夠消除因在執行為了高密度設計與倍數-接腳設計之三度空間安裝時之變薄而產生的缺點(對半導體基體的損害、裂痕的出現、半導體基體的彎曲、或其類似)。

為了達成以上之目的，根據本發明之一特徵，一種製

造半導體元件的方法係被提供，該方法包括如下之步驟：在兩個半導體基體之個別之一個側表面彼此面對時，憑藉金屬凸塊來把兩個半導體基體黏接，在該兩個半導體基體之該等個別的一個側表面上，一被定以圖案成所需形狀的導體層係被形成；以一絕緣樹脂填注一個在由該金屬凸塊所黏接之該等個別之導體層之間的間隙；研磨該等半導體基體之被曝露之側表面中之每一者俾藉此使該等半導體基體中之每一者變薄到一指定的厚度；在該等被變薄之半導體基體中之每一者之必要的位置形成一個到達該金屬凸塊的介層孔；形成一絕緣薄膜於包括該被形成之介層孔之內表面之該等半導體基體中之每一者的表面上；把形成於該介層孔之內之絕緣薄膜之與該金屬凸塊接觸之一部份的至少部份開孔；以導體填注該介層孔的內部而且，於該絕緣薄上形成一個被定以圖案成所需之形狀且電氣地連接到該導體的電極墊；及把由以上所述之步驟所得到的結構堆疊必要的數目，個別之結構係經由電極墊來彼此電氣地連接。

根據這特徵之製造半導體元件的方法，要在最終被製作之成三度空間安裝結構的整個半導體元件實現變薄設計是有可能的，因為兩個半導體基體係首先以金屬凸塊黏接在一起，而於其上係形成有導體層(元件圖案)之個別的一個側表面係彼此面對，且一絕緣樹脂然後係填注至在該等半導體基體之間的間隙，及其後該等基體中之每一者的厚度係藉由研磨兩表面，即，該等半導體基體之被曝露之側表面中之每一者，來被降低。

而且，由於該絕緣樹脂係被填注到在該等半導體基體之面對之導體層之間的間隙，要藉該絕緣樹脂的幫助來有效地吸收及緩衝由每一基體之研磨(變薄處理)所引致的機械衝擊是有可能的。即，該絕緣樹脂作用如一緩衝墊(一緩衝層)。結果，即使在半導體基體被變薄到一個接近習知技術之狀態之極限之水平的情況中，要消除如在習知技術中所見之像裂痕之出現與對一基體之毀損般的缺點是有可能的。換句話說，要改進該半導體基體的抗裂性是有可能的。

再者，由於研磨(變薄處理)之目的是為一種藉由於在其上係形成有導體層(元件圖案)之個別之一個側表面係彼此面對時把兩個半導體基體好像在鏡子中反射對稱地黏接在一起來被得到的結構，要消除如在習知技術中所見之像半導體基體之由於產生在該半導體基體之一個表面與另一個表面之間之應力上之差異所引致之彎曲般的缺點是有可能的。換句話說，要消除該半導體基體的彎曲是有可能的。

而且，根據本發明之另一特徵，一種製造半導體裝置的方法係被提供，該方法包括如下之步驟：在兩個半導體基體之個別之一個側表面面對時，憑藉金屬凸塊來把兩個半導體基體彼此黏接，在該兩個半導體基體之該個別的一個側表面上，一被定以圖案成所需之形狀的導體層係被形成；以一絕緣樹脂填注一個在由該金屬凸塊所黏接之該等個別之導體層之間的間隙；研磨該等半導體基體之被曝露之側表面中之每一者俾藉此使該等半導體基體中之每一者變薄到一指定的厚度；在該等被變薄之半導體基體中之每

一者之必要的位置形成一個到達該金屬凸塊的介層孔；形成一絕緣薄膜於包括該被形成之介層孔之內表面之該等半導體基體中之每一者的表面上；把形成於該介層孔之內之絕緣薄膜之與該金屬凸塊接觸之一部份的至少部份開孔；及以導體填注該介層孔的內部而且，於該被變薄之半導體基體上之絕緣薄上形成一個被定以圖案成所需之形狀且電氣地連接到該導體的電極墊。

根據這特徵之製造半導體元件的方法，在與以上所述之特徵之製造半導體元件之方法相同的方式下，要在最終被製作之成三度空間安裝結構的整個半導體元件實現變薄設計是有可能的，因為兩個半導體基體係首先以金屬凸塊黏接在一起，而於其上係形成有導體層(元件圖案)之個別的一個側表面係彼此面對，且一絕緣樹脂然後係填注至在該等半導體基體之間的間隙，及其後該等基體中之每一者的厚度係藉由研磨該等矽基體的每一個被曝露的表面來被降低。而且，由於作用為一緩衝層之絕緣樹脂的存在，要緩衝由研磨所引致的機械衝擊，而因此要消除如在半導體基體上之裂痕之出現般的缺點是有可能的。再者，由於研磨(變薄處理)之目的是為一種藉由於在其上係形成有導體層(元件圖案)之個別之一個側表面係彼此面對時把兩個半導體基體好像在鏡子中反射對稱地黏接在一起來被得到的結構，要消除如半導體基體之由於產生在該半導體基體之一個表面與另一個表面之間之應力上之差異所引致之彎曲般的缺點是有可能的。

而且，根據本發明之又另一特徵，一種由以上之特徵中之每一者之製造半導體元件之方法所製成的半導體元件係被提供。

圖式簡單說明

第 1 圖是為顯示本發明之一實施例之半導體元件之結構的剖視圖；

第 2A 至 2K 圖是為顯示在第 1 圖中所示之半導體元件之製造步驟的剖視圖；

第 3 圖是為顯示本發明之另一實施例之半導體元件之結構的剖視圖；及

第 4A 至 4G 圖是為顯示在第 3 圖中所示之半導體元件之製造步驟的剖視圖。

【實施方式】

第 1 圖示意地顯示本發明之一實施例之半導體元件的剖面結構。

這實施例的半導體元件 10 具有一個藉由堆疊結構 20a,20b,20c 成三級來被形成的三度空間安裝結構，如在圖式中所示。在該等結構 20a,20b,20c 中之每一者中，標號 21 和 22 分別標示一個被變薄到一指定厚度的矽基體；標號 23 和 24 分別標示一個被形成於對應之矽基體 21,22 之一個表面上且包含包括所需之電路圖案、導線圖案、或其類似之元件圖案的導體層；標號 25 標示一個如將於稍後說明經由該等導體層 23,24 中之每一者來黏接該兩個矽基體 21,22 的金屬凸塊；及標號 26 標示一個藉由被填注至一在

該等由金屬凸塊 25 黏接在一起之導體層 23,24 之間的間隙來被形成的絕緣樹脂層。該金屬凸塊 25 作用為一金屬柱，而該絕緣樹脂層 26 作用為一緩衝如將於稍後說明之由一矽基體之變薄處理所引致之機械衝擊的緩衝墊，且亦作用為一加強媒體。

而且，標號 27 標示一個作用為該等結構 20a,20b,20c 中之每一者之保護薄膜的絕緣薄膜；標號 28 標示一個被填注至一形成於該等矽基體 21,22 中之每一者中之介層孔的導體；而標號 29 標示一個形成於該等絕緣薄膜 27 中之每一者上且電氣地連接到該導體 28 的電極墊。該導體 28 係經由一個形成於在該介層孔之內之絕緣薄膜 27 之部份中的開孔(由第 2F 圖中之 OF 表示)來電氣地連接到該金屬凸塊 25。因此，形成於該等結構 20a,20b,20c 中之每一者之兩表面上的電極墊 29 係經由該導體 28 和該金屬凸塊 25 相互連接。

該等結構 20a,20b,20c 中之每一者的厚度係被選擇為大約 $50\text{ }\mu\text{m}$ ；該等變薄之矽基體 21,22 的厚度(t_1,t_2)係被選擇為在 $3\text{ }\mu\text{m}$ 到 $20\text{ }\mu\text{m}$ 的範圍；而該絕緣樹脂層(緩衝層)26 的厚度係被選擇為大約 $30\text{ }\mu\text{m}$ 。

而且，標號 30a,30b,30c 標示一個黏接到在該等對應之結構 20a,20b,20c 之一個表面之側上(在被描繪之例子中的下側)之電極墊 29 的金屬凸塊。在這些之中，黏接至該最低位置之結構 20a 之電極墊 29 的金屬凸塊 30a 係作用為這元件 10 的外部端。而且，標號 31 標示一被填注至於該等

被堆疊之結構 20a,20b,20c 之間之空隙作為底部填充 (underfill) 的絕緣樹脂層。

在以上所述的結構中，作為構成該等金屬凸塊 25,30a,30b 和 30c 的材料，除了像通常被使用之鉛-錫(Pb-Sn) 般的共晶焊料(eutectic solders)之外，像銀-錫(Ag-Sn)般的無 Pb 焊料係被使用。或者，金(Au)、銀(Ag)、銅(Cu)、銦(In)或其之合金(In-Pb,In-Sn,或其類似)、鎳(Ni)、及其類似係可以被利用。而且，該等凸塊 25,30a,30b 和 30c 中之每一者係可以藉著一種利用照相處理之通常被使用的電鍍方法來被形成，或者可以是為一像藉打線技術形成之柱形凸塊般的球形凸塊。

而且，Cu 是為典型地被使用作為該等包括電路圖案與導線圖案之元件圖案(導體層 23,24)的材料。為了進一步提升導電性及改進到該金屬凸塊 25 之連接的可靠性，最好係施加一 Au、Sn、或其類似的塗層，例如。再者，Au、Cu、Ni、鉻(Cr)、鋁(Al)、或其類似係被使用作為該導體 28 與該電極墊 29 的材料。而且，環氧樹脂、聚醯亞胺樹脂、或其類似係被使用作為該絕緣樹脂層(緩衝層)26 與該絕緣樹脂層(底部填充材料)31 的材料。再者，作為該絕緣薄膜(保護薄膜)27 的材料，像聚醯亞胺樹脂、環氧樹脂、或其類似般的光敏性樹脂、由化學汽相沉積(CVD)處理形成的氧化矽薄膜、矽酸磷玻璃(PSG)、或其類似，係被使用。

雖然，在這實施例，該外部連接端(金屬凸塊 30a)係如在第 1 圖中所示被設置，該外部連接端並不是必須經常設

置。這是因為在實際使用時如此的外部連接端係可以緊在該半導體元件 10 被安裝於一像印刷電路板般之母板上之前被設置。因此，作為該半導體元件 10 的最終結構，僅需該電極墊 29 被曝露以致於該外部連接端(金屬凸塊 30a)能夠被黏接。

於此後，一種製造本實施例之半導體元件 10 的方法將會配合依序顯示該等製造步驟的第 2A 至 2K 圖來作說明。

首先，在第一步驟(第 2A 圖)中，兩個矽基體 21a,22a，於該等矽基體 21a,22a 之個別之一個側表面上係形成有一被定以圖案成所需形狀的導體層 23,24，係在形成有該等導體層 23,24 之該等個別之一個側表面係彼此面對時藉金屬凸塊 25 黏接。

具體地，兩個具有大約 $100\ \mu\text{m}$ 到 $300\ \mu\text{m}$ 之厚度之相當厚的矽基體 21a,22a 係首先被準備，而在該等矽基體 21a,22a 之個別的一個側表面上係藉眾所周知的光刻法技術來形成有所需的元件圖案(導體層 23,24)。隨後，數個金屬凸塊 25 係藉，例如，超聲波焊(即，利用超聲波之空化效應或熱作用的黏接方法)、熱壓黏接(打線方法、回流焊接方法)、或其類似，來被黏接到於一個矽基體 21a 之導體層 23 上的指定位置。隨後，該兩個矽基體 21a,22a 係藉金屬凸塊 25 來經由該等導體層 23,24 黏接在一起，而黏接有這矽基體 21a 之金屬凸塊 25 的該一個側表面係與形成有該另一個矽基體 22a 之導體層 24 的該一個側表面面對。即，該兩個矽基體 21a,22a 經由金屬凸塊 25 黏接在一起的一個

結構係被得到。

在下一個步驟(第 2B 圖)中，於先前之步驟中所得到的該結構(藉著經由金屬凸塊 25 把兩個矽基體 21a,21b 黏接在一起所形成)係被置於一真空室內而像環氧樹脂般的一絕緣樹脂然後係被填注到一個在該等由金屬凸塊 25 黏接之導體層 23,24 之間的間隙，俾藉此形成一具有大約 30 μm 之厚度的絕緣樹脂層 26。

在下一個步驟(第 2C 圖)中，於先前之步驟中所得到的結構的兩表面，即，該等矽基體 21a,22a 之被曝露之側的表面，係著由執行像回-研磨方法(back-grinding method)般的機械研磨來被變薄，俾可構成具有大約 3 μm 至 20 μm 之厚度($t_1 \div t_2$)的矽基體 21,22。由圖式中之虛線所表示的部份表示由該研磨移去的部份。

在下一個步驟(第 2D 圖)中，一個到達該金屬凸塊 25 的介層孔 VH 係被形成於在先前之步驟中被變薄之半導體基體 21,22 中之每一者的所需位置。該介層孔 VH 能夠藉由，例如，以 CO_2 雷射、YAG 雷射、準分子雷射、或其類似鑽孔、或藉由，例如，以電漿蝕刻器蝕刻來被形成。

在下一個步驟(第 2E 圖)中，憑藉 CVD 處理，一氧化矽薄膜(SiO_2)，即，一絕緣薄膜 27，係形成於該等矽基體 21,22 的表面上，包括被形成於該等矽基體 21,22 內之介層孔 VH 的內表面。

該絕緣薄膜 27 係被形成俾把一個在後續步驟中被填注於該介層孔 VH 內的導體層與該等矽基體 21,22 電氣隔

離，而且亦作用為一如上所述的保護薄膜。

雖然，在這步驟中，一氧化矽薄膜係被形成作為該絕緣薄膜 27，例如，一矽酸磷玻璃(PSG)係可以憑藉 CVD 方法來被形成，代替該氧化矽薄膜。或者，藉由塗佈一像聚醯亞胺樹脂、環氧樹脂、或其類似般的樹脂(特別地，一光敏性樹脂)於該整個表面上來形成該絕緣薄膜 27 亦是有可能的。

在下一個步驟(第 2F 圖)中，於先前步驟形成於兩個表面上之個別的絕緣薄膜 27 當中，形成於該介層孔 VH 之內之絕緣薄膜 27 之與金屬凸塊 25 接觸之一部份的至少部份係被切開(開孔 OP)。該開孔 OP 係能夠藉著與在第 2D 圖之步驟中相同的處理，即，藉由，例如，以 CO₂ 雷射、YAG 雷射、準分子雷射、或其類似鑽孔、或藉由，例如，以電漿蝕刻器蝕刻，來被形成。

結果，一個對應於在該介層孔 VH 中之絕緣薄膜 27 之開孔 OP 的部份，即，金屬凸塊 25 的部份係被曝露。

雖然，在這步驟中，該絕緣薄膜 27 的開孔 OP 係藉著雷射、電漿蝕刻、或其類似來形成，其中，該絕緣薄膜 27 係藉由塗佈一光敏性樹脂來被形成，要藉由眾所周知的光刻法技術來形成該開孔 OP 亦是有可能的。

在下一個步驟(第 2G 圖)中，憑藉無電電鍍或電解電鍍，例如，一導體層 CL 係被形成來填注被形成於該等矽基體 21,22 中之每一者中的介層孔 VH(形成於其中之絕緣薄膜 27 的部份打開(開孔 OP))。

具體地，該整個表面係首先遭遇無電鍍(Ni)電鍍，而後，該鍍層係遭遇無電金(Au)電鍍，或者藉由利用該 Ni 層作為電源供應層的電解 Au 電鍍來遭遇薄電鍍(非常小厚度的電鍍)。隨後，電解銅(Cu)電鍍係利用該 Au 層作為電源供應層來被執行俾可填注該介層孔 VH，俾藉此形成一三層(Ni/Au/Cu)導體層 CL。在電解 Cu 電鍍期間，於該導體層 CL 中的該 Ni 層預計增加到該底層絕緣薄膜(SiO_2)27 的黏著而該 Au 層係被形成來降低電阻。

在該如此形成的導體層 CL 中，一埋藏於該介層孔 VH 內的導體 28 係在後續的步驟中被使用來形成一個在這導體上的電極墊。而且，由於比電鍍稍微多的處理係在這步驟中被執行，一導體層 28a 係如在圖式中所示亦被形成於該絕緣薄膜 27 上之該介層孔 VH 以外的部份。

在下一個步驟(第 2H 圖)中，該整個表面係藉由憑藉機械研磨、化學機械研磨(CMP)、或其類似來移去被形成於在該絕緣薄膜 27 上之該介層孔 VH 以外之部份之不必要的導體層 28a 直到被埋藏於在該絕緣薄膜 27 上之介層孔 VH 之導體 28 的頂端表面被曝露為止來被使成平坦。

在下一個步驟(第 2I 圖)中，於兩側上之絕緣薄膜 27 中之每一者上係形成有一具所需形狀的電極墊 29，俾可被電氣連接到該被埋藏於該介層孔 VH 的導體 28。

該電極墊 29 能夠，例如，藉由塗佈或形成一抗阻劑(圖中未示)於該整個表面上、把該抗阻劑定以圖案成所需形狀、及以該抗阻劑作為光罩執行 Cu、Al、Au、Cr、或其類

似的濺鍍來被形成。或者，任何的電鍍係可以被執行代替該濺鍍。

由於以上所述之步驟的結果，構成該半導體元件 10 之該等結構 20a,20b,20c 中之每一者係被製作。雖然，在第 2I 圖的例子中，最下級的結構 20a 係被顯示，其他的結構 20b,20c 亦能夠由在第 2A 至 2I 圖中所示的步驟來類似地製作。注意，該等結構 20b,20c 與該結構 20a 不同的地方係在於該介層孔 VH 在第 2D 圖之步驟中被形成的位置係與該結構 20a 的那個不同。

在下一個步驟(第 2J 圖)中，一金屬凸塊 30a 係被黏接到在先前之步驟中被形成之結構 20a 之下側上的電極墊 29。雖然未在圖式顯示，金屬凸塊 30b,30c 亦係同樣地被黏接到其他結構 20b,20c。在這情況中，如以上所述，金屬凸塊 30a 並不是經常必須設置於該最下級的結構 20a 上。

焊料，Au、Ag、In、或其類似，係被使用作為該等金屬凸塊 30a,30b,30c 的材料。例如，在 In 被使用時，由於與其他金屬比較起來這金屬之相當低的熔點，有一個優點是為，在執行凸塊黏接時，要抑制對該結構之樹脂層(在這情況中，該絕緣樹脂層 26)的熱效應是有可能的。

在最後的步驟(第 2K 圖)中，該等分別黏接有金屬凸塊 30a,30b,30c 的結構 20a,20b,20c 係藉著熱壓黏接、或其類似，經由該等金屬凸塊 30b,30c 來被堆疊和電氣地相互連接。最下級之結構 20a 的金屬凸塊 30a 係被使用作為外部連接端。

再者，作為底部填充的一絕緣樹脂係被填注到該在該等被堆疊之結構 20a,20b,20c 之間的間隙，藉此這實施例的半導體元件 10 被得到。

如上所述，根據這實施例的半導體元件 10(第 1 圖)及其製造方法(第 2A 至 2K 圖)，因為該等矽基體 21a,22a 係在該等於其上形成有元件圖案(導體層 23,24)之個別之一個側表面係彼此面對時憑藉金屬凸塊 25 來被黏接在一起；該絕緣樹脂(緩衝層)26 係填注到該在矽基體 21a,22a 之間的間隙；及其後該等基體中之每一者的厚度係藉由研磨該等矽基體 21a,22a(該等矽基體 21,22)之個別之被曝露之表面來被降低，要在三度空間安裝結構的整個半導體元件 10 實現變薄設計是有可能的。

而且，由於該緩衝層 26 係被插置於該等矽基體 21a,22a 之面對的導體層 23,24 之間，在該緩衝層 26 的幫助下，要有效地吸收和緩衝由每一基體之研磨所引起的機械衝擊是有可能的。這有助於該等矽基體 21,22 之抗裂性的提升。換句話說，即使該等矽基體被變薄到一個接近習知技術之狀態之極限的水平，要消除像裂痕之出現、對基體之毀損、或其類似般之如在習知技術中所見的缺點是有可能的。

再者，由於研磨之目的是為一種藉由於在其上係形成有元件圖案(導體層 23,24)之個別之一個側表面係彼此面對時把兩個矽基體 21a,22a 好像在鏡子中反射對稱地黏接在一起來被得到的結構，要消除如在習知技術中所見之像矽基體之由於產生在該基體之一個表面與另一個表面之間

之應力上之差異所引致之彎曲般的缺點是有可能的。

再者，由於該等矽基體 21,22 中之每一者的厚度係被降低到大約 3 μm 到 20 μm ，要在該等變薄之矽基體中形成介層孔 VH(第 2C 圖,第 2D 圖)係變得容易。

在以上所述的實施例中，關於 Ni/Au/Cu 之導體層 CL 係憑藉在第 2G 圖之步驟中之無電電鍍與電解電鍍來被形成之情況的說明係被作成。然而，顯而易知的是，形成導體層 CL 的方法並不受限於以上的情況。例如，一所需的薄膜係可以藉著代替無電電鍍的濺鍍來被形成。

作為一個具體例子，Cr，例如，係藉著濺鍍來被沉積於每一絕緣層 27 的整個表面上，包括介層孔 27 的內表面和被曝露之金屬凸塊 25 的表面；Cu 係進一步藉由濺鍍來被沉積於該 Cr 層上，俾可形成兩層結構的金屬薄膜；而憑藉該金屬薄膜作為電源供應層，一 Cu 的金屬層係藉著電解電鍍來被形成於該整個表面上，藉此要形成 Cr/Cu 的導體層是有可能的。在這情況中，由於在以上所述之導體層 CL 中的 Ni 層，是為該金屬薄膜之底層部份的該 Cr 層係被形成俾可增加到該底層絕緣薄膜 27 的黏著。

而且，在以上所述的實施例中，關於該等結構 20a,20b,20c 係藉由對準每一結構之電極墊 29 與金屬凸塊 25 之位置來被堆疊成三級之情況的說明係被作成。然而，不是經常需要把該等金屬凸塊 25 之位置與該等電極墊 29 之位置(即，該等金屬凸塊 30a,30b,30c 之位置)對準為理所當然的事，而且，被堆疊之級的數目不受限為三級為理所當然的事。

當然的事。

而且，不是經常需要把如此之結構堆疊成數級，端視所需的狀況而定，該結構可以是為單一級。如此之單一級結構的例子係被顯示於第 3 圖。

第 3 圖示意地顯示本發明之另一實施例之半導體元件的剖面結構。

這實施例的半導體元件 40 與以上所述之實施例(第 1 圖及第 2A 至 2K 圖)的半導體元件 10 不同的地方係在於該結構(與在第 2K 圖中所示之結構 20a,20b,20c 中之每一者相等)不被堆疊成數級，且係在於，在如將於稍後作說明之從兩側研磨該等矽基體 42a,42b 中之每一者時，僅一個矽基體係被變薄到一指定厚度(T1)，而另一個矽基體的厚度不被降低俾可具有一定的厚度(T2)。由於其他的特徵基本上係與在第 1 圖中所示之最上級之結構 20c 的那些相同，其之說明係被省略。

於此後，一種製造這實施例之半導體元件 40 的方法將會配合依序顯示該等製造步驟的第 4A 至 4G 圖作說明。

首先，在第一步驟(第 4A 圖)中，在與於第 2A 和 2B 圖之步驟中所執行之處理相同的形式下，兩個矽基體 41a,42a 係在於其上形成有導體層 43,44(元件圖案)之個別之一個側表面係彼此面對時憑藉金屬凸塊 45 來被黏接在一起，而一作為緩衝層的絕緣樹脂 46 係被填注到一個在該等表面之間的間隙內。

在下一個步驟(第 4B 圖)中，於先前之步驟中所得到的

結構的兩表面(即，矽基體 41a,42a 被曝露之個別的一個側表面)係憑藉一回研磨方法來被研磨以致於僅一個矽基體 41a 被變薄到一指定的厚度 T1(大約 3 μm 到 20 μm)俾藉此得到一矽基體 41，而至於另一個矽基體 42a，研磨的量係相對地降低俾具有一定的厚度 T2(大約 100 μm 到 300 μm)俾藉此得到一矽基體 42。在圖式中由虛線所表示的該等部份代表藉該研磨移去的部份。

在下一個步驟(第 4C 圖)中，到達金屬凸塊 45 的介層孔 VH 係被形成於在先前之步驟中被變薄之一個半導體基體 41 的所需位置。在與於第 2D 圖之以上所述之步驟中執行之處理相同的形式下，該介層孔 VH 係能夠藉，例如，憑藉雷射的鑽孔、或藉，例如，憑藉電漿蝕刻器的蝕刻，來被形成。

在下一個步驟(第 4D 圖)中，在與於第 2E 和 2F 圖之以上所述之步驟中執行之處理相同的形式下，一像氧化矽薄膜般的絕緣薄膜 47 係，例如，憑藉 CVD 處理來形成於該等矽基體 41,42 中之每一者的表面上，包括該介層孔 VH 的內表面。再者，憑藉雷射或電漿蝕刻器，例如，被形成於該介層孔 VH 內之絕緣薄膜 47 之與金屬凸塊 45 接觸之部份的至少部份係被打開(開孔 OP)。結果，金屬凸塊 45 的部份係被曝露。

在下一個步驟(第 4E 圖)中，與在第 2G 和 2H 圖之以上所述之步驟中執行之處理相同的形式下，一導體層係藉電鍍，例如，來被形成俾可填注被形成於一個矽基體 41

中的介層孔 VH(被形成於該基體中之絕緣薄膜 47 的部份打開(開孔 OP))，而一被埋藏於該介層孔 VH 內的導體 48 係藉由憑藉機械研磨、或其類似來移去被形成於該介層孔 VH 以外之部份之不必要的導體層來被形成。

在下一個步驟(第 4F 圖)中，於一個矽基體 41 上的絕緣薄膜 47 上，具有所需形狀的電極墊 49 係被形成，電極墊 29 係電氣地連接到被埋藏於介層孔 VH 中的導體 48。該電極墊 49 能夠在與於第 2I 圖之以上所述之步驟中所執行之處理相同的形式下藉著濺鍍、電鍍、或其類似來被形成。

在最後的步驟(第 4G 圖)中，作為外部連接端的金屬凸塊 50 係黏接到在先前之步驟中形成的電極墊 49。結果，這實施例的半導體元件 40(第 3 圖)被得到。

根據在第 3 圖和第 4A 至 4G 圖中所示的實施例，如同在以上所述之實施例(第 1 圖與第 2A 至 2K 圖)的情況中，因為該等矽基體 41a,42a 係在該等於其上形成有元件圖案(導體層 43,44)之個別之一個側表面係彼此面對時憑藉金屬凸塊 45 來被黏接在一起；一絕緣樹脂(緩衝層)46 係填注到該在矽基體 41a,42a 之間的間隙；及該等矽基體 41a,42a 之被曝露之表面中之每一者係被變薄(該等矽基體 41,42)，要在被最終製成的整個半導體元件 40 實現變薄設計是有可能的。

而且，由於該絕緣層(該緩衝層)46 的存在，要有效地吸收和緩衝由該等基體 41a,42a 中之每一者之研磨所引起

的機械衝擊是有可能的，而因此，要消除在該等矽基體 41,42 中之像裂痕之出現、或其類似般的缺點是有可能的。再者，由於研磨之目的是為一種藉由於在其上係形成有元件圖案(導體層 43,44)之個別之一個側表面係彼此面對時把兩個矽基體 41a,42a 好像在鏡子中反射對稱地黏接在一起來被得到的結構，要消除像矽基體之由產生在該兩個表面之間之應力上之差異所引致之彎曲般的缺點是有可能的。同樣地，由於該矽基體 41 的厚度係被降低到大約 3 μm 到 20 μm ，要在該等變薄之矽基體中形成介層孔 VH(第 4B 圖,第 4C 圖)係變得容易。

【圖式簡單說明】

第 1 圖是為顯示本發明之一實施例之半導體元件之結構的剖視圖；

第 2A 至 2K 圖是為顯示在第 1 圖中所示之半導體元件之製造步驟的剖視圖；

第 3 圖是為顯示本發明之另一實施例之半導體元件之結構的剖視圖；及

第 4A 至 4G 圖是為顯示在第 3 圖中所示之半導體元件之製造步驟的剖視圖。

【圖式之主要元件代表符號表】

10	半導體元件	20a	結構
20b	結構	20c	結構
21	矽基體	22	矽基體
23	導體層	24	導體層

25	金屬凸塊	26	絕緣樹脂層
27	絕緣薄膜	28	導體
29	電極墊	OP	開孔
t1	厚度	t2	厚度
30a	結構	30b	結構
30c	結構	31	絕緣樹脂層
21a	矽基體	22a	矽基體
VH	介層孔	CL	導體層
28a	導體層	40	半導體元件
41a	矽基體	42a	矽基體
T1	厚度	T2	厚度
41	矽基體	42	矽基體
43	導體層	44	導體層
45	金屬凸塊	46	絕緣樹脂
47	絕緣薄膜	48	導體
49	電極墊	50	金屬凸塊

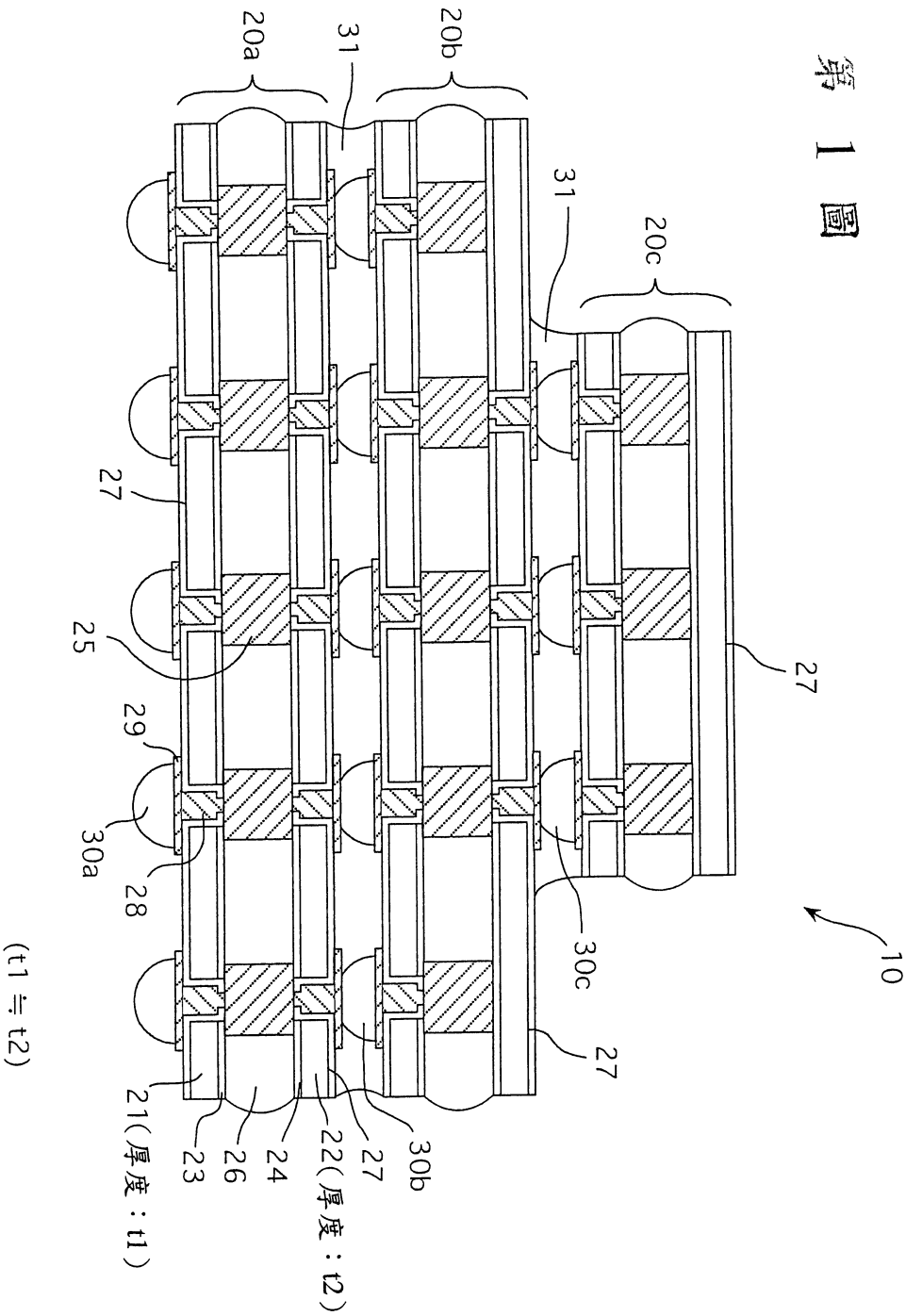
伍、中文發明摘要：

兩個半導體基體係在於其上形成有元件圖案之個別之一個側表面彼此面對時首先憑藉金屬凸塊來黏接在一起，而一樹脂然後被填注到一個在該等個別之一個側表面之間間隙內且其後該等半導體基體中之每一者係被研磨及變薄到一指定厚度。再者，一介層孔與一絕緣薄膜係被形成；該絕緣薄膜之與金屬凸塊接觸之部份的部份被打開；該介層孔的內部係由一導體填注；及一電極墊係被形成於該導體上，俾藉此形成結構。最後，所需數目的結構係經由電極墊來被彼此電氣地連接及被堆疊俾藉此得到一半導體元件。

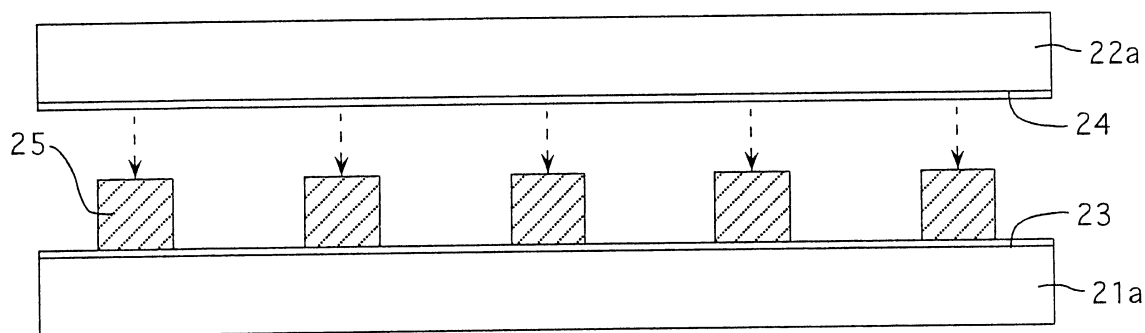
陸、英文發明摘要：

Two semiconductor substrates are first bonded together by means of a metal bump, while respective one-side surfaces on which device patterns are formed are faced each other, and a resin is then filled into a gap between the respective one-side surfaces and thereafter each of the semiconductor substrates is polished and thinned to a prescribed thickness. Furthermore, a via hole and an insulating film are formed; part of a portion in contact with the metal bump, of the insulating film, is opened; the inside of the via hole is filled with a conductor; and an electrode pad is formed on the conductor, to thereby form structures. Finally, a required number of structures are electrically connected with each other through the electrode pad and stacked to thereby obtain a semiconductor device.

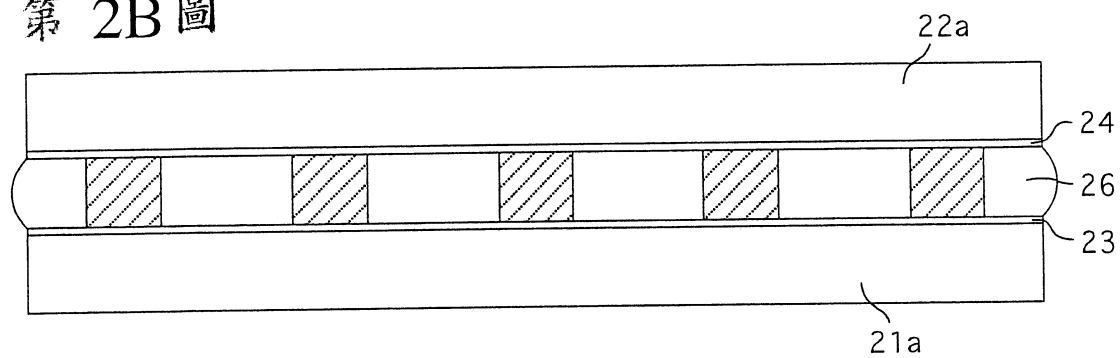
第 1 圖



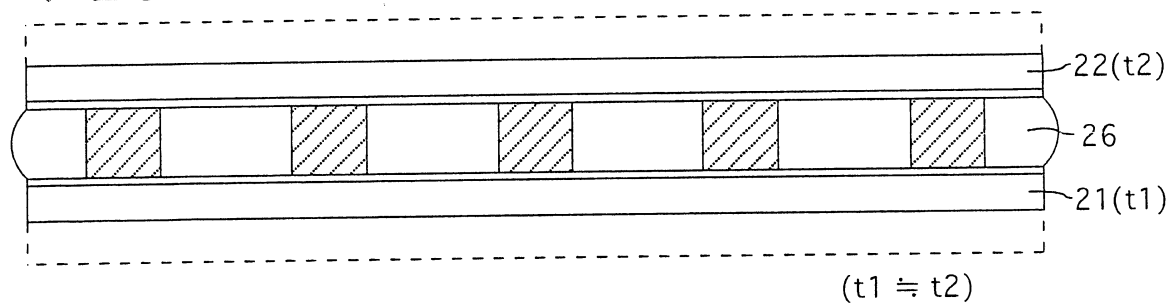
第 2A 圖



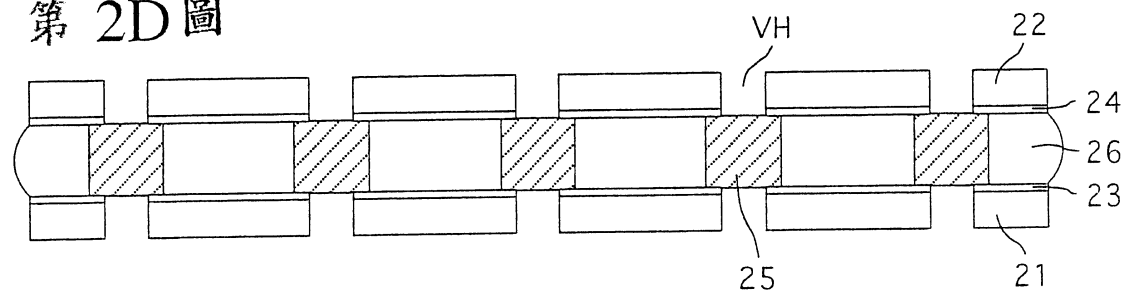
第 2B 圖



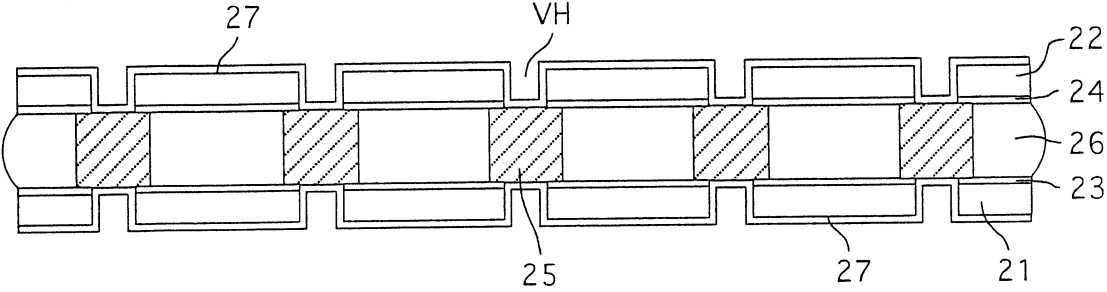
第 2C 圖



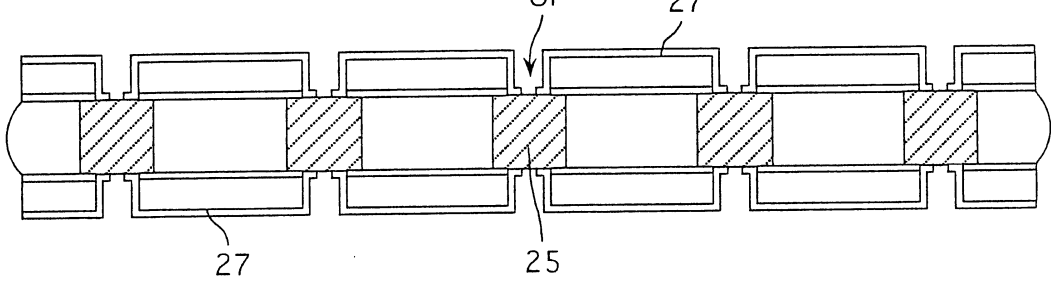
第 2D 圖



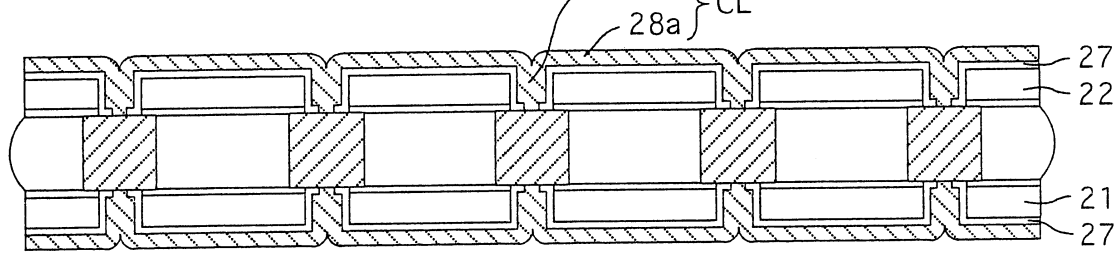
第 2E 圖



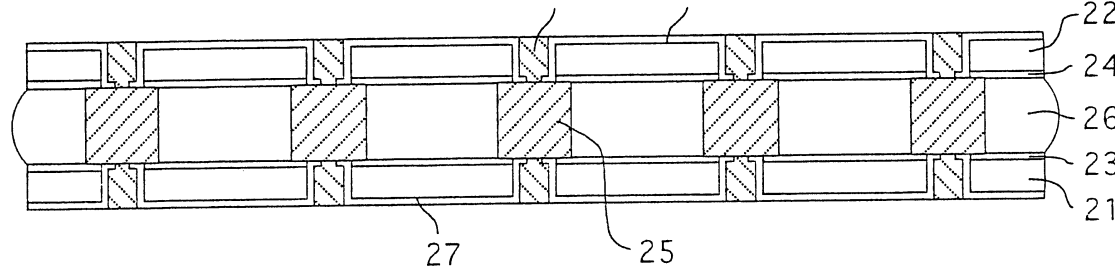
第 2F 圖



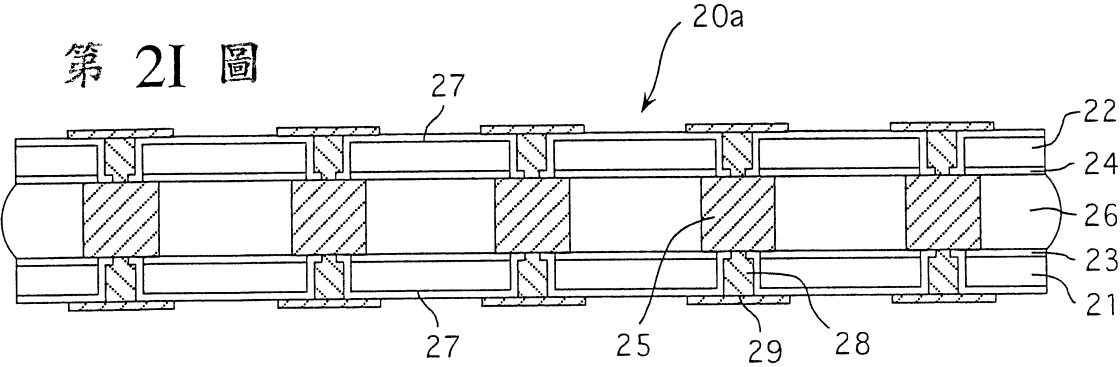
第 2G 圖



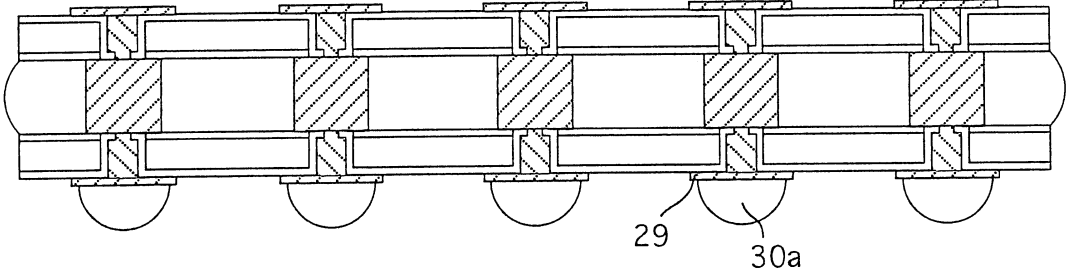
第 2H 圖



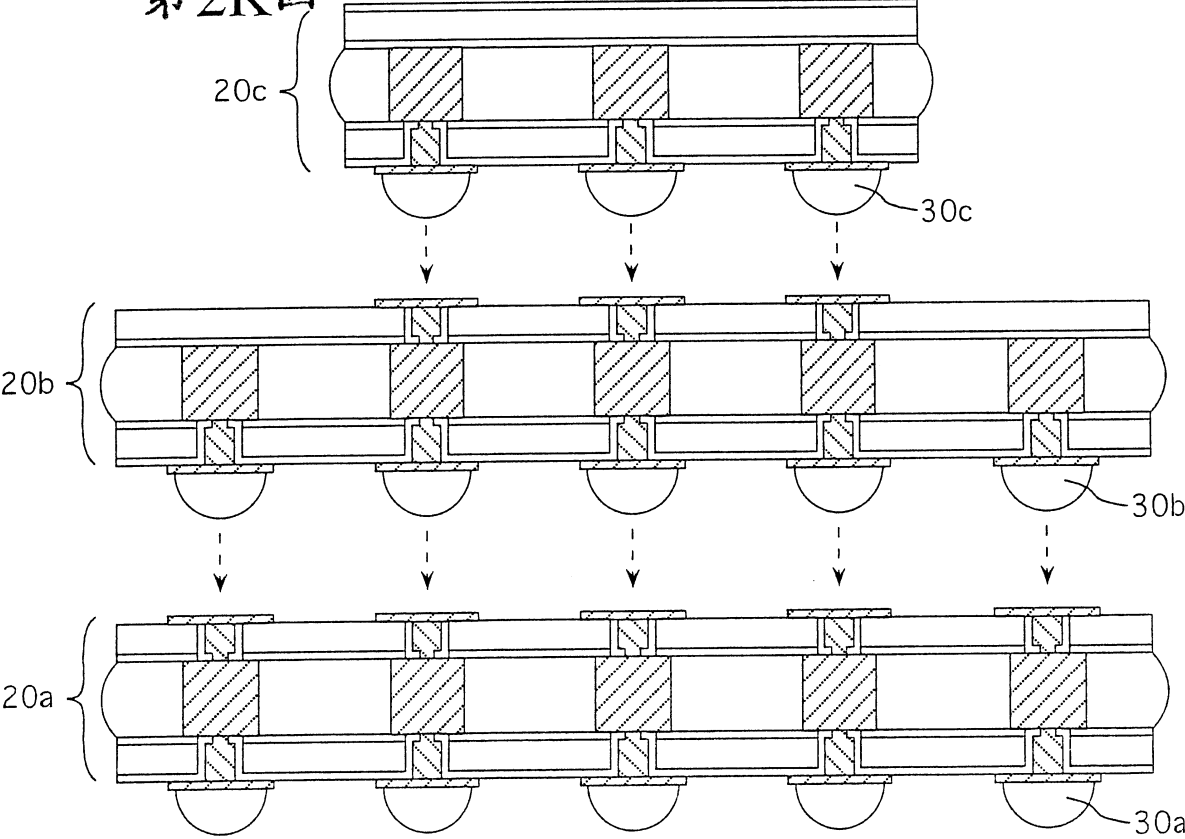
第 2I 圖



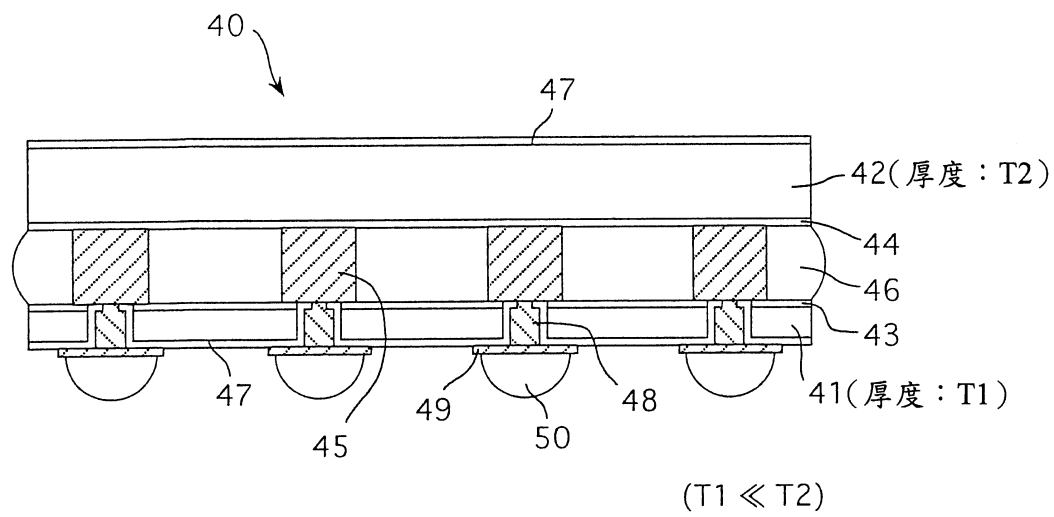
第 2J 圖



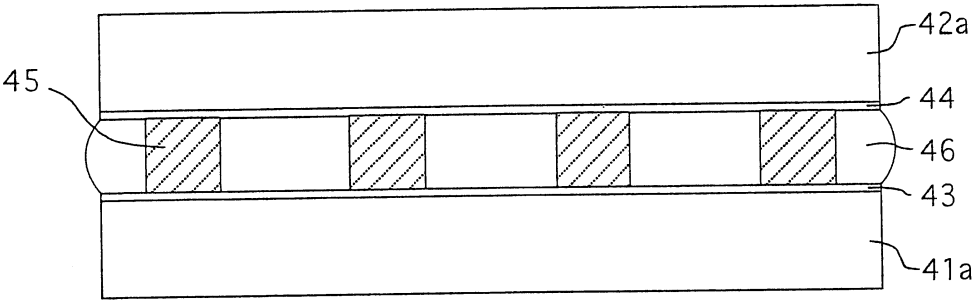
第 2K 圖



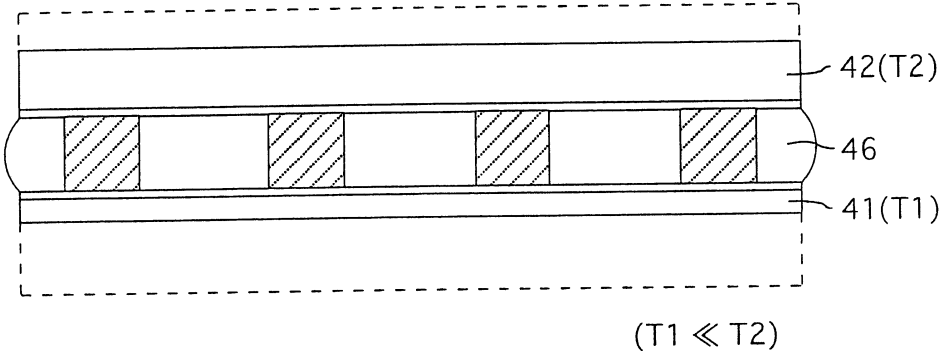
第 3 圖



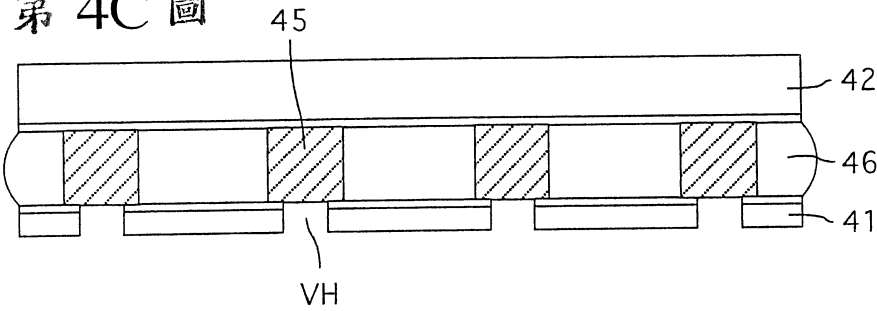
第 4A 圖



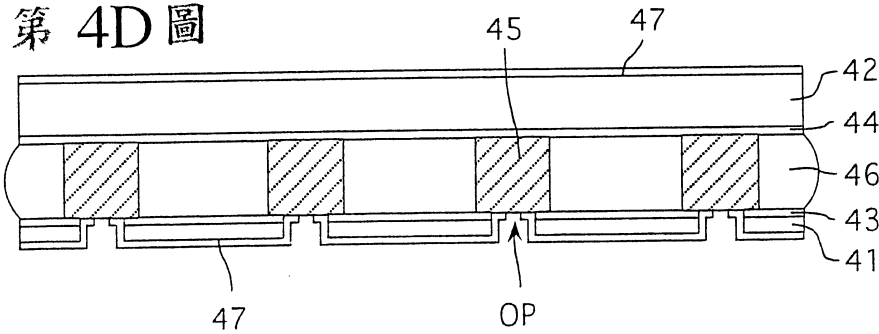
第 4B 圖



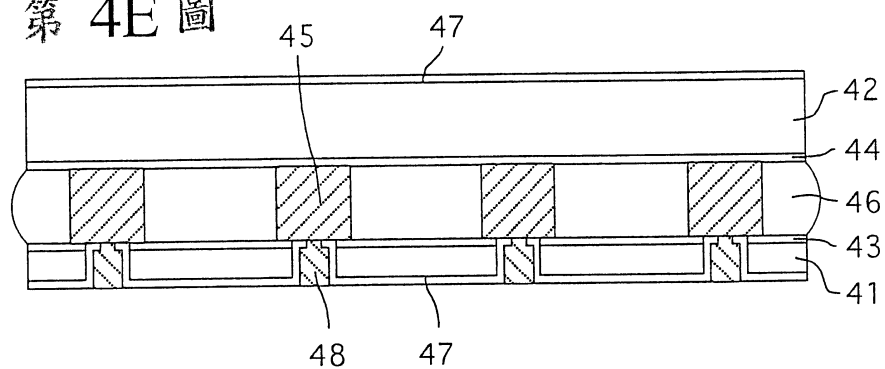
第 4C 圖



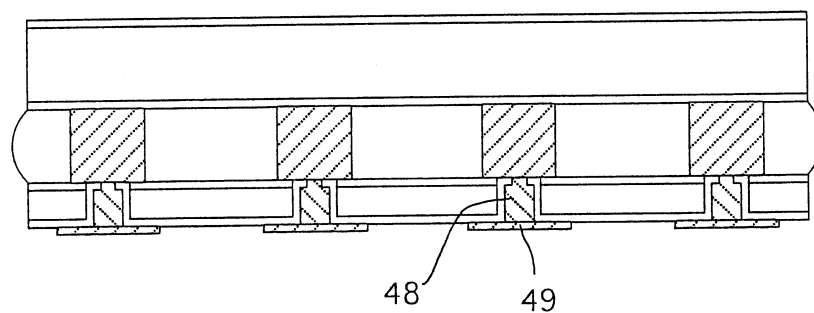
第 4D 圖



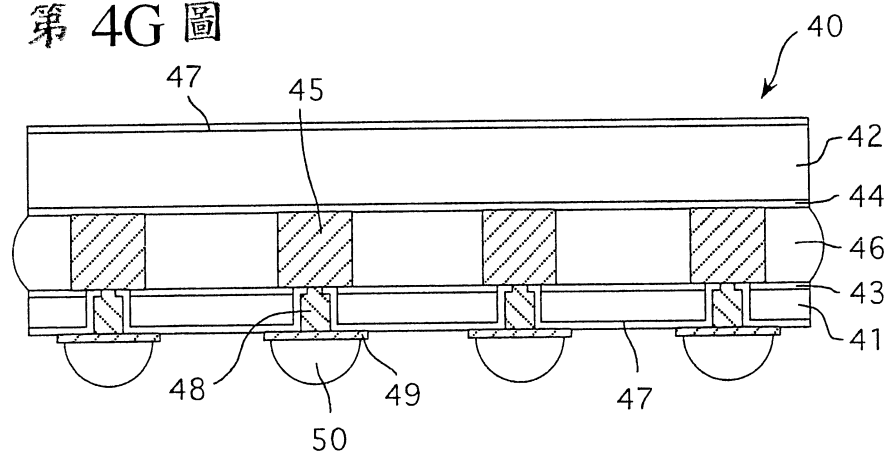
第 4E 圖



第 4F 圖



第 4G 圖



柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

10	半導體元件	20a	結構
20b	結構	20c	結構
21	矽基體	22	矽基體
23	導體層	24	導體層
25	金屬凸塊	26	絕緣樹脂層
27	絕緣薄膜	28	導體
29	電極墊	t1	厚度
t2	厚度	30a	金屬凸塊
30b	金屬凸塊	30c	金屬凸塊
31	絕緣樹脂層		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種製造半導體元件的方法，包含如下之步驟：

藉著一金屬凸塊將兩半導體基體黏接於個別半導體之一側表面上，該側表面形成有被圖案化成所需形狀之一導體層，而該個別半導體之一側表面係彼此相對著；

以一絕緣樹脂填注該等個別導體層之間的一間隙，該等個別導體層係藉著金屬凸塊所黏接；

研磨該等半導體基體之每一曝露之側表面，藉此薄化每一半導體基體至一指定厚度；

於每一變薄之半導體基體之所需位置上形成一延伸至該金屬凸塊的介層孔；

於包括該被形成之介層孔之內表面的每一半導體基體的表面上形成一絕緣薄膜；

於形成在該介層孔內之絕緣薄膜與該金屬凸塊接觸部份之至少一部分上開孔；

以一導體填注該介層孔的內部且進一步於該絕緣薄膜上形成被圖案化為所需形狀且電氣連接至該導體的一電極墊；及

根據所需的數目堆疊由上述步驟所得之結構，且經由該電極墊將個別結構彼此電氣地連接。

2. 如申請專利範圍第 1 項所述之方法，在堆疊所需數目之結構的步驟之後，更包含黏接金屬凸塊至電極墊的步驟，該金屬凸塊係作為外部連接端，該電極墊係形成於最低位置之結構之被曝露之側表面上。

- 3.如申請專利範圍第 1 項所述之方法，其中，在堆疊所需數目之結構的步驟中，較高位置之結構與較低位置之結構之個別的電極墊係彼此面對，憑藉金屬凸塊黏接。
- 4.如申請專利範圍第 3 項所述之方法，其中，在堆疊所需數目之結構的步驟之後，一絕緣樹脂係被填注到該等被堆疊之結構之間的間隙。
- 5.如申請專利範圍第 1 項所述之方法，其中，要被形成於該等兩個半導體基體之個別之一個側表面上的導體層，係被圖案化俾可於黏接期間被排列成彼此面對時相互地展現相同的形狀。
- 6.如申請專利範圍第 1 項所述之方法，其中，在使該等半導體基體中之每一者變薄到一指定厚度的步驟中，該指定厚度係在 3 μm 到 20 μm 的範圍中被選擇。
- 7.一種製造半導體元件的方法，包含如下之步驟：

藉著一金屬凸塊將兩半導體基體黏接於個別半導體之一側表面上，該側表面形成有被圖案化成所需形狀之一導體層，而該個別半導體之一側表面係彼此相對著；

以一絕緣樹脂填注該等個別導體層之間的一間隙，該等個別導體層係藉著金屬凸塊所黏接；

研磨該等半導體基體中之每一曝露之側表面，藉此只薄化該等半導體基體之其中一者至一指定厚度；

於每一變薄之半導體基體之所需位置上形成一延伸至該金屬凸塊的介層孔；

於包括該被形成之介層孔之內表面的每一半導體基

體的表面上形成一絕緣薄膜；

於形成在該介層孔內之絕緣薄膜與該金屬凸塊接觸部份之至少一部上開孔；及

以一導體填注該介層孔的內部且進一步於該薄化之半導體基體上之該絕緣薄膜上形成被圖案化為所需形狀且電氣地連接至該導體的一電極墊。

8.如申請專利範圍第 7 項所述之方法，在形成該電極墊的步驟之後，更包含黏接一金屬凸塊至該電極墊之步驟，該金屬凸塊係作為外部連接端。

9.一種由如申請專利範圍第 2 項之製造半導體元件之方法所製造的半導體元件。

10.一種由如申請專利範圍第 8 項之製造半導體元件之方法所製造的半導體元件。