

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G11C 5/14	(11) 공개번호 특 1997-0029757
	(43) 공개일자 1997년 06월 26일
(21) 출원번호	특 1996-0038817
(22) 출원일자	1996년 09월 07일
(30) 우선권주장	95-309616 1995년 11월 28일 일본(JP)
(71) 출원인	미쓰비시 덴키 가부시끼가이샤    키타오카 타카시 일본국 도쿄도 지요다구 마루노우치 2-2-3
(72) 발명자	야수다 게니찌 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 후루타니 기요히로 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 오오이시 쓰우카사 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내 히다카 히데토 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼가이샤 내
(74) 대리인	김창세, 김영

**심사청구 : 있음**

**(54) 반도체장치 및 비교회로**

**요약**

파워온 리세트신호를 인가하는 대상에 따라서 적절한 타이밍에서 파워온 리세트신호를 발생한다. 파워온 리세트 신호를 발생하는 POR 신호 발생회로는 내부전압 발생회로의 전압에 따라 동작한다.

**대표도**

**도 11**

**명세서**

[발명의 명칭]

반도체장치 및 비교회로

[도면의 간단한 설명]

제11도는 POR신호 발생회로의 구성의 제1의 형태를 도시한 회로도.  
제22도는 본 발명의 실시예 11에 의한 반도체장치의 구성을 도시한 블럭도.  
제24도는 제22도의 POR신호 발생회로의 구성을 도시한 회로도.

"본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음"

**(57) 청구의 범위**

**청구항 1**

반도체칩내에 마련된 내부회로, 상기 반도체칩에 마련되어 상기 반도체칩의 외부에서 인가되는 외부전압을 받기 위한 전원입력단자, 상기 반도체칩내에 마련됨과 동시에 상기 전원입력단자에 접속되어 상기 외부전압에 따라 상기 내부회로로 공급하는 내부전압을 발생하는 내부전압 발생회로 및 상기 반도체칩내에 마련되어 상기 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제1리세트신호를 생성하는 제1리세트신호 발생회로를 포함하는 반도체장치.

**청구항 2**

제1항에 있어서, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1 및 제2회로부가 모두 상기 제1리세트신호로 리세트되거나 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

**청구항 3**

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트신호를 생성하는 제2리세트신호 발생회로를 더 포함하고, 상기 내부회로는 상기 내부전압을 사용해서 동작하는 제1회로부와 상기 외부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1회로부는 상기 제1리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

**청구항 4**

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1 및 제2내부전압을 각각 발생하는 제1 및 제2 내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 반도체칩내에 마련되어 상기 제1내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제2리세트신호를 생성하는 제2리세트신호 발생회로와 상기 반도체칩내에 마련되어 상기 제2내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 제3리세트신호를 생성하는 제3리세트신호 발생회로를 포함하며, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1회로부는 상기 제2리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두고, 상기 제2회로부는 상기 제3리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

**청구항 5**

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1 및 제2내부전압을 발생하는 제1 및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 제1내부전압에 따라서 상기 제1리세트신호를 발생시키고, 상기 내부회로는 상기 제1내부전압을 사용해서 동작하는 제1회로부와 상기 제2내부전압을 사용해서 동작하는 제2회로부를 포함하고, 상기 제1 및 제2회로부는 모두 상기 제1리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

**청구항 6**

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 외부전압에 따라서 내부전원용 리세트신호를 생성하는 내부전원용 리세트신호 발생회로를 더 포함하고, 상기 내부전압 발생회로는 상기 내부전원용 리세트신호로 리세트되거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두는 것을 특징으로 하는 반도체장치.

**청구항 7**

제1항에 있어서, 상기 반도체칩내에 마련되어 상기 내부전압 발생회로에서 인가되는 내부전압에 따라 내부회로내에서 사용하는 하위 내부전압을 발생하는 하위 내부전압 발생회로와 상기 반도체칩내에 마련되어 상기 하위 내부전압에 따라서 상기 내부회로를 리세트하거나 또는 소정의 상태로 될 때까지 회로동작을 정지시켜 두기 위한 하위 리세트신호를 발생하는 하위 리세트신호 발생회로를 더 포함하는 것을 특징으로 하는 반도체장치.

**청구항 8**

제7항에 있어서, 상기 반도체 칩상에 형성된 메모리셀의 셀플레이트 전위는 상기 내부전압에 따라 주어지고, 상기 반도체 칩의 기판전위는 상기 외부 전압에 따라 주어지는 반도체 장치.

**청구항 9**

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압과 함께 상기 외부전압에 따라서 상기 제1리세트신호를 발생하는 것을 특징으로 하는 반도체장치.

**청구항 10**

제9항에 있어서, 상기 내부 전압은 제1 및 제2전위로 주어지고, 상기 외부전압은 상기 제2 및 제3전위로 주어지며, 상기 제1리세트 신호 발생 회로는 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류 전극, 및 제2전류 전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전극을 갖는 캐패시터, 상기 제3전위가 인가되는 제어 전극, 상기 제3전위가 인가되는 제1전류 전극, 및 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류 전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제어 전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류 전극에 접속된 입력 단자와 출력 단자를 갖는 제1인버터와 상기 제1인버터의 출력 단자에 접속된 입력단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체 장치.

**청구항 11**

제1항에 있어서, 상기 내부전압 발생회로는 서로 다른 제1 및 제2내부전압을 발생하는 제1 및 제2내부전압 발생회로를 포함하고, 상기 제1리세트신호 발생회로는 상기 제1 및 제2내부전압에 따른 앞가장자리부(leading edge) 및 뒷가장자리부(trailing edge)를 갖는 펄스형상의 상기 제1리세트신호를 발생하는 것을 특징으로 하는 반도체장치.

**청구항 12**

제11항에 있어서, 상기 제1내부 전압은 제1 및 제2전위로 주어지고, 상기 제2내부 전압은 제2 및 제3전위로 주어지며, 상기 제1리세트 신호 발생 회로는 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류 전극, 및 제2전류 전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전극을 갖는 캐패시터, 상기 제3전위가 인가되는 제어 전극, 상기 제3전위가 인가되는 제1전류 전극, 및 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류 전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제어 전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류 전극에 접속된 입력 단자와 출력 단자를 갖는 제1인버터와 상기 제1인버터의 출력 단자에 접속된 입력 단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체 장치.

**청구항 13**

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압 발생회로 내부의 소정의 2점의 노드의 전압을 비교하는 비교 수단과 상기 비교수단에 있어서의 비교결과에 따라서 상기 제1리세트신호를 생성하는 리세트신호 생성수단을 포함하는 반도체장치.

**청구항 14**

제13항에 있어서, 상기 비교수단은 제1전원전위점에 접속된 제1전류전극, 제1입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극 및 제2도전형의 제2트랜지스터, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극, 제2입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 제1전류전극, 제어전극 및 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 제1전류전극, 상기 제4트랜지스터의 상기 제2전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 제2전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극 및 상기 제3트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 제2전류전극에 접속된 입력단자 및 출력단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 포함하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 하는 반도체장치.

**청구항 15**

제1항에 있어서, 상기 제1리세트신호 발생회로는 상기 내부전압 발생회로 내부에서 발생하는 기준전압 또는 상기 내부전압 발생회로에서 사용하고 있는 기준전압을 발생하는 것과 동일한 구성의 회로에서 출력되는 전압에 따라서 상기 제1리세트신호를 생성하는 것을 특징으로 하는 반도체장치.

**청구항 16**

제1항에 있어서, 상기 내부 전압 발생회로는 제1 및 제2전위로 상기 내부전압을 공급하고, 상기 제1리세트 신호 발생 회로는 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류 전극, 및 제2전류전극을 갖는 제1절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전극을 갖는 캐패시터, 상기 제1전위가 인가되는 제어 전극, 상기 제1전위가 인가되는 제1전류 전극, 및 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 제1전류 전극, 상기 제1절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제어 전극, 상기 제2절연 게이트 트랜지스터의 상기 제2전류 전극에 접속된 제2전류 전극을 갖고, 상기 제1절연 게이트 트랜지스터와 도전형이 동일한 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 제2전류 전극에 접속된 입력 단자와 출력 단자를 갖고, 상기 내부전압을 이용하여 동작하는 제1인버터와 상기 제1인버터의 출력 단자에 접속된 입력단자와 상기 제1리세트 신호를 출력하는 출력 단자를 갖고, 상기 내부전압을 이용하여 동작하는 제2인버터를 포함하는 반도체장치.

**청구항 17**

제1항에 있어서, 상기 내부 전압 발생회로는 상기 내부 전압의 기준으로서 기준 전압을 발생하는 기준전압 발생회로를 포함하고, 상기 제1리세트 신호 발생 회로는 상기 기준 전압 발생 회로는 소정의 노드의 전위가 소정의 전위에 도달하는 것을 검출하는 드라이버와 상기 드라이버의 출력신호에 따라서 상기 제1리세트 신호를 발생하는 리세트 신호 발생부를 포함하는 반도체장치.

**청구항 18**

제17항에 있어서, 상기 외부 전압은 제1 및 제2전위로 주어지고, 상기 드라이버는 상기 소정의 전위에 접속된 게이트, 상기 제1전위가 인가되는 소스, 및 드레인을 갖는 제1절연 게이트 트랜지스터, 상기 제1절연 게이트 트랜지스터의 상기 드레인에 접속된 제1단부와 상기 제2전위가 인가되는 제2단부를 갖는 레지스터 수단을 포함하고, 상기 리셋 신호 발생부는, 상기 레지스터 수단의 제1단부에 접속된 입력 단자, 상기 입력 단자에서 보내진 신호를 반전하여 출력하는 출력 단자를 갖고, 상기 외부 전원을 사용하여 동작하는 제1인버터, 상기 제1절연 게이트 트랜지스터의 제2전위가 인가되는 소스, 상기 레지스터 수단의 상기 제1단부에 접속된 게이트와 드레인을 갖는 제2절연 게이트 트랜지스터, 상기 제2전위가 인가되는 소스, 상기 제1인버터의 상기 출력 단자에 접속된 게이트와 드레인을 갖는 제3절연 게이트 트랜지스터, 상기 제2절연 게이트 트랜지스터의 상기 드레인에 접속된 드레인과 상기 제3절연 게이트 트랜지스터의 상기 드레인에 접속된 게이트와 상기 제1전위가 인가되는 소스를 갖는 제4절연 게이트 트랜지스터와 상기 제4절연 게이트 트랜지스터의 상기 드레인에 접속된 게이트와 상기 제1전위가 인가되는 소스와 상기 제4절연 게이트 트랜지스터의 상기 게이트에 접속된 드레인을 갖는 제5절연 게이트 트랜지스터와, 상기 제5절연 게이트 트랜지스터의 상기 드레인에 접속된 입력 단자와 상기 제1리셋 신호를 출력하는 출력 단자를 갖는 제2인버터를 포함하는 반도체 장치.

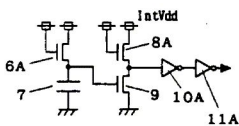
**청구항 19**

제1전원전위점에 접속된 제1전류전극, 제1입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제1트랜지스터, 상기 제1입력단자에 접속된 제어전극, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극 및 제2전류전극을 갖는 제1도전형의 제2트랜지스터, 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제1전류전극, 제2입력단자에 접속된 제어전극 및 제2전류전극을 갖는 제1도전형의 제3트랜지스터, 제2전원전위점에 접속된 제1전류전극, 제어전극 및 상기 제1트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제4트랜지스터, 상기 제2전원전위점에 접속된 제1전류전극, 상기 제4트랜지스터의 상기 제2전류전극에 접속된 제어전극 및 상기 제2트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제5트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극, 상기 제5트랜지스터의 상기 제어전극에 접속된 제2전류전극 및 제어전극을 갖는 제2도전형의 제6트랜지스터, 상기 제4트랜지스터의 상기 제어전극에 접속된 제1전류전극 및 상기 제3트랜지스터의 상기 제2전류전극에 접속된 제2전류전극을 갖는 제2도전형의 제7트랜지스터, 상기 제3트랜지스터의 상기 제2전류전극에 접속된 입력단자 및 출력단자를 갖는 제1인버터, 상기 제1인버터의 상기 출력단자에 접속된 입력단자 및 상기 제6트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제2인버터, 상기 제2인버터의 출력단자에 접속된 입력단자 및 상기 제7트랜지스터의 상기 제어전극에 접속된 출력단자를 갖는 제3인버터를 포함하고, 상기 제2인버터의 출력단자에서 비교결과를 출력하는 것을 특징으로 하는 비교회로.

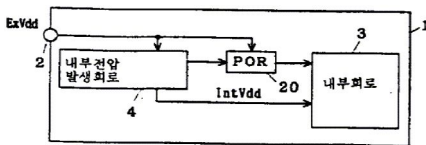
※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면11**



**도면22**



**도면24**

