

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-33095

(P2021-33095A)

(43) 公開日 令和3年3月1日(2021.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 623B	5C080
	G09G 3/20 623F	
	G09G 3/20 623R	
	G09G 3/20 641P	
審査請求 未請求 請求項の数 12 O L (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2019-154192 (P2019-154192)	(71) 出願人	000002369
(22) 出願日	令和1年8月27日 (2019.8.27)		セイコーエプソン株式会社
			東京都新宿区新宿四丁目1番6号
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100166523
			弁理士 西河 宏晃
		(74) 代理人	100187539
			弁理士 藍原 由和

最終頁に続く

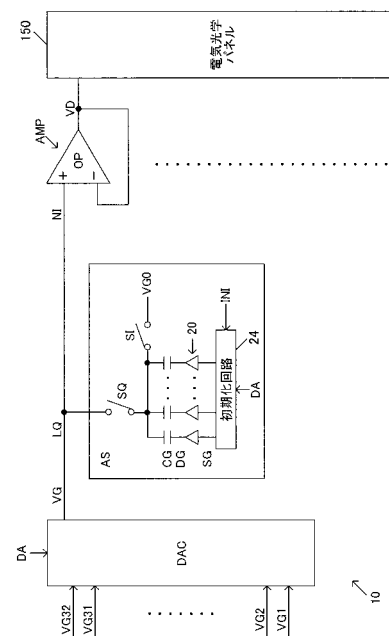
(54) 【発明の名称】 表示ドライバー、電気光学装置、電子機器及び移動体

(57) 【要約】

【課題】 アシスト駆動を繰り返し行った場合にも適正なアシスト駆動を維持できる表示ドライバー等の提供。

【解決手段】 表示ドライバー10は、表示データに基づいて階調電圧VGを出力線LQに出力するD/A変換回路DACと、キャパシター群CGと、表示データに基づいてキャパシター群CGの一端に駆動信号群DGを出力する駆動回路20とを有し、出力線LQに接続されて出力線LQのアシスト駆動を行うアシスト回路ASと、電気光学パネル150を駆動するアンプ回路AMPを含む。アシスト回路ASは、キャパシター群CGの他端と出力線LQとの間に設けられ、アシスト期間においてオンになる出力スイッチSQと、一端がキャパシター群CGの他端に接続され、他端に初期化電圧VG0が入力される初期化スイッチSIを含み、初期化期間において出力スイッチSQ及び初期化スイッチSIがオンになる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表示データに基づいて階調電圧を出力線に出力する D/A 変換回路と、
キャパシター群と、前記表示データに基づいて前記キャパシター群の一端に駆動信号群を出力する駆動回路とを有し、前記出力線に接続されて前記出力線のアシスト駆動を行うアシスト回路と、
電気光学パネルを駆動するアンプ回路と、
を含み、
前記アシスト回路は、
前記キャパシター群の他端と前記出力線との間に設けられ、アシスト期間においてオンになる出力スイッチと、
一端が前記キャパシター群の他端に接続され、他端に初期化電圧が入力される初期化スイッチと、
を含み、
初期化期間において、前記出力スイッチ及び前記初期化スイッチがオンになることを特徴とする表示ドライバー。

【請求項 2】

請求項 1 に記載の表示ドライバーにおいて、
前記初期化期間において、前記 D/A 変換回路の出力はハイインピーダンス状態に設定されることを特徴とする表示ドライバー。

【請求項 3】

請求項 1 又は 2 に記載の表示ドライバーにおいて、
前記初期化期間の後、前記初期化スイッチがオフになり、
前記アシスト期間において前記アシスト回路が前記出力線のアシスト駆動を行った後、前記出力スイッチがオフになることを特徴とする表示ドライバー。

【請求項 4】

請求項 3 に記載の表示ドライバーにおいて、
前記出力スイッチがオフになった後、前記 D/A 変換回路が前記階調電圧を前記出力線に出力することを特徴とする表示ドライバー。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の表示ドライバーにおいて、
前記アシスト回路は、
前記初期化期間において、初期化用の制御信号群を前記駆動回路に出力し、前記アシスト期間において、前記表示データに対応する前記制御信号群を前記駆動回路に出力する初期化回路を含むことを特徴とする表示ドライバー。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の表示ドライバーにおいて、
前記出力線として、第 1 階調出力線と第 2 階調出力線が設けられ、
前記 D/A 変換回路は、
前記表示データの上位側ビットデータに基づいて、第 1 階調電圧を前記第 1 階調出力線に出力し、前記上位側ビットデータに基づいて、第 2 階調電圧を前記第 2 階調出力線に出力し、
前記アンプ回路は、
前記表示データの低位側ビットデータに基づいて、前記第 1 階調電圧と第 2 階調電圧の間の階調電圧に対応する駆動電圧を出力することを特徴とする表示ドライバー。

【請求項 7】

請求項 6 に記載の表示ドライバーにおいて、
前記アシスト回路は、前記第 1 階調出力線及び前記第 2 階調出力線に接続されることを特徴とする表示ドライバー。

【請求項 8】

請求項 6 又は 7 に記載の表示ドライバーにおいて、

前記第 1 階調出力線及び前記第 2 階調出力線の一方の階調出力線に接続されるアンプ回路用のアシスト回路を含み、

前記アンプ回路用のアシスト回路は、

前記アシスト回路が前記第 1 階調出力線及び前記第 2 階調出力線のアシスト駆動を行った後、前記一方の階調出力線のアシスト駆動を行うことを特徴とする表示ドライバー。

【請求項 9】

表示データに基づいて階調電圧を出力線に出力する D/A 変換回路と、

キャパシター群と、前記表示データに基づいて前記キャパシター群の一端に駆動信号群を出力する駆動回路とを有し、前記出力線に接続されて前記出力線のアシスト駆動を行うアシスト回路と、

電気光学パネルを駆動するアンプ回路と、

アンプ回路用のアシスト回路と、

を含み、

前記出力線として、第 1 階調出力線と第 2 階調出力線が設けられ、

前記 D/A 変換回路は、

前記表示データの上位側ビットデータに基づいて、第 1 階調電圧を前記第 1 階調出力線に出力し、前記上位側ビットデータに基づいて、第 2 階調電圧を前記第 2 階調出力線に出力し、

前記アンプ回路は、

前記表示データの低位側ビットデータに基づいて、前記第 1 階調電圧と第 2 階調電圧の間の階調電圧に対応する駆動電圧を出力し、

前記アンプ回路用のアシスト回路は、

前記第 1 階調出力線及び前記第 2 階調出力線の一方の階調出力線に接続され、前記アシスト回路が前記第 1 階調出力線及び前記第 2 階調出力線をアシスト電圧に設定した後、前記一方の階調出力線をアシスト駆動することを特徴とする表示ドライバー。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の表示ドライバーと、

前記表示ドライバーにより駆動される前記電気光学パネルと、

を含むことを特徴とする電気光学装置。

【請求項 11】

請求項 1 乃至 9 のいずれか一項に記載の表示ドライバーを含むことを特徴とする電子機器。

【請求項 12】

請求項 1 乃至 9 のいずれか一項に記載の表示ドライバーを含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示ドライバー、電気光学装置、電子機器及び移動体等に関する。

【背景技術】

【0002】

プロジェクター、情報処理装置、携帯型情報端末等の種々の電子機器において液晶表示装置などの表示装置が用いられている。このような表示装置では高精細化が進んでおり、それに伴って表示ドライバーが 1 つの画素を駆動する時間が短くなっており、表示ドライバーの高速駆動への要望がある。表示ドライバーの高速駆動を実現する従来技術としては例えば特許文献 1 に開示される技術がある。特許文献 1 では、D/A 変換回路の出力ノードに対して、補助用電圧設定回路を設け、補助用電圧設定回路は、補助用のキャパシターと、補助用のキャパシターの一端を駆動する駆動回路を備えることで、表示ドライバーの高速駆動を実現している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2016-90881号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

表示ドライバーでは、D/A変換回路が、複数の階調電圧の中から表示データに対応する階調電圧を選択し、アンプ回路が、選択された階調電圧に対応する駆動電圧を、電気光学パネルに出力する。このため、表示ドライバーの高速駆動を実現しようとする、階調電圧が供給される階調電圧線の充放電が間に合わなくなってしまう、適正な表示駆動を実現できなくなる。またデータ電圧に対応する電圧を補助用のキャパシターを用いて繰り返し設定した場合に、補助用電圧設定回路による補助用電圧が次第にずれて行ってしまうおそれがあることが判明した。

10

【課題を解決するための手段】

【0005】

本開示の一態様は、表示データに基づいて階調電圧を出力線に出力するD/A変換回路と、キャパシター群と、前記表示データに基づいて前記キャパシター群の一端に駆動信号群を出力する駆動回路とを有し、前記出力線に接続されて前記出力線のアシスト駆動を行うアシスト回路と、電気光学パネルを駆動するアンプ回路と、を含み、前記アシスト回路は、前記キャパシター群の他端と前記出力線との間に設けられ、アシスト期間においてオンになる出力スイッチと、一端が前記キャパシター群の他端に接続され、他端に初期化電圧が入力される初期化スイッチと、を含み、初期化期間において、前記出力スイッチ及び前記初期化スイッチがオンになる表示ドライバーに関係する。

20

【図面の簡単な説明】

【0006】

【図1】本実施形態の表示ドライバーの基本構成例。

【図2】表示ドライバーの動作説明図。

【図3】表示ドライバーの動作を説明する信号波形図。

【図4】本実施形態の表示ドライバーの構成例。

30

【図5】表示ドライバーの動作説明図。

【図6】表示ドライバーの全体的な構成例を示す図。

【図7】階調電圧についての説明図。

【図8】階調電圧線の充放電の問題についての説明図。

【図9】第1耐圧トランジスター、第2耐圧トランジスターが形成されるトリプルウェル構造の一例を示す断面図。

【図10】第1耐圧トランジスター、第2耐圧トランジスターの電圧範囲の説明図。

【図11】表示ドライバーの具体的な構成例。

【図12】表示ドライバーの動作説明図。

【図13】表示ドライバーの詳細な第1構成例。

40

【図14】第1構成例の表示ドライバーの動作を説明する信号波形図。

【図15】表示ドライバーの詳細な第2構成例。

【図16】第2構成例の表示ドライバーの動作を説明する信号波形図。

【図17】電気光学装置の構成例。

【図18】電子機器の構成例。

【図19】移動体の構成例。

【発明を実施するための形態】

【0007】

以下、本実施形態について説明する。なお、以下に説明する本実施形態は、特許請求の範囲の記載内容を不当に限定するものではない。また本実施形態で説明される構成の全て

50

が必須構成要件であるとは限らない。

【0008】

1. 表示ドライバーの基本構成例

図1に本実施形態の表示ドライバー10の基本構成例を示し、図2に表示ドライバー10の動作説明図を示す。表示ドライバー10は、D/A変換回路DACと、アシスト回路ASと、アンプ回路AMPを含む。

【0009】

D/A変換回路DACは、表示データDAに基づいて階調電圧VGを出力線LQに出力する。具体的にはD/A変換回路DACは、複数の階調電圧VG1～VG32の中から表示データDAに基づき選択された階調電圧VGを、出力線LQに出力する。例えばD/A変換回路DACは、表示データDAの各ビットデータに基づきオン、オフが制御される複数のスイッチ素子を含み、例えばトーナメント方式と呼ばれる方式で、複数の階調電圧VG1～VG32の中から表示データDAに対応する階調電圧を選択する。

10

【0010】

アシスト回路ASは、キャパシター群CGと、キャパシター群CGの一端に駆動信号群DGを出力する駆動回路20を有する。そしてアシスト回路ASは、出力線LQに接続されて出力線LQのアシスト駆動を行う。アシスト回路ASが行うアシスト駆動は、キャパシター群CGを用いた電荷再配分を利用して、D/A変換回路DACの出力線LQの電圧を、表示データDAに対応する所望の電圧に近づけるための予備駆動である。例えばキャパシター群CGのキャパシターに電荷が蓄積された状態で、駆動回路20がキャパシター群CGの一端を、表示データDAに対応する駆動信号群DGで駆動することで、出力線LQの電圧が、表示データDAに対応する階調電圧VGに近づくようになり、表示ドライバー10の高速駆動が実現される。

20

【0011】

アンプ回路AMPは電気光学パネル150を駆動する。アンプ回路AMPは例えば演算増幅器OPにより構成される。例えばアンプ回路AMPは、入力ノードNIに入力された電圧をバッファリングした電圧を、駆動電圧VDとして出力する。例えばアンプ回路AMPは、演算増幅器OPをボルテージフォロワー接続した構成の回路となっている。なおアンプ回路AMPは反転型の演算増幅器OPにより構成されてもよい。そしてアンプ回路AMPの出力ノードは、表示ドライバー10の出力端子及び電気光学パネル150の入力端子を介して、電気光学パネル150のデータ線に電氣的に接続される。これによりアンプ回路AMPの駆動電圧VDを用いて電気光学パネル150の画素電極を駆動できるようになり、電気光学パネル150を用いた画像の表示が可能になる。

30

【0012】

そして図1に示すようにアシスト回路ASは、出力スイッチSQと初期化スイッチSIを含む。出力スイッチSQは、キャパシター群CGの他端と出力線LQとの間に設けられ、図2に示すようにアシスト回路ASのアシスト期間においてオンになる。このときD/A変換回路DACの出力はハイインピーダンス状態に設定される。またキャパシター群CGの一端には、駆動回路20からの駆動信号群DGが入力される。そして出力スイッチSQがオフになった後、D/A変換回路DACが階調電圧VGを出力線LQに出力する。即ち出力スイッチSQがオンからオフになった後のDAC動作期間において、D/A変換回路DACが、VG1～VG32の中から表示データDAに基づき選択された電圧を、階調電圧VGとして出力線LQに出力する。

40

【0013】

また初期化スイッチSIは、一端がキャパシター群CGの他端に接続され、他端に初期化電圧VG0が入力される。初期化スイッチSIはCMOSのトランジスタなどにより実現できる。そして図2に示すように、初期化期間において初期化スイッチSIがオンになることで、キャパシター群CGの他端が初期化電圧VG0に設定される。具体的には本実施形態では、初期化期間において、出力スイッチSQ及び初期化スイッチSIがオンになる。これにより、オンになった出力スイッチSQ及び初期化スイッチSIを介して、出

50

力線 L Q が初期化電圧 V G 0 に設定されるようになる。

【0014】

このように本実施形態では、初期化期間において、出力スイッチ S Q 及び初期化スイッチ S I がオンになり、キャパシター群 C G の他端が初期化電圧 V G 0 に設定され、出力線 L Q が初期化電圧 V G 0 に設定される。これにより初期化期間において出力線 L Q が初期化電圧 V G 0 に設定された後、アシスト期間においてアシスト回路 A S がアシスト駆動を行えるようになる。即ち、初期化期間において出力線 L Q が初期化電圧 V G 0 に設定され、このように出力線 L Q が初期化電圧 V G 0 に設定された状態から、アシスト回路 A S が、出力線 L Q の電圧を、D/A 変換回路 D A C が出力する階調電圧 V G に近づけるアシスト駆動が行われるようになる。このようにすれば、アシスト駆動が繰り返し行われる場合にも、アシスト回路 A S は、常に初期化電圧 V G 0 を開始電圧として、アシスト駆動を行えるようになる。例えば出力線 L Q の寄生容量となるゲート容量には電圧依存性があり、出力線 L Q の電圧に応じて、寄生容量であるゲート容量が変動してしまう。このため、異なる電圧を開始電圧としてアシスト駆動が行われると、アシスト回路 A S によるアシスト電圧にずれが発生するおそれがある。この点、本実施形態では、初期化電圧 V G 0 を開始電圧としてアシスト駆動が行われるため、アシスト回路 A S のアシスト駆動が何回も繰り返された場合にも、アシスト回路 A S によるアシスト電圧が次第にずれて行ってしまうような事態が発生するのを防止できるようになる。またアシスト回路 A S は、出力線 L Q の電圧を、初期化電圧 V G 0 から高電位側又は低電位側の一方の電位側の電圧へと変化させるアシスト駆動を行えば済むようになり、アシスト駆動の簡素化を図れる。

【0015】

また本実施形態では、初期化期間において、D/A 変換回路 D A C の出力はハイインピーダンス状態に設定される。例えば D/A 変換回路 D A C を構成するスイッチ素子がオフになることで、D/A 変換回路 D A C の出力がハイインピーダンス状態に設定される。例えば前述の特許文献 1 の表示ドライバーでは、D/A 変換回路の出力がハイインピーダンス状態になることはなく、D/A 変換回路は表示データに対応する階調電圧を常に出力していた。これに対して本実施形態では、図 2 に示すように初期化期間において D/A 変換回路 D A C の出力がハイインピーダンス状態に設定される。このようにすれば、初期化期間において D/A 変換回路 D A C が出力線 L Q に対して階調電圧 V G を出力しないようになるため、出力線 L Q を初期化電圧 V G 0 に適正に設定できるようになる。そしてアシスト回路 A S は、初期化電圧 V G 0 を開始電圧として出力線 L Q のアシスト駆動を適正に実行できるようになる。

【0016】

また本実施形態では、初期化期間の後、初期化スイッチ S I がオフになり、アシスト期間においてアシスト回路 A S が出力線 L Q のアシスト駆動を行った後、出力スイッチ S Q がオフになる。即ち図 2 に示すように、初期化期間の後、初期化スイッチ S I がオフになることで、キャパシター群 C G の他端への初期化電圧 V G 0 の供給が停止する。そして、この状態で、アシスト回路 A S がキャパシター群 C G を用いたアシスト駆動を行い、その後、出力スイッチ S Q がオフになる。このようにすれば、初期化期間の後に、初期化スイッチ S I をオフにすることで、キャパシター群 C G の他端に初期化電圧 V G 0 が供給されないようにして、アシスト回路 A S がアシスト駆動を行い、アシスト期間の後に、出力スイッチ S Q をオフにすることで、アシスト回路 A S による出力線 L Q のアシスト駆動を停止できるようになる。

【0017】

また本実施形態では、出力スイッチ S Q がオフになった後、D/A 変換回路 D A C が階調電圧 V G を出力線 L Q に出力する。即ち図 2 に示すように、出力スイッチ S Q がオンの状態で、出力線 L Q を初期化電圧 V G 0 に設定する初期化処理が行われ、アシスト回路 A S によるアシスト駆動が行われる。その後、出力スイッチ S Q がオンからオフになり、D/A 変換回路 D A C が階調電圧 V G を出力線 L Q に出力する。このようにすれば、初期化期間において出力線 L Q を初期化電圧 V G 0 に設定し、アシスト回路 A S が、初期化電圧

V G 0を開始電圧として、表示データD Aに基づくアシスト駆動を行うことで、出力線L Qの電圧が、階調電圧V Gに近づくようになる。その後、D/A変換回路D A Cが階調電圧V Gを出力線L Qに出力することで、階調電圧V Gに対応する駆動電圧V Dで、電気光学パネル1 5 0を駆動できるようになり、表示ドライバ1 0の高速駆動が実現される。

【0 0 1 8】

また本実施形態では、アシスト回路A Sは初期化回路2 4を含む。初期化回路2 4は、図2に示すように、初期化期間において、初期化用の制御信号群S Gを駆動回路2 0に出力する。そしてアシスト期間において、表示データD Aに対応する制御信号群S Gを駆動回路2 0に出力する。例えば初期化期間においては、図2に示すように初期化信号I N Iがアクティブになることで、初期化回路2 4は、初期化用の制御信号群S Gを駆動回路2 0に出力する。例えば初期化回路2 4は、駆動回路2 0が出力する駆動信号群D Gを例えばローレベルの電圧に初期化する制御信号群S Gを出力する。このようにすれば、初期化期間においては、初期化回路2 4が初期化用の制御信号群S Gを駆動回路2 0に出力することで、駆動回路2 0は、初期化用の駆動信号群D Gをキャパシター群C Gの一端に出力できるようになる。そして初期化回路2 4は、初期化期間の後のアシスト期間において、表示データD Aに対応する制御信号群S Gを駆動回路2 0に出力する。このようにすることで、駆動回路2 0は、表示データD Aに対応する駆動信号群D Gを、キャパシター群C Gの一端に出力できるようになり、出力線L Qの電圧を、初期化電圧V G 0から、表示データD Aに応じた電圧に上昇させるアシスト駆動が可能になる。

【0 0 1 9】

なお初期化回路2 4は、駆動回路2 0が出力する駆動信号群D Gをハイレベルの電圧に初期化する制御信号群S Gを出力してもよい。この場合にはアシスト回路A Sは、出力線L Qの電圧を、初期化電圧V G 0から、表示データD Aに応じた電圧に下降させるアシスト駆動を行うことになる。

【0 0 2 0】

図3は表示ドライバ1 0の動作を説明する信号波形図である。まずD/A変換回路D A Cの出力がハイインピーダンス状態に設定される。そして初期化期間においては、出力線L Qが初期化電圧V G 0に設定される。即ち出力スイッチS Qと初期化スイッチS Iがオンになることで、出力線L Qが初期化電圧V G 0に設定される。このとき、初期化回路2 4は、駆動信号群D Gをローレベルの電圧に初期化する制御信号群S Gを出力している。その後、アシスト回路A Sによるアシスト駆動が行われる。具体的にはアシスト回路A Sが、出力線L Qの電圧を、初期化電圧V G 0から高電位側の電圧に上昇させるアシスト駆動を行う。なお、初期化期間において、初期化回路2 4が駆動信号群D Gをハイレベルの電圧に初期化する制御信号群S Gを出力し、アシスト期間において、アシスト回路A Sが、出力線L Qの電圧を、初期化電圧V G 0から低電位側の電圧に下降させるアシスト駆動を行ってもよい。そしてアシスト期間の後に、D/A変換回路D A Cが動作して、D A C駆動が行われる。即ち出力線L Qの電圧を、表示データD Aに対応する階調電圧V Gに設定するD A C駆動が行われる。このようなD A C動作期間の後、D/A変換回路D A Cの出力がハイインピーダンス状態に設定される。そして初期化期間において、出力線L Qの電圧が初期化電圧V G 0に設定される。即ち出力線L Qの電圧が、前回の初期化期間のときと同じ電圧の初期化電圧V G 0に設定される。その後、出力線L Qの電圧を、初期化電圧V G 0から高電位側の電圧に上昇させるアシスト駆動がアシスト回路A Sにより行われる。このアシスト駆動は表示データD Aに基づき行われるため、アシスト駆動による出力線L Qの到達電圧は、前回のアシスト期間とは異なる電圧になる。そしてアシスト期間の後に、D/A変換回路D A Cにより、出力線L Qの電圧を、表示データD Aに対応する階調電圧V Gに設定するD A C駆動が行われる。

【0 0 2 1】

このように本実施形態では、各初期化期間において、出力線L Qの電圧が、同じ電圧の初期化電圧V G 0に設定され、その後、初期化電圧V G 0を開始電圧とするアシスト駆

動が行われる。このようにすれば、アシスト駆動を繰り返し行った場合にも、適正なアシスト駆動を維持することが可能になる。

【0022】

なお以下では、表示ドライバー10が正極性駆動及び負極性駆動を行う場合を主に例にとり説明するが、本実施形態はこれに限定されない。本実施形態の手法は、このような正極性駆動及び負極性駆動を行わないような駆動手法に対しても適用可能である。例えば図4～図16で説明する表示ドライバー10の各回路の構成や動作は、正極性駆動及び負極性駆動を行わないような駆動手法にも適用することができる。また図15で説明するアンプ回路用のアシスト回路ASAMは、図15のような詳細な構成例の表示ドライバー10のみならず、図1、図4、図11に示すような構成の表示ドライバー10にも適用可能である。またアンプ回路用のアシスト回路ASAMは、図1～図3で説明した出力線LQの初期化を行わないような構成の表示ドライバー10に対しても適用可能である。

10

【0023】

2. 表示ドライバーの構成例

図4に本実施形態の表示ドライバー10の構成例を示す。表示ドライバー10は、D/A変換回路DACP、DACNと、アシスト回路ASP、ASNと、アンプ回路AMPと、スイッチSW1、SW2を含む。そして表示ドライバー10は電気光学パネル150を駆動する。DACPは第1D/A変換回路であり、DACNは第2D/A変換回路であり、ASPは第1アシスト回路であり、ASNは第2アシスト回路であり、SW1は第1スイッチであり、SW2は第2スイッチである。

20

【0024】

電気光学パネル150は、画像を表示するためのパネルであり、例えば液晶パネルや有機ELパネルなどにより実現できる。電気光学パネル150は表示パネルということもできる。液晶パネルとしては、薄膜トランジスタ（TFT）などのスイッチ素子を用いたアクティブマトリクス方式のパネルを採用できる。具体的には電気光学パネル150は、複数の画素を有する。例えばマトリクス状に配置された複数の画素を有する。また電気光学パネル150は、複数のデータ線と、複数のデータ線に交差する方向に配線される複数の走査線を有する。そして各データ線と各走査線が交差する領域に、複数の画素の各画素が設けられる。またアクティブマトリクス方式のパネルの場合には、各画素の領域に、薄膜トランジスタなどのスイッチ素子が設けられる。そして電気光学パネル150は、各画素の領域における電気光学素子の光学特性を変化させることで表示動作を実現する。電気光学素子は液晶素子、EL素子等である。なお有機ELパネルの場合には、各画素の領域にEL素子を電流駆動するための画素回路が設けられる。

30

【0025】

D/A変換回路DACPは、表示データDAに基づいて正極性用の階調電圧VGPを出力線LQPに出力する。出力線LQPは第1出力線である。具体的にはD/A変換回路DACPは、正極性用の複数の階調電圧VGP1～VGP32の中から表示データDAに基づき選択された階調電圧VGPを、出力線LQPに出力する。例えばD/A変換回路DACPは、表示データDAの各ビットデータに基づきオン、オフが制御される複数のスイッチ素子を含み、例えばトーナメント方式と呼ばれる方式で、複数の階調電圧VGP1～VGP32の中から表示データDAに対応する階調電圧を選択する。正極性用の階調電圧は、コモンとなる電圧を基準として高電位側の階調電圧である。

40

【0026】

D/A変換回路DACNは、表示データDAに基づいて負極性用の階調電圧VGNを出力線LQNに出力する。出力線LQNは第2出力線である。具体的にはD/A変換回路DACNは、負極性用の複数の階調電圧VGN1～VGN32の中から表示データDAに基づき選択された階調電圧VGNを、出力線LQNに出力する。例えばD/A変換回路DACNは、表示データDAの各ビットデータに基づきオン、オフが制御される複数のスイッチ素子を含み、例えばトーナメント方式と呼ばれる方式で複数の階調電圧VGN1～VGN32の中から表示データDAに対応する階調電圧を選択する。負極性用の階調電圧は、

50

コモンとなる電圧を基準として低電位側の階調電圧である。なお図 4 では正極性及び負極性の各々の階調数が 32 である場合の例を示しているが、階調数は 32 より少なくてもよいし、32 より多くてもよい。

【0027】

アシスト回路 A S P は、キャパシター群 C G P と、キャパシター群 C G P の一端に駆動信号群 D G P を出力する駆動回路 2 1 を有する。そしてアシスト回路 A S P は、出力線 L Q P に接続されて出力線 L Q P のアシスト駆動を行う。キャパシター群 C G P は第 1 キャパシター群であり、駆動回路 2 1 は第 1 駆動回路であり、駆動信号群 D G P は第 1 駆動信号群である。補助用の複数のキャパシターにより構成されるキャパシター群 C G P は、出力線 L Q P と駆動回路 2 1 との間に設けられる。例えばキャパシター群 C G P の一端は、駆動回路 2 1 の出力ノードに接続され、キャパシター群 C G P の他端は、例えば後述する出力スイッチ等の回路素子を介して出力線 L Q P に電氣的に接続される。アシスト回路 A S P が行うアシスト駆動は、キャパシター群 C G P を用いた電荷再配分を利用して、D/A 変換回路 D A C P の出力線 L Q P の電圧を、表示データ D A に対応する所望の電圧に近づけるための予備駆動である。例えばキャパシター群 C G P のキャパシターに電荷が蓄積された状態で、駆動回路 2 1 がキャパシター群 C G P の一端を、表示データ D A に対応する駆動信号群 D G P で駆動することで、出力線 L Q P の電圧が、表示データ D A に対応する階調電圧 V G P に近づくようになり、表示ドライバー 10 の高速駆動が実現される。

10

【0028】

アシスト回路 A S N は、キャパシター群 C G N と、キャパシター群 C G N の一端に駆動信号群 D G N を出力する駆動回路 2 2 を有する。そしてアシスト回路 A S N は、出力線 L Q N に接続されて出力線 L Q N のアシスト駆動を行う。キャパシター群 C G N は第 2 キャパシター群であり、駆動回路 2 2 は第 2 駆動回路であり、駆動信号群 D G N は第 2 駆動信号群である。補助用の複数のキャパシターにより構成されるキャパシター群 C G N は、出力線 L Q N と駆動回路 2 2 との間に設けられる。例えばキャパシター群 C G N の一端は、駆動回路 2 2 の出力ノードに接続され、キャパシター群 C G N の他端は、例えば後述する出力スイッチ等の回路素子を介して出力線 L Q N に電氣的に接続される。アシスト回路 A S N が行うアシスト駆動は、キャパシター群 C G N を用いた電荷再配分を利用して、D/A 変換回路 D A C N の出力線 L Q N の電圧を、表示データ D A に対応する所望の電圧に近づけるための予備駆動である。例えばキャパシター群 C G N のキャパシターに電荷が蓄積された状態で、駆動回路 2 2 がキャパシター群 C G N の一端を、表示データ D A に対応する駆動信号群 D G N で駆動することで、出力線 L Q N の電圧が、表示データ D A に対応する階調電圧 V G N に近づくようになり、表示ドライバー 10 の高速駆動が実現される。

20

30

【0029】

アンプ回路 A M P は電気光学パネル 150 を駆動する。アンプ回路 A M P は例えば演算増幅器 O P により構成される。例えばアンプ回路 A M P は、入力ノード N I に入力された電圧をバッファリングした電圧を、駆動電圧 V D として出力する。

【0030】

スイッチ S W 1 は、アンプ回路 A M P の入力ノード N I と出力線 L Q P との間に設けられ、正極性期間においてオンになる。スイッチ S W 1 は第 1 スイッチである。スイッチ S W 1 は、例えば C M O S のトランジスターにより実現できる。スイッチ S W 1 は例えば P 型のトランジスターと N 型のトランジスターにより構成されるトランスファークロークゲートであってもよい。正極性期間は、正極性用の階調電圧 V G P 1 ~ V G P 32 を用いて表示ドライバー 10 が電気光学パネル 150 を駆動する期間である。

40

【0031】

スイッチ S W 2 は、アンプ回路 A M P の入力ノード N I と出力線 L Q N との間に設けられ、負極性期間においてオンになる。スイッチ S W 2 は第 2 スイッチである。スイッチ S W 2 は、例えば C M O S のトランジスターにより実現できる。スイッチ S W 2 は例えば P 型トランジスターと N 型トランジスターにより構成されるトランスファークロークゲートであってもよい。負極性期間は、負極性用の階調電圧 V G N 1 ~ V G N 32 を用いて表示ドライバ

50

ー 10 が電気光学パネル 150 を駆動する期間である。

【0032】

図 5 は本実施形態の表示ドライバー 10 の動作説明図である。図 5 に示すように正極性期間においてスイッチ SW1 がオンになり、スイッチ SW2 がオフになる。これにより正極性用の出力線 LQP がアンプ回路 AMP の入力ノード NI に接続され、負極性用の出力線 LQN は入力ノード NI に非接続になる。そして正極性期間におけるアシスト期間においてアシスト回路 ASP がアシスト駆動を行う。例えばアシスト回路 ASP が、正極性期間の前半側の期間であるアシスト期間において、出力線 LQP の電圧を、表示データ DA に対応する電圧である階調電圧 VGP に近づけるアシスト駆動を行う。このアシスト期間においては、D/A 変換回路 DACP の出力はハイインピーダンス状態に設定される。例えば D/A 変換回路 DACP を構成するスイッチ素子がオフになることで、D/A 変換回路 DACP の出力がハイインピーダンス状態に設定される。そしてアシスト期間の後に、D/A 変換回路 DACP が正極性用の階調電圧 VGP を出力線 LQP に出力する。そしてアンプ回路 AMP が、正極性用の階調電圧 VGP に対応した駆動電圧 VD を電気光学パネル 150 に出力して、電気光学パネル 150 を駆動する。これにより電気光学パネル 150 の正極性駆動が可能になる。

10

【0033】

また図 5 に示すように負極性期間においてスイッチ SW2 がオンになり、スイッチ SW1 がオフになる。これにより負極性用の出力線 LQN がアンプ回路 AMP の入力ノード NI に接続され、正極性用の出力線 LQP は入力ノード NI に非接続になる。そして負極性期間におけるアシスト期間においてアシスト回路 ASN がアシスト駆動を行う。例えばアシスト回路 ASN が、負極性期間の前半側の期間であるアシスト期間において、出力線 LQN の電圧を、表示データ DA に対応する電圧である階調電圧 VGN に近づけるアシスト駆動を行う。このアシスト期間においては、D/A 変換回路 DACN の出力はハイインピーダンス状態に設定される。例えば D/A 変換回路 DACN を構成するスイッチ素子がオフになることで、D/A 変換回路 DACN の出力がハイインピーダンス状態に設定される。そしてアシスト期間の後に、D/A 変換回路 DACN が負極性用の階調電圧 VGN を出力線 LQN に出力する。そしてアンプ回路 AMP が、負極性用の階調電圧 VGN に対応した駆動電圧 VD を電気光学パネル 150 に出力して、電気光学パネル 150 を駆動する。これにより電気光学パネル 150 の負極性駆動が可能になる。

20

30

【0034】

以上のように本実施形態では、正極性期間において、スイッチ SW1 がオンになり、スイッチ SW2 がオフになり、アシスト回路 ASP が出力線 LQP のアシスト駆動を行った後、D/A 変換回路 DACP が正極性用の階調電圧 VGP を出力線 LQP に出力する。また負極性期間において、スイッチ SW1 がオフになり、スイッチ SW2 がオンになり、アシスト回路 ASN が出力線 LQN のアシスト駆動を行った後、D/A 変換回路 DACN が負極性用の階調電圧 VGN を出力線 LQN に出力する。

【0035】

このようにすれば、正極性期間においては、アシスト回路 ASP による正極性用のアシスト駆動により、出力線 LQP の電圧を正極性用の階調電圧 VGP に近づけた後、D/A 変換回路 DACP が正極性用の階調電圧 VGP を出力線 LQP に出力することで、階調電圧 VGP に対応する駆動電圧 VD で、電気光学パネル 150 を駆動できるようになる。また負極性期間においては、アシスト回路 ASN による負極性用のアシスト駆動により、出力線 LQN の電圧を負極性用の階調電圧 VGN に近づけた後、D/A 変換回路 DACN が負極性用の階調電圧 VGN を出力線 LQN に出力することで、階調電圧 VGN に対応する駆動電圧 VD で、電気光学パネル 150 を駆動できるようになる。従って、アシスト回路 ASP、ASN によるアシスト駆動を行いながら、電気光学パネル 150 の正極性駆動及び負極性駆動を実現できるようになる。

40

【0036】

また本実施形態では、アシスト回路 ASP がアシスト駆動を行うアシスト期間において

50

、D/A変換回路DACPの出力はハイインピーダンス状態に設定される。またアシスト回路ASNがアシスト駆動を行うアシスト期間において、D/A変換回路DACNの出力はハイインピーダンス状態に設定される。前述の特許文献1の表示ドライバーでは、アシスト期間においてもD/A変換回路が電圧を出力していたが、本実施形態では、アシスト期間においてD/A変換回路DACP、DACNの出力がハイインピーダンス状態になる。このようにすれば、アシスト期間でのアシスト回路ASP、ASNのアシスト駆動に対して、D/A変換回路DACP、DACNの出力電圧が影響を与えてしまうのを防止でき、適正なアシスト駆動を実現できるようになる。そしてアシスト期間の後に、D/A変換回路DACP、DACNが表示データDAに対応する階調電圧VGP、VGNを出力することで、アシスト回路ASP、ASNにより階調電圧VGP、VGNに近づいた出力線LQP、LQNの電圧を、正確な階調電圧VGP、VGNに設定できるようになる。

10

【0037】

図6に表示ドライバー10の全体的な構成例を示す。表示ドライバー10と電気光学パネル150とにより、本実施形態の電気光学装置160が構成される。

【0038】

図6に示すように表示ドライバー10は、複数のドライバー回路DV1、DV2、DV3、DV4・・・DVn（nは正の整数）と、階調電圧生成回路30を含む。DV1～DVnの各ドライバー回路は、図4で説明したアンプ回路AMPと、D/A変換回路DACP、DACNと、ロジック回路LOGと、ラッチ回路LATと、図6では不図示のスイッチSW1、SW2などを含む。ドライバー回路DV1～DVnの長辺方向を方向DR1とした場合に、ドライバー回路DV1～DVnは、方向DR1に直交する方向DR2に沿って並んで配置される。方向DR1は表示ドライバー10から電気光学パネル150に向かう方向である。

20

【0039】

階調電圧生成回路30は、正極性用の階調電圧VGP1～VGP32を生成して、階調電圧線LGP1～LGP32に出力する。また階調電圧生成回路30は、負極性用の階調電圧VGN1～VGN32を生成して、階調電圧線LGN1～LGN32に出力する。階調電圧線LGP1～LGP32、LGN1～LGN32は、図6に示すように、方向DR2に沿ってドライバー回路DV1～DVn上に配線される。例えば階調電圧生成回路30はラダー抵抗回路を有しており、ラダー抵抗回路の各電圧分割ノードに生成された階調電圧VGP1～VGP32、VGN1～VGN32を、階調電圧線LGP1～LGP32、LGN1～LGN32に出力する。なお階調電圧生成回路30は、後述する初期化電圧も生成して、初期化電圧線LVG0に出力する。初期化電圧は、例えば、正極性用の階調電圧VGP1～VGP32のうち電圧が最も低い階調電圧VGP1と、負極性用の階調電圧VGN1～VGN32のうち電圧が最も高い階調電圧VGN1の間の電圧である。

30

【0040】

図7は階調電圧についての説明図である。図7に示すように正極性用の階調電圧VGP1～VGP32では、階調が大きくなるにつれて電圧が例えば高くなる。負極性用の階調電圧VGN1～VGN32では、階調が大きくなるにつれて電圧が例えば低くなる。そして本実施形態では後述する初期化電圧として、正極性用の階調電圧範囲と負極性用の階調電圧範囲の境界電圧に対応するVG0を用いる。一例としてはVGP32＝12.5Vであり、VG0＝7.5Vであり、VGN32＝2.5Vである。

40

【0041】

なお後述する本実施形態の表示ドライバー10の詳細例では、アンプ回路AMPが、表示データDAの下位側ビットデータに基づいて、第1階調電圧と第2階調電圧の間の階調電圧に対応する駆動電圧VDを出力する。第1階調電圧と第2階調電圧は隣り合う階調電圧であり、正極性側では図7のVGPAが第1階調電圧に対応し、VGPBが第2階調電圧に対応する。負極性側ではVGN Aが第1階調電圧に対応し、VGN Bが第2階調電圧に対応する。

【0042】

50

図 8 は、階調電圧線の充放電の問題についての説明図である。図 8 では、表示データ D A が変化することで、D / A 変換回路 D A C P の出力電圧が V G P 3 1 から V G P 1 6 に変化している。このとき、図 6 の D V 1 ~ D V n の 1 つのドライバー回路においてこのような電圧変化が生じた場合にはあまり問題にならないが、多数のドライバー回路においてこのような電圧変化が生じた場合には問題になる。例えば D / A 変換回路 D A C P のスイッチ素子のドレイン容量や、配線容量などが、階調電圧線 L G P 3 1 の寄生容量となり、当該寄生容量には、V G P 3 1 の電圧による電荷が蓄積されている。従って、図 8 に示すような電圧変化が D V 1 ~ D V n のうちの多数のドライバー回路において発生すると、階調電圧線 L G P 3 1 の寄生容量に蓄積された電荷が、階調電圧線 L G P 1 6 に流れ込むことで、A 1 に示すような大きな電圧変動が階調電圧線 L G P 1 6 に発生してしまう。このような大きな電圧変動を、D / A 変換回路 D A C P の駆動能力だけで抑えるのは困難であり、表示ドライバー 1 0 の高速駆動の妨げになってしまう。従って、このような大きな電圧変動に対しても適切に対処できるアシスト駆動を実現する必要がある。

10

【0043】

また電気光学パネル 1 5 0 の駆動には高電圧が必要であり、このために、表示ドライバー 1 0 の回路を構成するトランジスタとして高耐圧トランジスタを用いる必要がある。例えば図 7 の V G P 3 2 ~ V G N 3 2 の電圧範囲に対応する 1 2 . 5 V ~ 2 . 5 V の電圧範囲の階調電圧で、電気光学パネル 1 5 0 を駆動しようとする、高耐圧トランジスタが必要になってしまう。しかしながら、高耐圧トランジスタはレイアウト面積が大きい、このような高耐圧トランジスタだけで表示ドライバー 1 0 の回路を形成しようとすると、表示ドライバー 1 0 の回路面積が大幅に増加してしまうという問題が生じる。

20

【0044】

この点、本実施形態では、図 4 のように正極性用の D / A 変換回路 D A C P 及び負極性用の D / A 変換回路 D A C N と、スイッチ S W 1、S W 2 を設け、D / A 変換回路 D A C P、D A C N の出力電圧を、スイッチ S W 1、S W 2 を用いてアンプ回路 A M P に順次に入力するようにしている。例えば正極性期間では、正極性用の D / A 変換回路 D A C P の出力電圧をスイッチ S W 1 を介してアンプ回路 A M P に入力し、負極性期間では、負極性用の D / A 変換回路 D A C N の出力電圧をスイッチ S W 2 を介してアンプ回路 A M P に入力する。そして本実施形態では D / A 変換回路 D A C P の出力線 L Q P に接続される正極性用のアシスト回路 A S P と、D / A 変換回路 D A C N の出力線 L Q N に接続される負極性用のアシスト回路 A S N を設けている。このようにすれば、正極性駆動においては、アシスト回路 A S P によるアシスト駆動を行った後に、D / A 変換回路 D A C P の出力電圧をスイッチ S W 1 を介してアンプ回路 A M P に入力し、負極性駆動においては、アシスト回路 A S N によるアシスト駆動を行った後に、D / A 変換回路 D A C N の出力電圧をスイッチ S W 2 を介してアンプ回路 A M P に入力できるようになる。従って、正極性駆動と負極性駆動を交互に行うような駆動を行った場合にも、図 8 に示すような階調電圧線の大きな電圧変動に適切に対処できるアシスト駆動の実現が可能になる。

30

【0045】

また表示ドライバー 1 0 を図 4 のような回路構成とすることで、例えば D / A 変換回路 D A C P、D A C N を、第 1 耐圧トランジスタにより構成し、アンプ回路 A M P、アシスト回路 A S P、A S N、スイッチ S W 1、S W 2 を、第 1 耐圧トランジスタよりも耐圧が高い第 2 耐圧トランジスタにより構成することが可能になる。例えば D / A 変換回路 D A C P、D A C N については、例えば 8 V 程度の中耐圧 (Middle Volage) の第 1 耐圧トランジスタにより構成する。一方、アンプ回路 A M P、アシスト回路 A S P、A S N、スイッチ S W 1、S W 2 については、例えば 1 2 . 5 V 程度以上の高耐圧 (High Volage) の第 2 耐圧トランジスタにより構成する。このようにすれば、表示ドライバー 1 0 の全ての回路を、高耐圧トランジスタである第 2 耐圧トランジスタにより構成する場合に比べて、表示ドライバー 1 0 の回路面積を大幅に縮小できる。例えば D / A 変換回路 D A C P、D A C N は、表示データ D A のビット数に対応する多数の個数のスイッチ素子により構成され、回路面積も大きい、これらの D / A 変換回路 D A C P、D A C N

40

50

を高耐圧の第2耐圧トランジスタにより構成してしまうと、回路面積が非常に大きくなってしまふ。この点、本実施形態では、D/A変換回路DACP、DACNについては、第2耐圧トランジスタよりも低耐圧の第1耐圧トランジスタにより構成できるため、表示ドライバー10の回路面積の大幅な縮小化を図れる。

【0046】

図9は第1耐圧トランジスタ及び第2耐圧トランジスタが形成されるトリプルウェル構造の一例を示す断面図である。例えば図9では、D/A変換回路DACPは、N型の第1耐圧トランジスタMNT PやP型の第1耐圧トランジスタMPT Pにより構成される。D/A変換回路DACNは、N型の第1耐圧トランジスタMNT NやP型の第1耐圧トランジスタMPT Nにより構成される。一方、アンプ回路AMP、アシスト回路ASP、ASN、スイッチSW1、SW2は、N型の第2耐圧トランジスタHNTやP型の第2耐圧トランジスタHPTにより構成される。

【0047】

そして図9のトリプルウェル構造では、P型の基板PSUBに対して、複数のN型のディープウェルDNWP、DNWNが形成される。これらのディープウェルDNWP、DNWNは、P型の基板PSUBに形成された例えばN型の埋め込み層である。そしてN型のディープウェルDNWPには、P型のウェルMPWPとN型のウェルMNWPが形成され、P型のウェルMPWPには、N型の第1耐圧トランジスタMNT Pが形成され、N型のウェルMNWPには、P型の第1耐圧トランジスタMPT Pが形成される。第1耐圧トランジスタMNT P、MPT Pは中耐圧トランジスタであり、これらの第1耐圧トランジスタMNT P、MPT PによりD/A変換回路DACPが構成される。またN型のディープウェルDNWNには、P型のウェルMPWNとN型のウェルMNWNが形成され、P型のウェルMPWNには、N型の第1耐圧トランジスタMNT Nが形成され、N型のウェルMNWNには、P型の第1耐圧トランジスタMPT Nが形成される。第1耐圧トランジスタMNT N、MPT Nは中耐圧トランジスタであり、これらの第1耐圧トランジスタMNT N、MPT NによりD/A変換回路DACNが構成される。

【0048】

一方、基板PSUBに形成された高耐圧用のP型のウェルHPWには、N型の第2耐圧トランジスタHNTが形成される。また基板PSUBに形成された高耐圧用のN型のウェルHNWには、P型の第2耐圧トランジスタHPTが形成される。第2耐圧トランジスタHNT、HPTは高耐圧トランジスタであり、これらの第2耐圧トランジスタHNT、HPTにより、アンプ回路AMP、アシスト回路ASP、ASN、スイッチSW1、SW2が構成される。

【0049】

図9のようなディープウェル構造を用いることで、第1耐圧トランジスタMNT P、MPT P、MNT N、MPT Nと、第2耐圧トランジスタHNT、HPTというように、異なる耐圧のトランジスタを基板PSUBに形成できるようになる。また基板PSUB上に分離されたN型のディープウェルDNWP、DNWNを形成することで、正極性用の第1耐圧トランジスタMNT P、MPT Pの電圧範囲と、負極性用の第1耐圧トランジスタMNT N、MPT Nの電圧範囲を、互いに異ならせることが可能になる。

【0050】

図10は、第1耐圧トランジスタ及び第2耐圧トランジスタの電圧範囲の説明図である。図10に示すように、正極性用の第1耐圧トランジスタMNT P、MPT Pの電圧範囲はVGP32～VG0であり、負極性用の第1耐圧トランジスタMNT N、MPT Nの電圧範囲はVG0～GNDであり、電圧範囲が互いに異なっている。VGP32は、正極性期間での正極性駆動における高電位電圧であり、正極性期間での最も高い階調電圧である。第1耐圧トランジスタMNT P、MPT Pの電圧範囲は、VGP32とVG0の間の電圧範囲になる。VGN32は、負極性期間での負極性駆動における高電位電圧であり、負極性期間での最も低い階調電圧である。第1耐圧トランジスタMNT N、MPT Nの電圧範囲は、VG0と、VGN32より低いGNDの間の電圧範囲になる。VG

0 は、後述する初期化電圧に対応し、正極性期間での正極性駆動における高電位電圧である $VGP32$ と、負極性期間での負極性駆動における低電位電圧である $VGN32$ との中間電圧である。

【0051】

一方、第2耐圧トランジスタ HNT 、 HPT の電圧範囲は $VDDH \sim GND$ になる。 $VDDH$ は $VGP32$ よりも高い電圧であり、表示ドライバー10で用いられる電圧のうちの最も高い電圧である。

【0052】

図9、図10に示すように D/A 変換回路 $DACP$ 、 $DACN$ を、第2耐圧トランジスタ HNT 、 HPT よりも耐圧が低い第1耐圧トランジスタ $MNTP$ 、 $MPTP$ 、 $MNTN$ 、 $MPTN$ により構成することで、 D/A 変換回路 $DACP$ 、 $DACN$ の回路面積を大幅に縮小できる。 D/A 変換回路 $DACP$ 、 $DACN$ の回路面積は大きいため、面積が大きくなる高耐圧の第2耐圧トランジスタ HNT 、 HPT ではなく、面積を小さくできる第1耐圧トランジスタ $MNTP$ 、 $MPTP$ 、 $MNTN$ 、 $MPTN$ により構成することで、表示ドライバー10の回路面積の効率的な縮小化を実現できる。

【0053】

また図9のようなトリプルウェル構造を採用することで、正極性側の D/A 変換回路 $DACP$ については、電圧範囲が $VGP32 \sim VG0$ となる第1耐圧トランジスタ $MNTP$ 、 $MPTP$ により構成し、負極性側の D/A 変換回路 $DACN$ については、電圧範囲が $VG0 \sim GND$ となる第1耐圧トランジスタ $MNTN$ 、 $MPTN$ により構成できるようになる。このように正極性側の D/A 変換回路 $DACP$ を、第1電圧範囲の第1耐圧トランジスタ $MNTP$ 、 $MPTP$ により構成し、負極性側の D/A 変換回路 $DACN$ を、第1電圧範囲とは異なる第2電圧範囲の第1耐圧トランジスタ $MNTN$ 、 $MPTN$ により構成することで、高耐圧トランジスタを用いることなく、 D/A 変換回路 $DACP$ 、 $DACN$ を構成できるようになり、回路面積の縮小化を図れる。

【0054】

図11に表示ドライバー10の具体的な構成例を示し、図12に表示ドライバー10の動作説明図を示す。

【0055】

図11の表示ドライバー10は階調電圧生成回路30を含む。階調電圧生成回路30は、正極性用の階調電圧 $VGP1 \sim VGP32$ を生成して、正極性用の D/A 変換回路 $DACP$ に供給する。また階調電圧生成回路30は、負極性用の階調電圧 $VGN1 \sim VGN32$ を生成して、負極性用の D/A 変換回路 $DACN$ に供給する。また階調電圧生成回路30は、初期化電圧となる $VG0$ を生成してアシスト回路 ASP 、 ASN に供給する。なお後述する表示ドライバー10の詳細例では、 $VG0$ も D/A 変換回路 $DACP$ 、 $DACN$ に供給される。階調電圧生成回路30は、例えば複数の抵抗が直列接続されたラダー抵抗回路により実現することができ、ラダー抵抗回路の複数の電圧分割ノードから、階調電圧 $VGP1 \sim VGP32$ 、初期化電圧 $VG0$ 、階調電圧 $VGN1 \sim VGN32$ を出力する。階調電圧 $VGP1 \sim VGP32$ 、初期化電圧 $VG0$ 、階調電圧 $VGN1 \sim VGN32$ の電圧関係は前述の図7のような関係になっている。

【0056】

また図11では、第1アシスト回路であるアシスト回路 ASP が出力スイッチ SQP を含む。出力スイッチ SQP は第1出力スイッチであり、 $CMOS$ のトランジスタなどにより実現できる。出力スイッチ SQP は、第1キャパシター群であるキャパシター群 CGP の他端と、第1出力線である出力線 LQP との間に設けられ、図12に示すようにアシスト回路 ASP のアシスト期間においてオンになる。このとき D/A 変換回路 $DACP$ の出力はハイインピーダンス状態に設定される。またキャパシター群 CGP の一端には、駆動回路21からの第1駆動信号群である駆動信号群 DGP が入力される。そして出力スイッチ SQP がオフになった後、 D/A 変換回路 $DACP$ が階調電圧 VGP を出力線 LQP に出力する。即ち出力スイッチ SQP がオンからオフになった後の DAC 動作期間におい

て、D/A変換回路DACPが、VGP1～VGP32の中から表示データDAに基づき選択された電圧を、階調電圧VGPとして出力線LQPに出力する。

【0057】

また図11では、第2アシスト回路であるアシスト回路ASNが出力スイッチSQNを含む。出力スイッチSQNは第2出力スイッチであり、CMOSのトランジスタなどにより実現できる。出力スイッチSQNは、第2キャパシター群であるキャパシター群CGNの他端と、第2出力線である出力線LQNとの間に設けられ、図12に示すようにアシスト回路ASNのアシスト期間においてオンになる。このときD/A変換回路DACNの出力はハイインピーダンス状態に設定される。またキャパシター群CGNの一端には、駆動回路22からの第2駆動信号群である駆動信号群DGNが入力される。そして出力スイッチSQNがオフになった後、D/A変換回路DACNが階調電圧VGNを出力線LQNに出力する。即ち出力スイッチSQNがオンからオフになった後のDAC動作期間において、D/A変換回路DACNが、VGN1～VGN32の中から表示データDAに基づき選択された電圧を、階調電圧VGNとして出力線LQNに出力する。

10

【0058】

このような出力スイッチSQP、SQNを設ければ、正極性期間におけるアシスト期間では、出力スイッチSQPがオンになることで、キャパシター群CGPを用いた電荷再分配により、出力線LQPの電圧を、D/A変換回路DACPが出力する階調電圧VGPに近づけるアシスト駆動が可能になる。これにより正極性期間での高速な正極性駆動が可能になる。また負極性期間におけるアシスト期間では、出力スイッチSQNがオンになることで、キャパシター群CGNを用いた電荷再分配により、出力線LQNの電圧を、D/A変換回路DACNが出力する階調電圧VGNに近づけるアシスト駆動が可能になる。これにより負極性期間での高速な負極性駆動が可能になる。

20

【0059】

また本実施形態では図12に示すように、正極性期間における初期化期間において、出力スイッチSQPがオンになり、キャパシター群CGPの他端が初期化電圧VG0に設定される。これにより、オンになった出力スイッチSQPを介して、出力線LQPが初期化電圧VG0に設定されるようになる。このとき、例えばD/A変換回路DACPの出力はハイインピーダンス状態に設定されており、これにより出力線LQPが初期化電圧VG0に設定される。

30

【0060】

具体的にはアシスト回路ASPは、一端がキャパシター群CGPの他端に接続され、他端に初期化電圧VG0が入力される初期化スイッチSIPを含む。初期化スイッチSIPはCMOSのトランジスタなどにより実現できる。そして図12に示すように、初期化期間において初期化スイッチSIPがオンになることで、キャパシター群CGPの他端が初期化電圧VG0に設定される。更に具体的には、初期化期間において、出力スイッチSQP及び初期化スイッチSIPがオンになることで、出力線LQPが初期化電圧VG0に設定されるようになる。そして図12に示すように、初期化期間の後、初期化スイッチSIPがオフになり、アシスト回路ASPが出力線LQPのアシスト駆動を行った後、出力スイッチSQPがオフになる。そして出力スイッチSQPがオフになった後、D/A変換回路DACPが階調電圧VGPを出力線LQPに出力する。

40

【0061】

また本実施形態では図12に示すように、負極性期間における初期化期間において、出力スイッチSQNがオンになり、キャパシター群CGNの他端が初期化電圧VG0に設定される。これにより、オンになった出力スイッチSQNを介して、出力線LQNが初期化電圧VG0に設定されるようになる。このとき、例えばD/A変換回路DACNの出力はハイインピーダンス状態に設定されており、これにより出力線LQNが初期化電圧VG0に設定される。

【0062】

具体的にはアシスト回路ASNは、一端がキャパシター群CGNの他端に接続され、他

50

端に初期化電圧 V_{G0} が入力される初期化スイッチ S_{IN} を含む。初期化スイッチ S_{IN} は CMOS のトランジスタなどにより実現できる。そして図 12 に示すように、初期化期間において初期化スイッチ S_{IN} がオンになることで、キャパシター群 C_{GN} の他端が初期化電圧 V_{G0} に設定される。更に具体的には、初期化期間において、出力スイッチ S_{QN} 及び初期化スイッチ S_{IN} がオンになることで、出力線 L_{QN} が初期化電圧 V_{G0} に設定されるようになる。そして図 12 に示すように、初期化期間の後、初期化スイッチ S_{IN} がオフになり、アシスト回路 A_{SN} が出力線 L_{QN} のアシスト駆動を行った後、出力スイッチ S_{QN} がオフになる。そして出力スイッチ S_{QN} がオフになった後、D/A 変換回路 $DACN$ が階調電圧 V_{GN} を出力線 L_{QN} に出力する。

【0063】

このように本実施形態では、正極性期間における初期化期間において、出力スイッチ S_{QP} がオンになり、キャパシター群 C_{GP} の他端が初期化電圧 V_{G0} に設定されることで、出力線 L_{QP} が初期化電圧 V_{G0} に設定される。これにより正極性期間における初期化期間において、出力線 L_{QP} が初期化電圧 V_{G0} に設定された後、アシスト期間においてアシスト回路 A_{SP} がアシスト駆動を行えるようになる。即ち、初期化期間において出力線 L_{QP} が初期化電圧 V_{G0} に設定され、このように出力線 L_{QP} が初期化電圧 V_{G0} に設定された状態から、出力線 L_{QP} の電圧を D/A 変換回路 $DACP$ が出力する階調電圧 V_{GP} に近づけるアシスト駆動が、アシスト回路 A_{SP} により行われるようになる。このようにすれば、アシスト駆動が繰り返し行われる場合にも、アシスト回路 A_{SP} は、常に初期化電圧 V_{G0} を開始電圧として、アシスト駆動を行えるようになる。例えば出力線 L_{QP} の寄生容量となるゲート容量には電圧依存性があり、出力線 L_{QP} の電圧に応じて、寄生容量であるゲート容量が変動してしまう。このため、異なる電圧を開始電圧としてアシスト駆動が行われると、アシスト回路 A_{SP} によるアシスト電圧にずれが発生するおそれがある。この点、本実施形態では、初期化電圧 V_{G0} を開始電圧としてアシスト駆動が行われるため、アシスト回路 A_{SP} のアシスト駆動が何回も繰り返された場合にも、アシスト回路 A_{SP} によるアシスト電圧が次第にずれて行ってしまうような事態が発生するのを防止できる。また正極性用のアシスト回路 A_{SP} は、出力線 L_{QP} の電圧を、初期化電圧 V_{G0} から高電位側の電圧へと上昇させるアシスト駆動を行えば済むようになり、アシスト駆動の簡素化を図れる。

【0064】

また本実施形態では、負極性期間における初期化期間において、出力スイッチ S_{QN} がオンになり、キャパシター群 C_{GN} の他端が初期化電圧 V_{G0} に設定されることで、出力線 L_{QN} が初期化電圧 V_{G0} に設定される。これにより負極性期間における初期化期間において、出力線 L_{QN} が初期化電圧 V_{G0} に設定された後、アシスト期間においてアシスト回路 A_{SN} がアシスト駆動を行えるようになる。即ち、初期化期間において出力線 L_{QN} が初期化電圧 V_{G0} に設定され、このように出力線 L_{QN} が初期化電圧 V_{G0} に設定された状態から、出力線 L_{QN} の電圧を D/A 変換回路 $DACN$ が出力する階調電圧 V_{GN} に近づけるアシスト駆動が、アシスト回路 A_{SN} により行われるようになる。このようにすれば、アシスト回路 A_{SN} のアシスト駆動が何回も繰り返された場合に、アシスト回路 A_{SN} によるアシスト電圧が次第にずれて行ってしまうような事態が発生するのを防止できる。また負極性用のアシスト回路 A_{SN} は、出力線 L_{QN} の電圧を、初期化電圧 V_{G0} から低電位側の電圧へと下降させるアシスト駆動を行えば済むようになり、アシスト駆動の簡素化を図れる。

【0065】

また初期化電圧 V_{G0} は、正極性期間での正極性駆動における高電位電圧と負極性期間での負極性駆動における低電位電圧との中間電圧になっている。即ち図 7、図 10 に示すように、初期化電圧 V_{G0} は、正極性駆動における高電位電圧である V_{GP32} と、負極性駆動における低電位電圧である V_{GN32} の中間電圧になっている。一例としては、 $V_{G0} = (V_{GP32} + V_{GN32}) / 2$ の関係が成り立つ。例えば $V_{GP32} = 12.5 \text{ V}$ 、 $V_{GN32} = 2.5 \text{ V}$ の場合には、 $V_{G0} = 7.5 \text{ V}$ になる。

【0066】

このようにすれば、正極性期間においては、アシスト回路ASPが、VG0～VGP32の電圧範囲でアシスト駆動を行い、負極性期間においては、アシスト回路ASNが、VG0～VGN32の電圧範囲でアシスト駆動を行えるようになる。例えばアシスト回路ASPは、初期化電圧VG0から高電位側の電圧へと出力線LQPの電圧を変化させるアシスト駆動を、表示データDAに基づき行う。アシスト回路ASNは、初期化電圧VG0から低電位側の電圧へと出力線LQNの電圧を変化させるアシスト駆動を、表示データDAに基づき行う。これにより簡素な制御でのアシスト駆動が可能になり、回路構成や回路制御の簡素化を図れるようになる。

【0067】

10

また表示ドライバー10は、第1出力線である出力線LQPと、第2出力線である出力線LQNとの間に設けられるスイッチSW3を含む。スイッチSW3は第3スイッチであり、例えばCMOSのトランジスタなどにより実現できる。例えばスイッチSW3の一端は出力線LQP及びスイッチSW1の一端に接続される。スイッチSW3の他端は出力線LQN及びスイッチSW2の一端に接続される。スイッチSW1、SW2の他端はアンプ回路AMPの入力ノードNIに接続される。そして図12に示すようにスイッチSW3は、正極性期間における初期化期間においてオンになる。またスイッチSW3は、負極性期間における初期化期間においてオンになる。

【0068】

20

このようなスイッチSW3を設ければ、初期化期間において出力線LQPと出力線LQNとをショートできるようになる。このように出力線LQP、LQNをショートすることで、初期化期間において出力線LQP、LQNを初期化電圧VG0に早期に設定できるようになり、アシスト回路ASP、ASNは、初期化電圧VG0を開始電圧としてアシスト駆動を行えるようになる。そしてアシスト回路ASPは、初期化電圧VG0から高電位側の電圧へと出力線LQPの電圧を変化させるアシスト駆動を行い、アシスト回路ASNは、初期化電圧VG0から低電位側の電圧へと出力線LQNの電圧を変化させるアシスト駆動を行えば済むため、簡素な制御でのアシスト駆動が可能になる。

【0069】

30

また駆動回路21は、正極性期間における初期化期間において、駆動信号群DGPをローレベルの電圧に設定する。例えばGNDの電圧レベルに設定する。一方、駆動回路22は、負極性期間における初期化期間において、駆動信号群DGNをハイレベルの電圧に設定する。例えばVDDHの電圧レベルに設定する。ここで駆動回路21は第1駆動回路であり、駆動信号群DGPは第1駆動信号群である。また駆動回路22は第2駆動回路であり、駆動信号群DGNは第2駆動信号群である。

【0070】

40

即ち、正極性期間における初期化期間において、キャパシター群CGPの他端は初期化電圧VG0に設定され、駆動回路21が、ローレベルの電圧に設定された駆動信号群DGPをキャパシター群CGPの一端に出力する。これにより、初期化期間において、キャパシター群CGPには、初期化電圧VG0とローレベルの電圧の電圧差に対応する電荷が蓄積されるようになる。そして初期化期間の後のアシスト期間において、駆動回路21が、表示データDAに対応する駆動信号群DGPをキャパシター群CGPの一端に出力することで、出力線LQPの電圧を、初期化電圧VG0から高電位側の電圧に変化させるアシスト駆動が実現されるようになる。

【0071】

また負極性期間における初期化期間において、キャパシター群CGNの他端は初期化電圧VG0に設定され、駆動回路22が、ハイレベルの電圧に設定された駆動信号群DGNをキャパシター群CGNの一端に出力する。これにより、初期化期間において、キャパシター群CGNには、初期化電圧VG0とハイレベルの電圧の電圧差に対応する電荷が蓄積されるようになる。そして初期化期間の後のアシスト期間において、駆動回路22が、表示データDAに対応する駆動信号群DGNをキャパシター群CGNの一端に出力すること

50

で、出力線 L Q N の電圧を、初期化電圧 V G 0 から低電位側の電圧に変化させるアシスト駆動が実現されるようになる。

【0072】

またアシスト回路 A S P は初期化回路 2 5 を含む。初期化回路 2 5 は、正極性期間における初期化期間において、初期化用の制御信号群 S G P を駆動回路 2 1 に出力し、正極性期間におけるアシスト期間において、表示データ D A に対応する制御信号群 S G P を駆動回路 2 1 に出力する。初期化回路 2 5 は第 1 初期化回路であり、制御信号群 S G P は第 1 制御信号群である。例えば正極性期間における初期化期間においては、図 1 2 に示すように初期化信号 I N I がアクティブになることで、初期化回路 2 5 は、初期化用の制御信号群 S G P を駆動回路 2 1 に出力する。例えば初期化回路 2 5 は、駆動回路 2 1 が出力する駆動信号群 D G P をローレベルの電圧に初期化する制御信号群 S G P を出力する。そして初期化回路 2 5 は、初期化期間の後のアシスト期間において、表示データ D A に対応する制御信号群 S G P を駆動回路 2 1 に出力する。このようにすることで、駆動回路 2 1 は、表示データ D A に対応する駆動信号群 D G P を、キャパシター群 C G P の一端に出力するようになる。これにより、出力線 L Q P の電圧を、初期化電圧 V G 0 から、表示データ D A に応じた電圧に上昇させるアシスト駆動が可能になる。

10

【0073】

またアシスト回路 A S N は初期化回路 2 6 を含む。初期化回路 2 6 は、負極性期間における初期化期間において、初期化用の制御信号群 S G N を駆動回路 2 2 に出力し、負極性期間におけるアシスト期間において、表示データ D A に対応する制御信号群 S G N を駆動回路 2 2 に出力する。初期化回路 2 6 は第 2 初期化回路であり、制御信号群 S G N は第 2 制御信号群である。例えば負極性期間における初期化期間においては、図 1 2 に示すように初期化信号 I N I がアクティブになることで、初期化回路 2 6 は、初期化用の制御信号群 S G N を駆動回路 2 2 に出力する。例えば初期化回路 2 6 は、駆動回路 2 2 が出力する駆動信号群 D G N をハイレベルの電圧に初期化する制御信号群 S G N を出力する。そして初期化回路 2 6 は、初期化期間の後のアシスト期間において、表示データ D A に対応する制御信号群 S G N を駆動回路 2 2 に出力する。このようにすることで、駆動回路 2 2 は、表示データ D A に対応する駆動信号群 D G N をキャパシター群 C G N の一端に出力するようになる。これにより、出力線 L Q N の電圧を、初期化電圧 V G 0 から、表示データ D A に応じた電圧に下降させるアシスト駆動が可能になる。

20

30

【0074】

3. 詳細な構成例

図 1 3 に本実施形態の表示ドライバー 1 0 の詳細な第 1 構成例を示す。図 1 3 では、出力線 L Q P として、第 1 階調出力線 L Q P A と第 2 階調出力線 L Q P B が設けられる。即ち正極性用の出力線 L Q P として、正極性用の第 1 階調出力線 L Q P A と正極性用の第 2 階調出力線 L Q P B が設けられる。また出力線 L Q N として、第 1 階調出力線 L Q N A と第 2 階調出力線 L Q N B が設けられる。即ち負極性用の出力線 L Q N として、負極性用の第 1 階調出力線 L Q N A と負極性用の第 2 階調出力線 L Q N B が設けられる。

【0075】

そして D / A 変換回路 D A C P は、表示データ D A の上位側ビットデータに基づいて、第 1 階調電圧 V G P A を第 1 階調出力線 L Q P A に出力し、上位側ビットデータに基づいて、第 2 階調電圧 V G P B を第 2 階調出力線 L Q P B に出力する。第 1 階調電圧 V G P A と第 2 階調電圧 V G P B は図 7 に示すような電圧関係になっている。例えば第 1 階調電圧 V G P A と第 2 階調電圧 V G P B の電圧差は、表示データ D A の上位側ビットのうちの最下位ビットに対応する電圧差になっている。

40

【0076】

また D / A 変換回路 D A C N は、表示データ D A の上位側ビットデータに基づいて、第 1 階調電圧 V G N A を第 1 階調出力線 L Q N A に出力し、上位側ビットデータに基づいて、第 2 階調電圧 V G N B を第 2 階調出力線 L Q N B に出力する。第 1 階調電圧 V G N A と第 2 階調電圧 V G N B は図 7 に示すような電圧関係になっている。例えば第 1 階調電圧 V

50

G N Aと第2階調電圧V G N Bの電圧差は、表示データD Aの上位側ビットのうちの最下位ビットに対応する電圧差になっている。

【0077】

そしてアンプ回路A M Pは、表示データD Aの下位側ビットデータに基づいて、第1階調電圧V G P Aと第2階調電圧V G P Bの間の階調電圧に対応する駆動電圧V Dを出力する。即ちアンプ回路A M Pは、正極性期間においては、正極性用の第1階調電圧V G P Aと第2階調電圧V G P Bの間の階調電圧であって、表示データD Aの下位側ビットデータに対応する階調電圧を、駆動電圧V Dとして出力する。

【0078】

またアンプ回路A M Pは、表示データD Aの下位側ビットデータに基づいて、第1階調電圧V G N Aと第2階調電圧V G N Bの間の階調電圧に対応する駆動電圧V Dを出力する。即ちアンプ回路A M Pは、負極性期間においては、負極性用の第1階調電圧V G N Aと第2階調電圧V G N Bの間の階調電圧であって、表示データD Aの下位側ビットデータに対応する階調電圧を、駆動電圧V Dとして出力する。

【0079】

このような構成にすれば、D/A変換回路D A C P、D A C Nは、表示データD Aの上位側ビットデータに基づくD/A変換を行えば済むようになり、D/A変換回路D A C P、D A C Nに必要とされるD/A変換の分解能を低くすることができる。そして表示データD Aの下位側ビットデータに基づくD/A変換については、アンプ回路A M Pに行わせることが可能になる。これによりD/A変換回路D A C P、D A C Nを構成するスイッチ素子の個数等を減らすことが可能になり、D/A変換回路D A C P、D A C Nの小規模化を図れる。

【0080】

また図13では、アシスト回路A S Pは、第1階調出力線L Q P A及び第2階調出力線L Q P Bに接続される。即ち正極性用のアシスト回路A S Pは、正極性用の第1階調出力線L Q P A及び正極性用の第2階調出力線L Q P Bに接続される。またアシスト回路A S Nは、第1階調出力線L Q N A及び第2階調出力線L Q N Bに接続される。即ち負極性用のアシスト回路A S Nは、負極性用の第1階調出力線L Q N A及び負極性用の第2階調出力線L Q N Bに接続される。

【0081】

このようにすれば、第1階調出力線L Q P A及び第2階調出力線L Q P Bのアシスト駆動を、1つのアシスト回路A S Pにより行えるようになる。即ち正極性期間においては、正極性用の第1階調出力線L Q P A及び第2階調出力線L Q P Bの両方のアシスト駆動が、正極性用のアシスト回路A S Pにより行われるようになる。これにより、出力線L Q Pとして第1階調出力線L Q P A及び第2階調出力線L Q P Bを設けた場合にも、1つのアシスト回路A S Pによりアシスト駆動を行えるようになるため、回路の小規模化を図れる。また第1階調出力線L Q N A及び第2階調出力線L Q N Bのアシスト駆動を、1つのアシスト回路A S Nにより行えるようになる。即ち負極性期間においては、負極性用の第1階調出力線L Q N A及び第2階調出力線L Q N Bの両方のアシスト駆動が、負極性用のアシスト回路A S Nにより行われるようになる。これにより、出力線L Q Nとして第1階調出力線L Q N A及び第2階調出力線L Q N Bを設けた場合にも、1つのアシスト回路A S Nによりアシスト駆動を行えるようになるため、回路の小規模化を図れる。

【0082】

次に図13の構成について更に詳細に説明する。正極性用のD/A変換回路D A C Pは、D/A変換器D A C P A、D A C P Bを含む。D/A変換器D A C P Aは、V G 0～V G P 3 1が入力され、V G 0～V G P 3 1の中から表示データD Aの上位側ビットデータに基づき選択された電圧を、第1階調電圧V G P Aとして出力する。D/A変換器D A C P Bは、V G P 1～V G P 3 2が入力され、V G P 1～V G P 3 2の中から表示データD Aの上位側ビットデータに基づき選択された電圧を、第2階調電圧V G P Bとして出力する。例えばD/A変換器D A C P AがV G P A = V G P 3 1を選択して出力する場合には

、D/A変換器DACPBは $VGPB = VGP32$ を選択して出力する。D/A変換器DACP Aが $VGPA = VGP30$ を選択して出力する場合には、D/A変換器DACPBは $VGPB = VGP31$ を選択して出力する。即ちD/A変換器DACP A、DACPBは隣り合う第1階調電圧VGPA、第2階調電圧VGPBを出力する。ここで隣り合う第1階調電圧VGPA、第2階調電圧VGPBでは、その電圧差が、表示データDAの上位側ビットの最下位ビットに対応する電圧差になっている。

【0083】

また負極性用のD/A変換回路DACNは、D/A変換器DACNA、DACNBを含む。D/A変換器DACNAは、 $VG0 \sim VGN31$ が入力され、 $VG0 \sim VGN31$ の中から表示データDAの上位側ビットデータに基づき選択された電圧を、第1階調電圧VGN Aとして出力する。D/A変換器DACNBは、 $VGN1 \sim VGN32$ が入力され、 $VGN1 \sim VGN32$ の中から表示データDAの上位側ビットデータに基づき選択された電圧を、第2階調電圧VGN Bとして出力する。例えばD/A変換器DACNAが $VGNA = VGN31$ を選択して出力する場合には、D/A変換器DACNBは $VGNB = VGN32$ を選択して出力する。D/A変換器DACNAが $VGNA = VGN30$ を選択して出力する場合には、D/A変換器DACNBは $VGNB = VGN31$ を選択して出力する。即ちD/A変換器DACNA、DACNBは隣り合う第1階調電圧VGN A、第2階調電圧VGN Bを出力する。ここで隣り合う第1階調電圧VGN A、第2階調電圧VGN Bでは、その電圧差が、表示データDAの上位側ビットの最下位ビットに対応する電圧差になっている。

【0084】

また図13では、第1スイッチであるスイッチSW1として、スイッチSW1 A、SW1 Bが設けられる。スイッチSW1 A、SW1 Bは、各々、第1階調電圧VGPA、第2階調電圧VGPBが入力され、正極性期間においてオンになる。また第2スイッチであるスイッチSW2として、スイッチSW2 A、SW2 Bが設けられる。スイッチSW2 A、SW2 Bは、各々、第1階調電圧VGN A、第2階調電圧VGN Bが入力され、負極性期間においてオンになる。

【0085】

また図13では、第3スイッチであるスイッチSW3として、スイッチSW3 A、SW3 Bが設けられる。スイッチSW3 Aは、正極性用の第1階調出力線LQPAと負極性用の第1階調出力線LQNAとの間に設けられる。スイッチSW3 Bは、正極性用の第2階調出力線LQPBと負極性用の第2階調出力線LQNBとの間に設けられる。そしてスイッチSW3 A、SW3 Bは、正極性期間における初期化期間及び負極性期間における初期化期間においてオンになる。

【0086】

また図13では、第1出力スイッチである出力スイッチSQPとして、出力スイッチSQPA、SQPBが設けられ、第2出力スイッチである出力スイッチSQNとして、出力スイッチSQNA、SQNBが設けられる。出力スイッチSQPAは、正極性用の第1階調出力線LQPAとキャパシター群CGPの他端との間に設けられる。出力スイッチSQPBは、正極性用の第2階調出力線LQPBとキャパシター群CGPの他端との間に設けられる。そして出力スイッチSQPA、SQPBは、正極性期間におけるアシスト期間においてオンになる。また出力スイッチSQNAは、負極性用の第1階調出力線LQNAとキャパシター群CGNの他端との間に設けられる。出力スイッチSQNBは、負極性用の第2階調出力線LQNBとキャパシター群CGNの他端との間に設けられる。そして出力スイッチSQNA、SQNBは、負極性期間におけるアシスト期間においてオンになる。

【0087】

また初期化回路25には、表示データDAの上位側ビットデータとして、 $D4 \sim D8$ が入力される。そして前述したように初期化回路25は、正極性期間における初期化期間において、駆動回路21から出力される駆動信号群DGPをローレベルの電圧に初期化する制御信号群SGPを出力する。そして初期化回路25は、初期化期間の後のアシスト期間

において、表示データD Aの上位側ビットデータであるD 4～D 8に対応する制御信号群S G Pを出力する。例えばD 4～D 8のいずれかのビットデータが「1」になると、制御信号群S G Pのうちの当該ビットデータに対応する制御信号がハイレベルになり、駆動信号群D G Pのうちの当該制御信号に対応する駆動信号がローレベルからハイレベルの電圧に変化する。これにより、第1階調出力線L Q P A、第2階調出力線L Q P Bの電圧を、初期化電圧V G 0から、表示データD Aに応じた電圧に上昇させるアシスト駆動が可能になる。

【0088】

また初期化回路26には、表示データD Aの上位側ビットデータとして、X D 4～X D 8が入力される。ここで「X」は負論理を意味する。そして前述したように初期化回路26は、負極性期間における初期化期間において、駆動回路22から出力される駆動信号群D G Nをハイレベルの電圧に初期化する制御信号群S G Nを出力する。そして初期化回路26は、初期化期間の後のアシスト期間において、表示データD Aの上位側ビットデータであるX D 4～X D 8に対応する制御信号群S G Nを出力する。例えばX D 4～X D 8のいずれかのビットデータが「0」になると、制御信号群S G Nのうちの当該ビットデータに対応する制御信号がローレベルになり、駆動信号群D G Nのうちの当該制御信号に対応する駆動信号がハイレベルからローレベルの電圧に変化する。これにより、第1階調出力線L Q N A、第2階調出力線L Q N Bの電圧を、初期化電圧V G 0から、表示データD Aに応じた電圧に下降させるアシスト駆動が可能になる。

【0089】

また図13では、アンプ回路AMPは、スイッチS D 0～S D 3、S X D 0～S X D 3により構成されるスイッチ回路40を含む。スイッチS D 0、S D 1、S D 2、S D 3は、表示データD Aの下位側ビットデータであるD 0、D 1、D 2、D 3が「1」の場合にオンになる。スイッチS X D 0、S X D 1、S X D 2、S X D 3は、D 0、D 1、D 2、D 3が「0」の場合にオンになる。

【0090】

またアンプ回路AMPが有する演算増幅器OPは、非反転入力端子(+)として入力端子I 0、I 1、I 2、I 3、I 4を有する。演算増幅器OPの反転入力端子(-)は、演算増幅器OPの出力端子に接続されている。例えば演算増幅器OPは、入力端子I 0、I 1、I 2、I 3、I 4に対応する差動トランジスタに対して重み付けがされており、入力端子I 0、I 1、I 2、I 3、I 4への入力電圧に対して重み付けされた電圧レベルの駆動電圧V Dを出力する。

【0091】

スイッチ回路40のスイッチS X D 0、S X D 1、S X D 2、S X D 3は、各々、アンプ回路AMPの第1入力ノードN I Aと、演算増幅器OPの入力端子I 0、I 1、I 2、I 3との間に設けられる。スイッチ回路40のスイッチS D 0、S D 1、S D 2、S D 3は、各々、アンプ回路AMPの第2入力ノードN I Bと、演算増幅器OPの入力端子I 0、I 1、I 2、I 3との間に設けられる。また第1入力ノードN I Aは、演算増幅器OPの入力端子I 4に接続される。

【0092】

そして正極性期間においては、スイッチS W 1 A、S W 1 Bがオンになり、スイッチS W 2 A、S W 2 Bがオフになることで、アンプ回路AMPの第1入力ノードN I Aに第1階調電圧V G P Aが入力され、第2入力ノードN I Bに第2階調電圧V G P Bが入力される。そして表示データD Aの下位側ビットデータD 0、D 1、D 2、D 3に応じて、スイッチS D 0～S D 3、S X D 0～S X D 3がオン又はオフになることで、アンプ回路AMPは、第1階調電圧V G P Aと第2階調電圧V G P Bの間の階調電圧に対応する駆動電圧V Dを出力するようになる。なおD 0 = D 1 = D 2 = D 3 = 0の場合には、アンプ回路AMPは、第1階調電圧V G P Aに対応する駆動電圧V Dを出力し、D 0 = D 1 = D 2 = D 3 = 1の場合には、アンプ回路AMPは、第2階調電圧V G P Bに対応する駆動電圧V Dを出力する。

【0093】

一方、負極性期間においては、スイッチSW2A、SW2Bがオンになり、スイッチSW1A、SW1Bがオフになることで、アンプ回路AMPの第1入力ノードNIAに第1階調電圧VGN Aが入力され、第2入力ノードNIBに第2階調電圧VGN Bが入力される。そして表示データDAの下位側ビットデータD0、D1、D2、D3に応じて、スイッチSD0～SD3、SXD0～SXD3がオン又はオフになることで、アンプ回路AMPは、第1階調電圧VGN Aと第2階調電圧VGN Bの間の階調電圧に対応する駆動電圧VDを出力するようになる。なおD0=D1=D2=D3=0の場合には、アンプ回路AMPは、第1階調電圧VGN Aに対応する駆動電圧VDを出力し、D0=D1=D2=D3=1の場合には、アンプ回路AMPは、第2階調電圧VGN Bに対応する駆動電圧VDを出力する。

10

【0094】

演算増幅器OPの具体的な回路構成例は、例えば特開2019-90957号公報の図9～図12に記載されている。例えば演算増幅器OPは、入力端子I0、I1、I2、I3、I4がゲートに接続される不図示の非反転入力用の差動トランジスタTD0、TD1、TD2、TD3、TD4を有する。TD0、TD1、TD2、TD3、TD4の各差動トランジスタはユニットトランジスタにより構成されており、各差動トランジスタを構成するユニットトランジスタの個数により、例えば1対2対4対8対16というようなバイナリーの重み付けが行われる。例えば正極性期間において、表示データDAの下位側ビットデータがD0=D1=D2=D3=0である場合には、差動トランジスタTD0～TD4のゲートには、第2階調電圧VG PBよりも低い第1階調電圧VG PAが入力される。これによりアンプ回路AMPは、第1階調電圧VG PAに対応する駆動電圧VDを出力する。また正極性期間において、表示データDAの下位側ビットデータがD0=D1=D2=D3=1である場合には、差動トランジスタTD0～TD4のゲートには、第1階調電圧VG PAよりも高い第2階調電圧VG PBが入力される。これによりアンプ回路AMPは、第2階調電圧VG PBに対応する駆動電圧VDを出力する。また正極性期間において、表示データDAの下位側ビットデータD0、D1、D2、D3のうちのDiが「0」であり、Djが「1」であったとする。ここで $0 \leq i \leq 3$ 、 $0 \leq j \leq 3$ であり、iとjは異なる整数である。この場合にはTD0～TD4のうちのDiに対応する差動トランジスタには第1階調電圧VG PAが入力され、Djに対応する差動トランジスタには第2階調電圧VG PBが入力される。これによりアンプ回路AMPは、第1階調電圧VG PAと第2階調電圧VG PBの間の階調電圧に対応する駆動電圧VDを出力する。負極性期間におけるアンプ回路AMPの動作も同様である。

20

30

【0095】

図14は、図13の第1構成例の表示ドライバー10の動作を説明する信号波形図である。なお図14では、説明の便宜のために上段に正極性期間での信号波形を示し、下段に負極性期間での信号波形を示しているが、図12に示すように正極性期間と負極性期間は異なる期間である。まずD/A変換回路DACP、DACNの出力がハイインピーダンス状態に設定される。そして初期化期間においては、正極性用の第1階調出力線LQPA及び第2階調出力線LQPBと、負極性用の第1階調出力線LQNA及び第2階調出力線LQNBが、初期化電圧VG0に設定される。即ち出力スイッチSQPA、SQPB、SQNA、SQNBと、初期化スイッチSIP、SINと、スイッチSW3A、SW3Bがオンになることで、これらの階調出力線が初期化電圧VG0に設定される。その後、アシスト回路ASP又はアシスト回路ASNによるアシスト駆動が行われる。例えば正極性期間においては、第1階調出力線LQPA及び第2階調出力線LQPBの電圧を、初期化電圧VG0から高電位側の電圧に上昇させるアシスト駆動が行われる。また負極性期間においては、第1階調出力線LQNA及び第2階調出力線LQNBの電圧を、初期化電圧VG0から低電位側の電圧に下降させるアシスト駆動が行われる。そしてアシスト期間の後に、D/A変換回路DACP又はD/A変換回路DACNが動作して、DAC駆動が行われる。例えば正極性期間においては、第1階調出力線LQPAの電圧を第1階調電圧VG PA

40

50

に設定し、第2階調出力線LQPBの電圧を第2階調電圧VG PBに設定するDAC駆動が行われる。また負極性期間においては、第1階調出力線LQNAの電圧を第1階調電圧VG NAに設定し、第2階調出力線LQNBの電圧を第2階調電圧VG NBに設定するDAC駆動が行われる。このようにすることで、アシスト駆動を行いながら正極性期間での正極性駆動と負極性期間での負極性駆動を実現できるようになる。

【0096】

図15に表示ドライバー10の詳細な第2構成例を示す。図15では、図13の第1構成例に対して、アンプ回路用のアシスト回路ASAMが追加されている。ここで説明の便宜のために、適宜、図15のように第1階調出力線LQPA、LQNAを第1階調出力線LQAと総称し、第2階調出力線LQPB、LQNBを第2階調出力線LQBと総称する。例えば正極性期間では、スイッチSW1A、SW1Bがオンになることで、第1階調出力線LQAは第1階調出力線LQPAになり、第2階調出力線LQBは第2階調出力線LQPBになる。負極性期間では、スイッチSW2A、SW2Bがオンになることで、第1階調出力線LQAは第1階調出力線LQNAになり、第2階調出力線LQBは第2階調出力線LQNBになる。

【0097】

この場合に、アンプ回路用のアシスト回路ASAMは、第1階調出力線LQA及び第2階調出力線LQBの一方の階調出力線に接続される。図15では、アシスト回路ASAMは第2階調出力線LQBに接続されている。例えばアンプ回路用のアシスト回路ASAMは、出力スイッチSQAMとキャパシターCAMを含む。キャパシターCAMの一端には、駆動信号VAMが入力される。出力スイッチSQAMの一端は、第2階調出力線LQBに接続され、出力スイッチSQAMの他端は、キャパシターCAMの他端に接続される。なおアシスト回路ASAMを第1階調出力線LQAに接続してもよい。また前述したように、第1階調出力線LQAは、正極性用の第1階調出力線LQPAと負極性用の第1階調出力線LQNAのうちの一方であり、アンプ回路AMPの第1入力ノードNIAに接続される階調出力線である。また第2階調出力線LQBは、正極性用の第2階調出力線LQPBと負極性用の第2階調出力線LQNBのうちの一方であり、アンプ回路AMPの第2入力ノードNIBに接続される階調出力線である。

【0098】

そしてアンプ回路用のアシスト回路ASAMは、アシスト回路ASP又はアシスト回路ASNが第1階調出力線LQA及び第2階調出力線LQBのアシスト駆動を行った後、一方の階調出力線である第2階調出力線LQBのアシスト駆動を行う。

【0099】

例えば正極性期間においては、アシスト回路ASPが、第1階調出力線LQAとなる第1階調出力線LQPAの電圧と第2階調出力線LQBとなる第2階調出力線LQPBの電圧を上昇させるアシスト駆動を行う。そしてアシスト回路ASPによるアシスト駆動の後、アンプ回路用のアシスト回路ASAMが、アシスト回路ASAMが接続される一方の階調出力線である第2階調出力線LQPB（LQB）のアシスト駆動を行う。例えば正極性期間においては、アシスト回路ASAMは、第2階調出力線LQPB（LQB）の電圧を上昇させるアシスト駆動を行う。これにより第1階調電圧VG PAと第2階調電圧VG PBの間の微少な電圧差を、高速に生成できるようになる。

【0100】

一方、負極性期間においては、アシスト回路ASNが、第1階調出力線LQAとなる第1階調出力線LQNAの電圧と第2階調出力線LQBとなる第2階調出力線LQNBの電圧を下降させるアシスト駆動を行う。そしてアシスト回路ASNによるアシスト駆動の後、アンプ回路用のアシスト回路ASAMが、アシスト回路ASAMが接続される一方の階調出力線である第2階調出力線LQNB（LQB）のアシスト駆動を行う。例えば負極性期間においては、アシスト回路ASAMは、第2階調出力線LQNB（LQB）の電圧を下降させるアシスト駆動を行う。これにより第1階調電圧VG NAと第2階調電圧VG NBの間の微少な電圧差を、高速に生成できるようになる。

【0101】

図16は、図15の第2構成例の表示ドライバー10の動作を説明する信号波形図である。なお図16では、説明の便宜のために上段に正極性期間での信号波形を示し、下段に負極性期間での信号波形を示しているが、正極性期間と負極性期間は異なる期間である。まずD/A変換回路DACP、DACNの出力がハイインピーダンス状態に設定される。そして初期化期間においては、正極性用の第1階調出力線LQPA及び第2階調出力線LQPBと、負極性用の第1階調出力線LQNA及び第2階調出力線LQNBが、初期化電圧VG0に設定される。その後、アシスト回路ASP又はアシスト回路ASNによるアシスト駆動が行われる。例えば正極性期間においては、第1階調出力線LQPA及び第2階調出力線LQPBの電圧を、初期化電圧VG0から高電位側の電圧に上昇させるアシスト駆動が行われる。また負極性期間においては、第1階調出力線LQNA及び第2階調出力線LQNBの電圧を、初期化電圧VG0から低電位側の電圧に下降させるアシスト駆動が行われる。そしてアシスト期間の後のアンプアシスト期間において、アンプ回路用のアシスト回路ASAMが動作する。例えば正極性期間においては、アシスト回路ASAMは、第2階調出力線LQPB（LQB）の電圧を上昇させて、第2階調電圧VGPBに近づくアシスト駆動を行う。一方、負極性期間においては、アシスト回路ASAMは、第2階調出力線LQNB（LQB）の電圧を下降させて第2階調電圧VGNBに近づくアシスト駆動を行う。そしてアンプアシスト期間の後に、D/A変換回路DACP又はD/A変換回路DACNが動作して、DAC駆動が行われる。例えば正極性期間においては、第1階調出力線LQPAの電圧を第1階調電圧VGPAに設定し、第2階調出力線LQPBの電圧を第2階調電圧VGPBに設定するDAC駆動が行われる。また負極性期間においては、第1階調出力線LQNAの電圧を第1階調電圧VGNAに設定し、第2階調出力線LQNBの電圧を第2階調電圧VGNBに設定するDAC駆動が行われる。

【0102】

このようにアンプ回路用のアシスト回路ASAMを設けることで、第1階調電圧と第2階調電圧の微少の電圧差を、高速に生成できるようになる。例えば正極性期間においては、第1階調電圧VGPAと第2階調電圧VGPBの微少の電圧差を、アンプ回路用のアシスト回路ASAMのアシスト駆動により、高速に生成できるようになる。負極性期間においては、第1階調電圧VGNAと第2階調電圧VGNBの微少の電圧差を、アンプ回路用のアシスト回路ASAMのアシスト駆動により、高速に生成できるようになる。これにより表示ドライバー10の更なる高速駆動を実現できる。

【0103】

4. 電気光学装置、電子機器、移動体

図17に本実施形態の電気光学装置160の構成例を示す。電気光学装置160は、本実施形態の表示ドライバー10と電気光学パネル150を含む。例えば表示ドライバー10はフレキシブル基板に実装され、そのフレキシブル基板が電気光学パネル150に接続され、フレキシブル基板に形成された配線によって、表示ドライバー10の画像信号出力端子であるデータ信号出力端子と、電気光学パネル150の画像信号入力端子であるデータ信号入力端子とが接続される。或いは、表示ドライバー10はリジッド基板に実装され、リジッド基板と電気光学パネル150とがフレキシブル基板により接続され、フレキシブル基板に形成された配線によって表示ドライバー10のデータ信号出力端子と電気光学パネル150のデータ信号入力端子とが接続されてもよい。

【0104】

図18に本実施形態の表示ドライバー10を含む電子機器300の構成例を示す。電子機器300は、表示ドライバー10、電気光学パネル150、表示コントローラー110、処理装置310、メモリー320、操作インターフェース330、通信インターフェース340を含む。回路装置である表示ドライバー10と電気光学パネル150とにより、電気光学装置160が構成される。電子機器300の具体例としては、プロジェクター、車載機器、ヘッドマウントディスプレイ、印刷装置、携帯型情報端末、携帯型ゲーム端末、ロボット、或いは情報処理装置などの種々の電子機器がある。車載機器は、例えばメー

ターパネルなどのパネル機器やカーナビゲーションシステム等の電子機器である。

【0105】

表示コントローラー110は、表示ドライバー10のタイミング制御などの各種の制御を行ったり、表示ドライバー10に対して表示データである画像データを供給したり、画像データに対する画像処理を行う。処理装置310は、電子機器300の制御処理や、種々の信号処理等を行う。処理装置310は例えば外部デバイスであるホストである。処理装置310は、例えばCPUやMPU等のプロセッサ、或いはASIC等により実現できる。メモリー320は、例えば操作インターフェース330や通信インターフェース340からのデータを記憶したり、或いは、処理装置310のワークメモリーとして機能する。メモリー320は、例えばRAMやROM等の半導体メモリー、或いはハードディスクドライブ等の磁気記憶装置により実現できる。操作インターフェース330は、ユーザーからの種々の操作を受け付けるユーザーインターフェースである。例えば操作インターフェース330は、ボタンやマウスやキーボード、或いは電気光学パネル150に装着されたタッチパネル等により実現できる。通信インターフェース340は、画像データや制御データの通信を行うインターフェースである。通信インターフェース340の通信処理は、有線の通信処理であってもよいし、無線の通信処理であってもよい。

10

【0106】

なお電子機器300がプロジェクターである場合には、光源と光学系を有する投影部が設けられる。光源は、例えばハロゲンランプ等の白色光源からなるランプユニットなどにより実現される。光学系は、例えばレンズ、プリズム又はミラー等により実現される。電気光学パネル150が透過型である場合、光源からの光を光学系を介して電気光学パネル150に入射させ、電気光学パネル150を透過した光をスクリーンに投影させる。電気光学パネル150が反射型である場合、光源からの光を光学系を介して電気光学パネル150に入射させ、電気光学パネル150から反射された光をスクリーンに投影させる。

20

【0107】

図19に、本実施形態の表示ドライバー10を含む移動体の構成例を示す。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器又は装置である。本実施形態の移動体として、例えば、車、飛行機、バイク、船舶、或いはロボット等を想定できる。図19は移動体の具体例としての自動車206を概略的に示している。自動車206は、車体207や車輪209を有する。自動車206には、表示ドライバー10を有する表示装置220と、自動車206の各部を制御する制御装置210が組み込まれている。制御装置210は例えばECU(Electronic Control Unit)などを含むことができる。表示装置220は電気光学装置160により実現されるものであり、例えばメーターパネル等のパネル機器である。制御装置210は、ユーザーに提示するための画像を生成し、その画像を表示装置220に送信する。表示装置220は、受信した画像を表示装置220の表示部に表示する。例えば車速や燃料残量、走行距離、各種装置の設定等の情報が画像として表示される。

30

【0108】

以上に説明したように本実施形態の表示ドライバーは、表示データに基づいて階調電圧を出力線に出力するD/A変換回路と、キャパシター群と、表示データに基づいてキャパシター群の一端に駆動信号群を出力する駆動回路とを有し、出力線に接続されて出力線のアシスト駆動を行うアシスト回路と、電気光学パネルを駆動するアンプ回路を含む。そしてアシスト回路は、キャパシター群の他端と出力線との間に設けられ、アシスト期間においてオンになる出力スイッチと、一端がキャパシター群の他端に接続され、他端に初期化電圧が入力される初期化スイッチを含み、初期化期間において、出力スイッチ及び初期化スイッチがオンになる。

40

【0109】

本実施形態によれば、初期化期間において、出力スイッチ及び初期化スイッチがオンになり、キャパシター群の他端が初期化電圧に設定されることで、出力線が初期化電圧に設定される。これにより初期化期間において、出力線が初期化電圧に設定された後、アシス

50

ト期間においてアシスト回路がアシスト駆動を行えるようになる。このようにすれば、アシスト駆動が繰り返し行われる場合にも、アシスト回路は、初期化電圧を開始電圧として、アシスト駆動を行えるようになる。従って、アシスト駆動を繰り返し行った場合にも適正なアシスト駆動を維持できる表示ドライバーの実現が可能になる。

【0110】

また本実施形態では、初期化期間において、D/A変換回路の出力はハイインピーダンス状態に設定されてもよい。

【0111】

このようにすれば、初期化期間においてD/A変換回路が出力線に対して階調電圧を出力しないようになるため、出力線を初期化電圧に適正に設定できるようになる。

10

【0112】

また本実施形態では、初期化期間の後、初期化スイッチがオフになり、アシスト期間においてアシスト回路が出力線のアシスト駆動を行った後、出力スイッチがオフになってもよい。

【0113】

このようにすれば、初期化期間の後に、初期化スイッチをオフにすることで、キャパシター群の他端に初期化電圧が供給されないようにして、アシスト回路がアシスト駆動を行い、アシスト期間の後に、出力スイッチをオフにすることで、アシスト回路による出力線のアシスト駆動を停止できるようになる。

20

【0114】

また本実施形態では、出力スイッチがオフになった後、D/A変換回路が階調電圧を出力線に出力してもよい。

【0115】

このようにすれば、初期化期間において出力線を初期化電圧に設定し、アシスト回路が、初期化電圧を開始電圧として、表示データに基づくアシスト駆動を行うことで、出力線の電圧が、D/A変換回路が出力する階調電圧に近づくようになる。その後に、D/A変換回路が階調電圧を出力線に出力することで、階調電圧に対応する駆動電圧で、電気光学パネルを駆動できるようになる。

【0116】

また本実施形態では、アシスト回路は、初期化期間において、初期化用の制御信号群を駆動回路に出力し、アシスト期間において、表示データに対応する制御信号群を駆動回路に出力する初期化回路を含んでもよい。

30

【0117】

このようにすれば、初期化期間においては、初期化回路が初期化用の制御信号群を駆動回路に出力することで、駆動回路は、初期化用の駆動信号群をキャパシター群の一端に出力できるようになる。そしてアシスト期間においては、初期化回路が表示データに対応する制御信号群を駆動回路に出力することで、駆動回路は、表示データに対応する駆動信号群をキャパシター群の一端に出力できるようになり、出力線の電圧を、表示データに応じた電圧に近づけるアシスト駆動が可能になる。

【0118】

また本実施形態では、出力線として、第1階調出力線と第2階調出力線が設けられ、D/A変換回路は、表示データの上位側ビットデータに基づいて、第1階調電圧を第1階調出力線に出力し、上位側ビットデータに基づいて、第2階調電圧を第2階調出力線に出力してもよい。そしてアンプ回路は、表示データの下位側ビットデータに基づいて、第1階調電圧と第2階調電圧の間の階調電圧に対応する駆動電圧を出力してもよい。

40

【0119】

このようにすれば、D/A変換回路は、表示データの上位側ビットデータに基づくD/A変換を行えば済むようになり、D/A変換回路に必要とされるD/A変換の分解能を低くすることができる。そして表示データの下位側ビットデータに基づくD/A変換については、アンプ回路に行わせることが可能になるため、D/A変換回路の小規模化を図れる

50

。

【0120】

また本実施形態では、アシスト回路は、第1階調出力線及び第2階調出力線に接続されてもよい。

【0121】

このようにすれば、出力線として第1階調出力線及び第2階調出力線を設けた場合にも、1つのアシスト回路により第1階調出力線及び第2階調出力線の両方のアシスト駆動を行えるようになるため、回路の小規模化を図れる。

【0122】

また本実施形態では、第1階調出力線及び第2階調出力線の一方の階調出力線に接続されるアンプ回路用のアシスト回路を含み、アンプ回路用のアシスト回路は、アシスト回路が第1階調出力線及び第2階調出力線のアシスト駆動を行った後、一方の階調出力線のアシスト駆動を行ってもよい。

【0123】

このようにすれば、第1階調電圧と第2階調電圧の微少の電圧差を、アンプ回路用のアシスト回路のアシスト駆動により、高速に生成できるようになるため、表示ドライバーの更なる高速駆動を実現できる。

【0124】

また本実施形態の表示ドライバーは、表示データに基づいて階調電圧を出力線に出力するD/A変換回路と、キャパシター群と、表示データに基づいてキャパシター群の一端に駆動信号群を出力する駆動回路とを有し、出力線に接続されて出力線のアシスト駆動を行うアシスト回路と、電気光学パネルを駆動するアンプ回路と、アンプ回路用のアシスト回路を含む。そして出力線として、第1階調出力線と第2階調出力線が設けられ、D/A変換回路は、表示データの上位側ビットデータに基づいて、第1階調電圧を第1階調出力線に出力し、上位側ビットデータに基づいて、第2階調電圧を第2階調出力線に出力する。またアンプ回路は、表示データの下位側ビットデータに基づいて、第1階調電圧と第2階調電圧の間の階調電圧に対応する駆動電圧を出力する。そしてアンプ回路用のアシスト回路は、第1階調出力線及び第2階調出力線の一方の階調出力線に接続され、アシスト回路が第1階調出力線及び第2階調出力線のアシスト電圧に設定した後、一方の階調出力線のアシスト駆動する。

【0125】

本実施形態によれば、D/A変換回路は、表示データの上位側ビットデータに基づくD/A変換を行えば済むようになり、D/A変換回路に必要とされるD/A変換の分解能を低くすることができる。そして表示データの下位側ビットデータに基づくD/A変換については、アンプ回路に行わせることが可能になるため、D/A変換回路の小規模化を図れる。また本実施形態によれば、第1階調電圧と第2階調電圧の微少の電圧差を、アンプ回路用のアシスト回路のアシスト駆動により、高速に生成できるようになるため、表示ドライバーの高速駆動を実現できる。

【0126】

また本実施形態は、上記に記載の表示ドライバーと、電気光学パネルとを含む電気光学装置に関係する。

【0127】

また本実施形態は、上記に記載の表示ドライバーを含む電子機器に関係する。

【0128】

また本実施形態は、上記に記載の表示ドライバーを含む移動体に関係する。

【0129】

なお、上記のように本実施形態について詳細に説明したが、本開示の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本開示の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記

10

20

30

40

50

載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本開示の範囲に含まれる。また表示ドライバー、電気光学装置、電気光学パネル、電子機器、移動体等の構成・動作も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【符号の説明】

【0130】

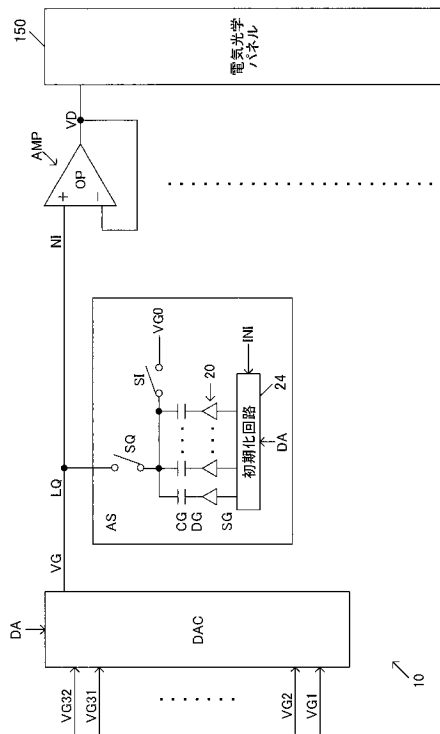
10…表示ドライバー、20、21、22…駆動回路、24、25、26…初期化回路、
 30…階調電圧生成回路、40…スイッチ回路、110…表示コントローラー、
 150…電気光学パネル、160…電気光学装置、206…自動車、207…車体、
 209…車輪、210…制御装置、220…表示装置、300…電子機器、
 310…処理装置、320…メモリー、330…操作インターフェース、
 340…通信インターフェース、
 AMP…アンプ回路、AS、ASP、ASN、ASAM…アシスト回路、
 CG、CGP、CGN…キャパシター群、
 DAC、DACP、DACN…D/A変換回路、DA…表示データ、
 DG、DGP、DGN…駆動信号群、DV1～DVn…ドライバー回路、
 LGP1～LGP32、LGN1～LGN32…階調電圧線、
 LVG0…初期化電圧線、INI…初期化信号、
 LQ、LQP、LQN…出力線、LQPA、LQNA、LQA…第1階調出力線、
 LQPB、LQNB、LQB…第2階調出力線、
 MNTP、MPTP、MNTN、MPTN…第1耐圧トランジスター、
 HNT、HPT…第2耐圧トランジスター、NI…入力ノード、
 NIA…第1入力ノード、NIB…第2入力ノード、
 OP…演算増幅器、SD0～SD3、SXD0～SXD3…スイッチ、
 SG、SGP、SGN…制御信号群、SI、SIP、SIN…初期化スイッチ、
 SQ、SQP、SQPA、SQPB、SQN、SQNA、SQNB…出力スイッチ、
 SW1、SW1A、SW1B…スイッチ、SW2、SW2A、SW2B…スイッチ、
 SW3、SW3A、SW3B…スイッチ、VD…駆動電圧、VG0…初期化電圧、
 VG、VG1～VG32…階調電圧、
 VGP、VGP1～VGP32、VGN、VGN1～VGN32…階調電圧

10

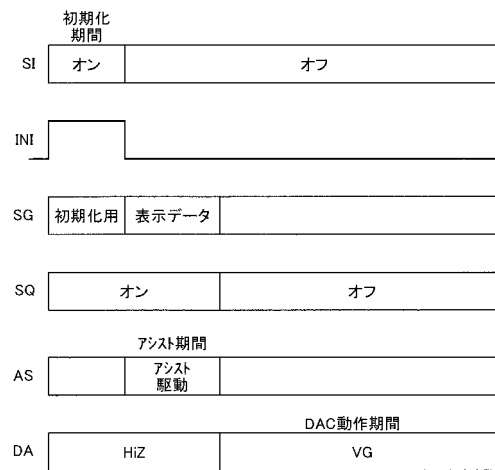
20

30

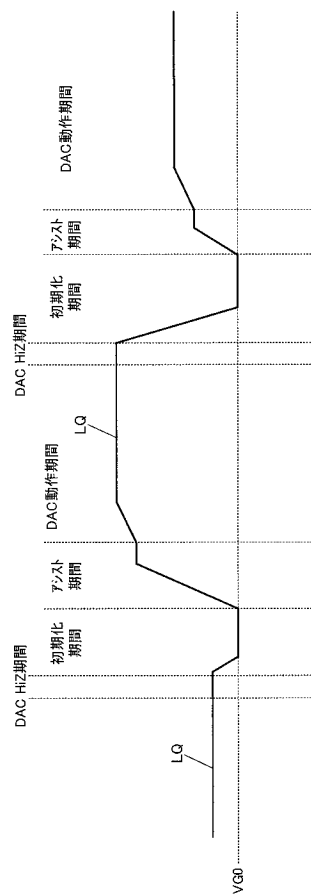
【 図 1 】



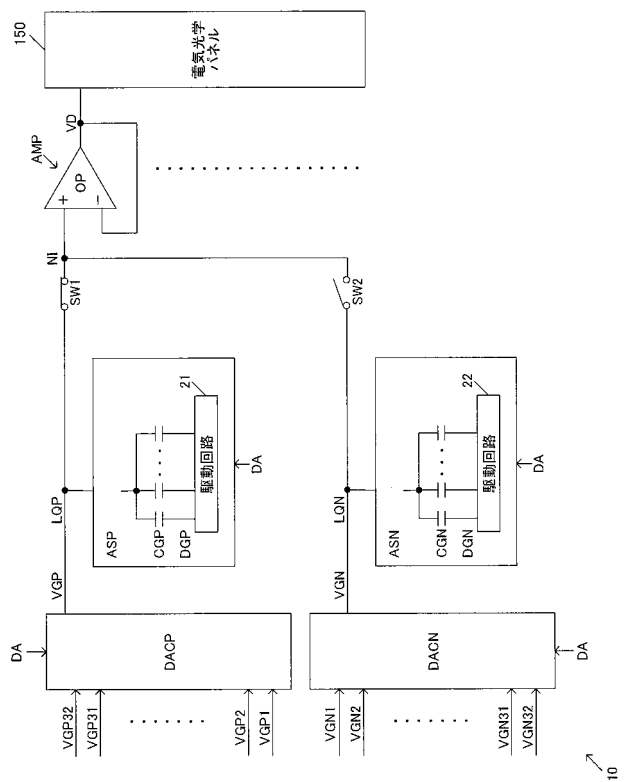
【圖 2】



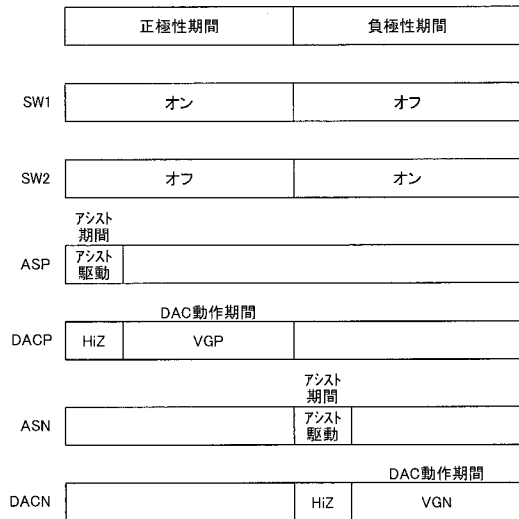
【図 3】



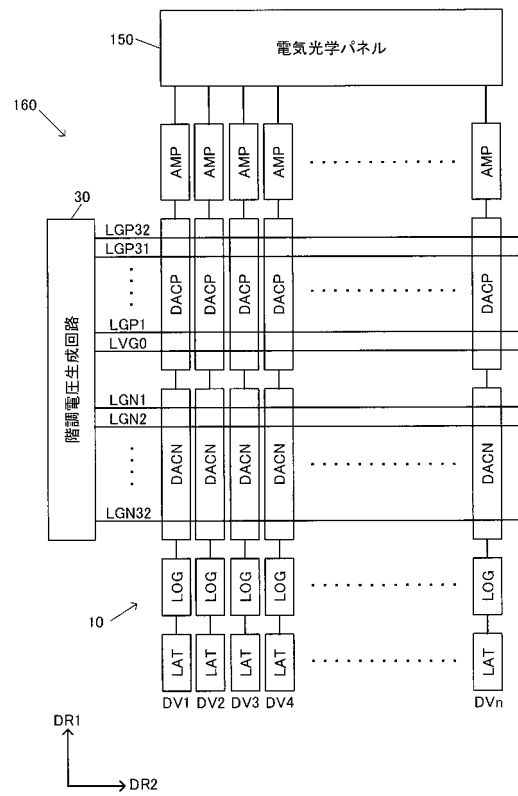
【 図 4 】



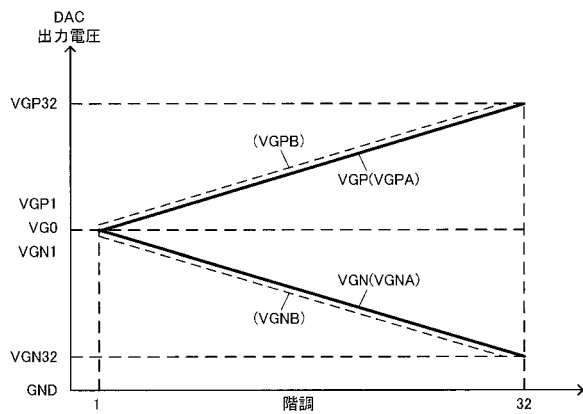
【図 5】



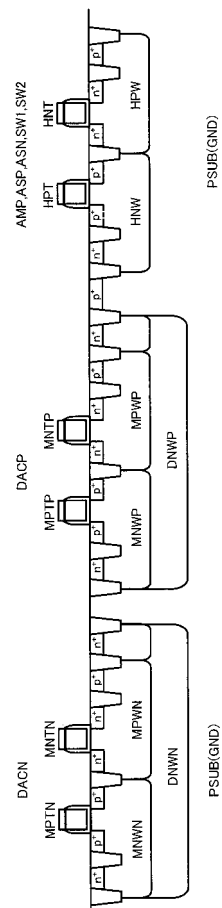
【図 6】



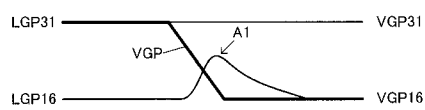
【图 7】



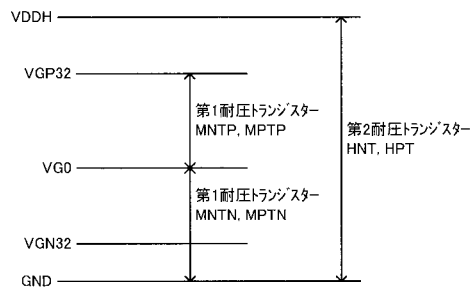
【図 9】



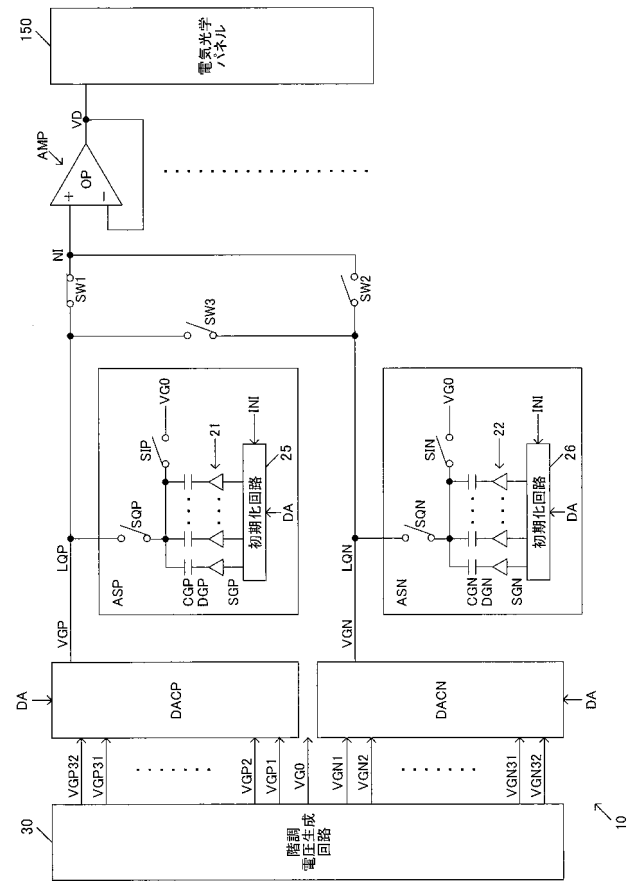
【图 8】



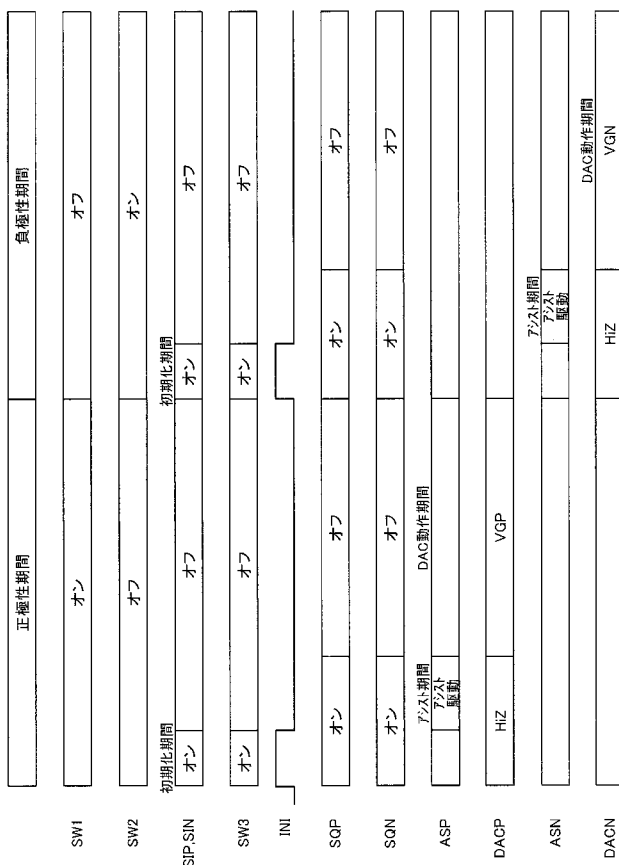
【図 10】



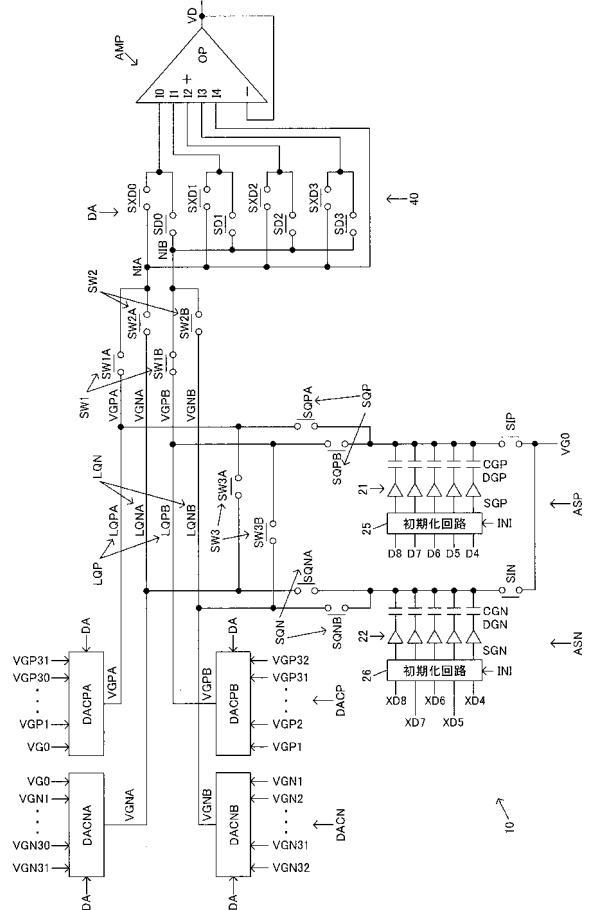
【図 11】



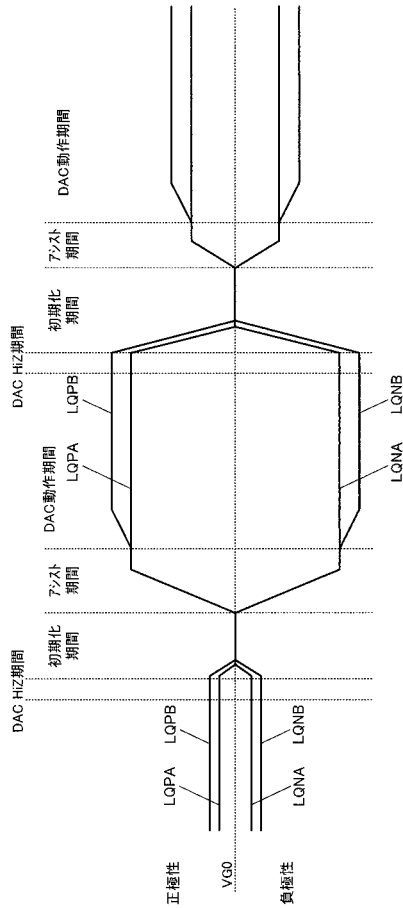
【図 12】



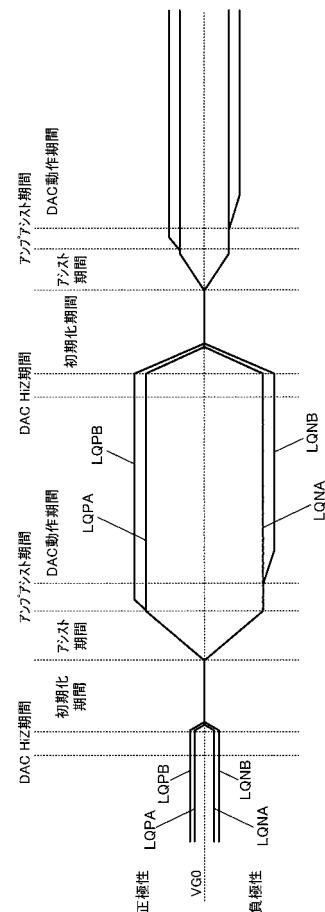
【図 13】



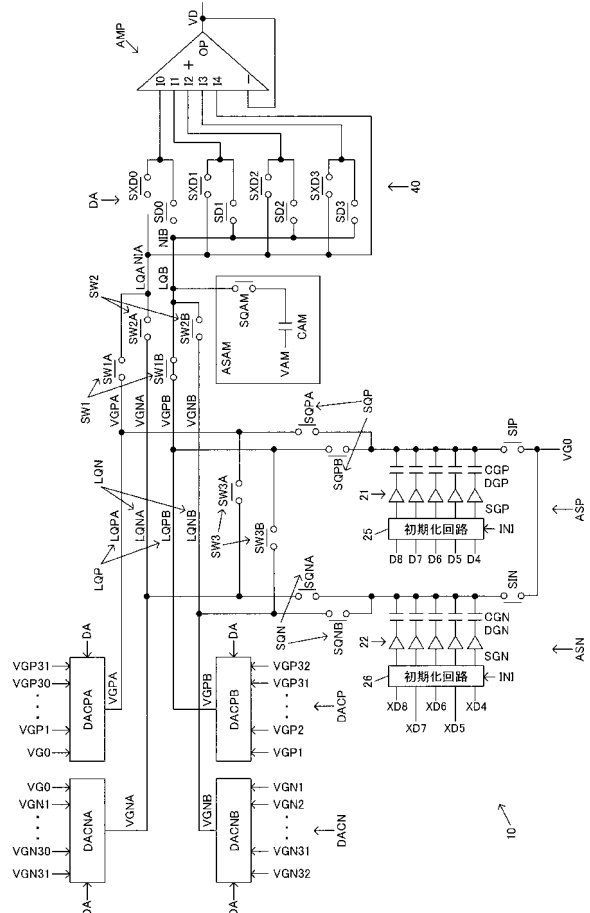
【図 14】



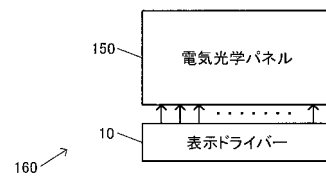
【図 16】



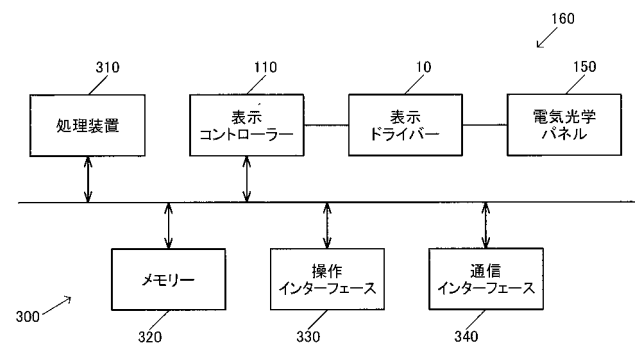
【図 15】



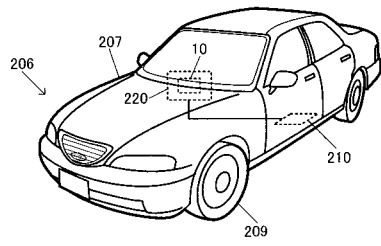
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 A	
	G 0 9 G 3/20 6 1 1 J	
	G 0 9 G 3/20 6 2 1 B	

(72)発明者 野村 猛

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 5C006 AA16 AC26 AF68 AF83 BB16 BC13 BF25 BF27 BF32 BF33
BF34 BF37 EC09 EC11 EC13 FA14 FA37 FA41 FA46
5C080 AA06 AA10 BB05 DD08 DD09 DD22 EE29 FF11 JJ02 JJ03
JJ04 JJ05 JJ06 KK02 KK07 KK20 KK21 KK23 KK43 KK50