

88年2月7日修正/更正/補充

公告本

申請日期	86.10.14
案號	86114129
類別	H01L24/8247

A4
C4

(以上各欄由本局填註)

442921

發明專利說明書 (88年12月修正)

一、發明 名稱	中文	高介電或鐵電層之生產方法
	英文	METHOD FOR PRODUCING HIGH- ϵ -DIELECTRIC OR FERROELECTRIC LAYER
二、發明 創作人	姓名	1. 古瑟斯全德 (Dr. Guenther Schindler) 2. 威特哈特勒 (Walter Hartner) 3. 瑞勒布魯喬 (Dr. Rainer Bruchhaus) 4. 羅勃布林米格 (Robert Primig)
	國籍	1.-3. 皆屬德國 4. 奧地利
	住、居所	1. 德國慕尼黑黑80802安格斯街19號 2. 德國米德林肯89441艾林曼街20號 3. 德國慕尼黑黑80997西門羅克街25號 4. 德國慕尼黑黑81541安特貝屈街37號
三、申請人	姓名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國籍	德國
	住、居所 (事務所)	德國慕尼黑黑D-80333威田巴契廣場2號
	代表 姓名	1. 納特布斯克 (Natebusch) 2. 歐姆克 (Ohmke)

裝
訂
線

經濟部中央標準局製圖室製

442921

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德國 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

1996年09月30日 案號19640241.7(主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明關於在基板上製造高介電或鐵電層的方法，尤其是製造積體化半導體記憶所使用的方法。

在積體電路之生產中，高介電及鐵電材料的重要性愈來愈大。其可應用為積體記憶體之電容電介質，由於其高介電常數(數百 ϵ_r)降低記憶體電容器之位置需求，且由於鐵電質之不同極化方向而使得能夠製造以形成不易逝記憶體 (FRAM)(在供應電壓中斷及不持續更新時不損失資訊)。

這類材料的例子為鋇鈦鈦 (BST)、鈦鈦 (ST)或鉛鈦鈦 (PZT)及 SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)，SBTN($\text{SrBi}_2\text{T}_{a-x}\text{Nb}_x\text{O}_9$)。這類材料時生產方法為需要含氧氛圍內之高溫($\geq 700^\circ\text{C}$)的濺鍍，Spin-on 或濺積方法。當運用於記憶體單胞時(例如被製成堆疊電容器)，使用重金屬，如鉑或鈦，作為第一電極之材料，因為一般作為電極材料之導電材料，如多晶矽或鋁在此種條件下被氧化。這類含貴金屬電極均能耐氧，因而導致電容器介電生產時位於深處結構被氧化且不保證第一電極及記憶體單胞之選擇電晶體間的充足接觸。依照習用技術，需要電容器介電下方的阻障體以壓制氧化擴散。在此種擴散阻障體的情況下，於生產電容器介電時亦有氧化之危險，因此第一電極與選擇電晶體之間的電接觸被中斷。其主因係沈積或退火時的高溫及時間過長(至60分鐘)。

由 Yuuki 等人在 IEDM95, Technical Digest 第 115

五、發明說明()

頁之論文，得知一方法，其中 CVD 方法所生 BST 膜之結晶化係在 N_2 內的退火作用中進行。這樣地製成的層物仍有高的電流洩露。

在 C.S. Hwang 等人於 Appl. Phys. Lett. 67(1995)第 2819 頁之論文中，描述經濺鍍之 BST 層在 550°C - 750°C 下於氮及氧氣下的退火。就記憶體單胞之製造而言，該方法亦不合適，因為在此溫度下於氧氣中，阻障體受強烈之氧化導致選擇電晶體之電連接中斷。

因此本發明之課題在於提出一種具有減低之溫度負荷的高介電層或鐵電層之生產方法。該課題由申請專利範圍第 1 項的特徵予以解決。

在本發明中，具至少三步驟之多步驟製程被使用，以阻止阻障體之氧化。在第 1 步驟中，層物於低的基板溫度 ($T_1 < 500^\circ\text{C}$) 被濺鍍。所得之層尚未結晶並具很小之核尺寸。其結果為具有非低的 ϵ 。第 2 步驟為 RTP 步驟(快速熱處理)，其中溫度為中至高溫 ($T_2: 500-900^\circ\text{C}$ ，較佳為 $600-800^\circ\text{C}$)，在無氧之惰氣霧圍中進行。特別合適者係氮氣或 Ar 或 Ar/ N_2 混合氣體。 N_2 霧圍阻止阻障體之氧化，因為層內所有的氧被束縛住。在此步驟之後，此層具有高 ϵ ，但仍有高的電流洩露，它被輸送回層中氧氣空位。在步驟 3 中於低至中溫 ($T_3: 200-600^\circ\text{C}$ ，較佳為 $300-500^\circ\text{C}$) 在含氧霧圍下進行後退火。其中層物被輸送氧氣且電流洩露大幅度地被阻止。 ϵ 僅少量下降。後退火時間可達 1 小

五、發明說明()

時(典型地為 1-15 分)，此製程步驟的溫度不應被選擇太高以便防止阻障體之氧化。

圖式簡單說明：

第 1 圖圖示半導體積體電路之記憶體單胞，在其中可以使用本方法。

第 2 圖係本發明一實施例之溫度-時間圖表。

第 1 圖：說明作為用於本方法應用之例子，圖示一 DRAM 記憶體之單胞，其具有設置在選擇電晶體上的電容器(堆疊單胞)。

該圖顯示一矽基材 1，其具有一配置於其內的 MOS 電晶體，其包含二摻雜區 3，以及一絕緣安裝於基板上的柵極 5。電路之非主動區域是以隔離物 2 覆蓋。隔離層 6 覆蓋電晶體，其中設有一條到達摻雜區 3 之通路 7 以及一條到達摻雜區 4 之位於圖式面外部之通路。通路 7 能由(例如)多晶矽或鎢組成，用它來填滿隔離層 6 內的蝕刻接觸孔。然後以已知之方法塗佈由氮化鎢(或 $WTiN$, TiN , TaN 等)構成之擴散阻障物 9，塗佈厚為 30nm，以致至少通路 7 之全部的裸露表面被覆蓋。接著例如藉由濺塗或 MOCVD-鉑層而將第一電極 8 塗佈，並適當地結構之。阻障物亦得配置於電極 8 之上，或以阻障材料形成電極。此大體上之配置安裝載體 1-9 用於高 ϵ 介電層或鐵電層。在載體或電極 8 上，現在塗佈一 BST 層作為電容器介電 10。對此使用 3 階段的製程，其中在第一步驟中，BST

五、發明說明 ()

在一個最高至 350°C 之基板溫度中被濺鍍，層厚約 10 至 200 nm。基板以及其上方所濺積之 BST 層僅在濺鍍過程中時加溫到溫度 T1 之上。被濺積之 BST 尚未結晶或具有很小之核尺寸。在濺鍍之後，BST 在氮雰圍中以 RTP 方法在第二步驟中進行結晶。此時溫度約 700°C ，時間約 60 秒。阻障體 9 之氧化因氮雰圍而被阻止。緊接著進行決定用於 BST 層功能的第三步驟，即約 3 分鐘。在約 400°C 之空氣、氧氣或 O_2/N_2 混合氣中的後退火，因此將氧氣輸送至 BST 並使漏電大幅度地下降。

此 O_2 分壓對 BST 品質有所影響。以在此所述之多步驟方法能在所述之裝置中製成具有 $\epsilon > 200$ 以及漏電約 10^{-8} A/C m^2 之 BST 層。最後，記憶體單胞可藉由第二電極 11 (例如由鉑構成) 之製造而完成。

第 2 圖顯示在第 1 圖中所描述之製造方法之溫度-時間-圖。

主要元件符號說明：

- | | |
|-----|-----|
| 1 | 矽基板 |
| 2 | 隔離 |
| 3,4 | 摻雜區 |
| 5 | 閘極 |
| 6 | 隔離層 |
| 7 | 通路 |

五、發明說明 ()

- 8 電一電極
- 9 擴散阻障物
- 10 電容器介電
- 11 第二電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

高介電或鐵電層之生產方法

本發明設有一多步驟製程，其中在第 1 步驟中，在低溫度下濺鍍層物，在第 2 步驟中以中或高溫於惰氣氛圍下施行 RTP 方法，在第 3 步驟中，於含氧氛圍中以中或低溫施行退火。相對於習用方法，其溫度負荷明顯降低致使在當應用此方法以製造積體化記憶體單胞時，可以防止位於下面之阻障層的氧化。

英文發明摘要(發明之名稱: METHOD FOR PRODUCING HIGH- ϵ -DIELECTRIC OR FERROELECTRIC LAYER)

This method is furnished with a multi-step-process, wherein in the first step the layer is sputtered in low temperature. In the second step, a RTP-method is carried out in an inert atmosphere in middle or high temperature.

And in the third step, the layer is annealed in an oxygen containing atmosphere in low or middle temperature.

The temperature-load relative to the conventional method is obviously lowered, so that in the application of this method for the production of integrated memory cells, the oxidation of the barrier layer lying below can be prevented.

六、申請專利範圍

第 85113653 號「高介電或鐵電層之生產方法」專利案

(88 年 12 月修正)

六申請專利範圍：

1. 一種在載體 (1-9) 上製造高 ϵ 介電層或鐵電層 (10) 之方法，其具有下列步驟：
 - 1) 在 500°C 以下之低溫度 T_1 中濺鍍層 (10)，
 - 2) 在惰氣霧圍中以 $500-900^{\circ}\text{C}$ 之溫度 T_2 ，實施 RTP 步驟，
 - 3) 在含氧霧圍中以 $200-600^{\circ}\text{C}$ 之溫度 T_3 ，將層 (10) 退火。
2. 如申請專利範圍第 1 項之方法，其中溫度 T_2 為 $600-800^{\circ}\text{C}$ 。
3. 如申請專利範圍第 1 或 2 項之方法，其中溫度 T_3 為 $300-500^{\circ}\text{C}$ 。
4. 如申請專利範圍第 1 或 2 項之方法，其中第 2 步驟係在氮霧圍下進行。
5. 如申請專利範圍第 1 或 2 項之方法，其中在第 3 步驟中的霧圍是由氧或空氣組成，歷時 1-15 分。
6. 如申請專利範圍第 1 或 2 項之方法，其中製造積體化記憶體單胞中之電容器介電。

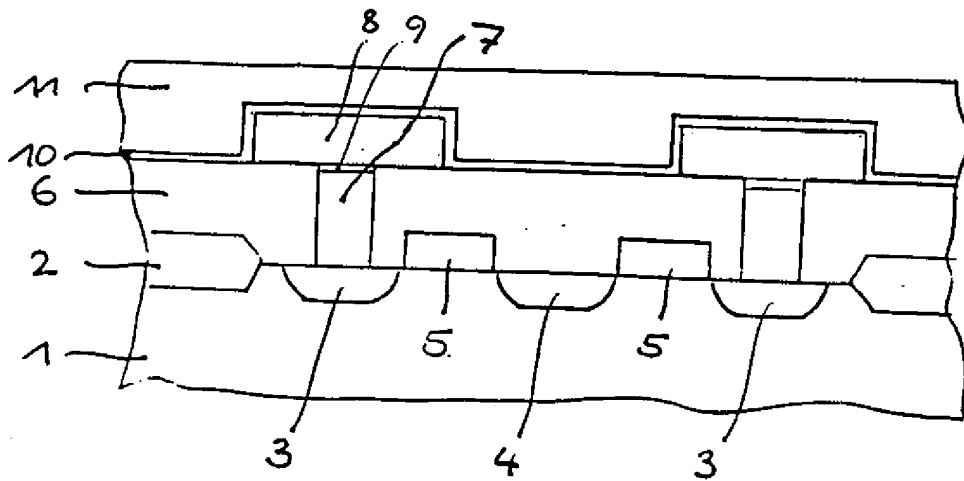
(請先閱讀背面之注意事項再填寫本頁)

裝

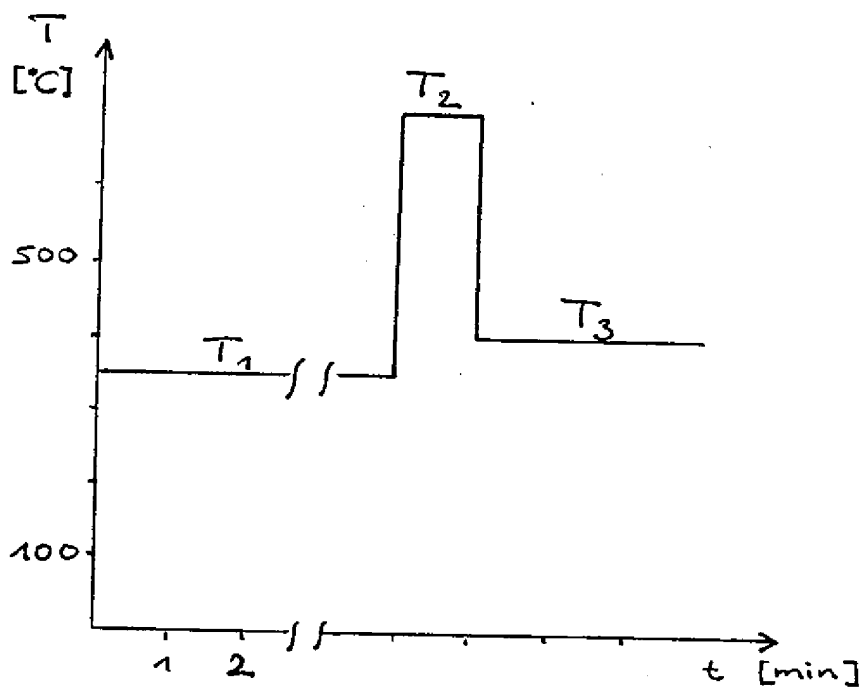
訂

線

442921



第1圖



第2圖

88年2月7日修正/更正/補充

公告本

申請日期	86.10.14
案號	86114129
類別	H01L24/8247

A4
C4

(以上各欄由本局填註)

442921

發明專利說明書 (88年12月修正)

一、發明 名稱	中文	高介電或鐵電層之生產方法
	英文	METHOD FOR PRODUCING HIGH- ϵ -DIELECTRIC OR FERROELECTRIC LAYER
二、發明 創作人	姓名	1. 古瑟斯全德 (Dr. Guenther Schindler) 2. 威特哈特勒 (Walter Hartner) 3. 瑞勒布魯喬 (Dr. Rainer Bruchhaus) 4. 羅勃布林米格 (Robert Primig)
	國籍	1.-3. 皆屬德國 4. 奧地利
	住、居所	1. 德國慕尼黑黑80802安格斯街19號 2. 德國米德林肯89441艾林曼街20號 3. 德國慕尼黑黑80997西門羅克街25號 4. 德國慕尼黑黑81541安特貝屈街37號
三、申請人	姓名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國籍	德國
	住、居所 (事務所)	德國慕尼黑黑D-80333威田巴契廣場2號
	代表 姓名	1. 納特布斯克 (Natebusch) 2. 歐姆克 (Ohmke)

裝
訂
線

經濟部中央標準局製圖室製圖