

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/101197 A1

(43) 国際公開日

2010 年 9 月 10 日(10.09.2010)

PCT

- (51) 国際特許分類:
G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2010/053474
- (22) 国際出願日: 2010 年 2 月 24 日(24.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-048674 2009 年 3 月 2 日(02.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 太陽誘電株式会社 (TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1100005 東京都台東区上野 6 丁目 1 6 番 2 0 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 呉 祥応(WU Xiangying) [CN/JP]; 〒1100005 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

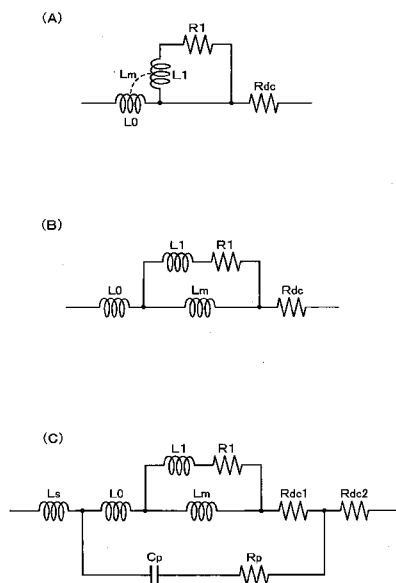
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: CIRCUIT CONSTANT ANALYSIS METHOD AND CIRCUIT SIMULATION METHOD OF EQUIVALENT CIRCUIT MODEL OF MULTILAYER CHIP INDUCTOR

(54) 発明の名称: 積層チップインダクタの等価回路モデルの回路定数解析方法及び回路シミュレーション方法

図 1



(57) Abstract: The occurrence of errors between circuit design using a circuit simulator and the actual circuit performance is quite adequately suppressed. Mutual inductance (L_m) between inductance (L_0) and inductance (L_1) relative to DC is connected in parallel to a series circuit of the inductance (L_1) and resistance (R_1), the series circuit taking the skin effect of an inner conductor into consideration, and the inductance (L_0), and DC resistance (R_{dc1}) of the inner conductor are connected in series to the series circuit to which the mutual inductance (L_m) is connected in parallel. Then, parasitic inductance (L_s) of an external electrode is connected in series to the equivalent inductance (L_0), and DC resistance (R_{dc2}) of the external electrode is connected in series to the DC resistance (R_{dc1}) of the inner conductor. In addition, an equivalent circuit model which is configured by connecting a series circuit, in which parasitic capacitance (C_p), and resistance (R_p) indicating the loss of a dielectric body composing a chip are connected in series, to the inside of the equivalent elements (L_s , R_{dc2}) of the external electrode in parallel is used.

(57) 要約: 回路シミュレータを用いた回路設計と実際の回路性能との誤差の発生を良好に抑制する。内部導体の表皮効果を考慮するインダクタンス L_1 とレジスタンス R_1 の直列回路に、直流に対するインダクタンス L_0 とインダクタンス L_1 との間の相互インダクタンス L_m を並列接続し、これにインダクタンス L_0 と内部導体の直流抵抗 R_{dc1} とを直列に接続する。次に、外部電極の寄生インダクタンス L_s を等価インダクタンス L_0 に直列に接続するとともに、外部電極の直流抵抗 R_{dc2} を内部導体の直流抵抗 R_{dc1} に直列に接続する。また、寄生キャパシタンス C_p と、チップを構成する誘電体の損失を表す抵抗 R_p とを直列に接続した直列回路を、外部電極の等価素子 L_s ,

R_{dc2} の内側に並列に接続して構成された等価回路モデルを用いる。

WO 2010/101197 A1

明細書

積層チップインダクタの等価回路モデルの回路定数解析方法及び回路シミュレーション方法

5 技術分野

本発明は、積層チップインダクタの等価回路モデルの回路定数解析方法及び回路シミュレーション方法に関し、特に高周波用の直方体状の誘電体チップと、該チップに内蔵されるとともに端部がそれぞれ前記チップの表面に引き出された内部導体と、前記内部導体の端部に導電接続するように前記チップの表面に形成された外部電極と、を有する積層チップインダクタを含む回路の特性シミュレーションに好適な積層チップインダクタの等価回路モデルの回路定数解析方法及び回路シミュレーション方法の改良に関する。

背景技術

インダクタを含む回路の特性シミュレーションに関する背景技術としては、例えば、下記特許文献1～4に開示されたものがある。特許文献1には、フェライト材を用いたインダクタンス素子の特性を良好に表すことができる精度の高い等価回路及びその解析手法等が開示されている。特許文献2には、半導体基板上に形成され周波数依存性が少ないインダクタンス素子を表す等価回路及びそのシミュレーション方法が開示されている。引用文献3には、誘電体基板の上面に形成された平面型インダクタンス素子の評価方法が開示されている。引用文献4には、モータコイルを表す等価回路及び回路シミュレータが開示されている。

インダクタの基本的な等価回路を示すと、図6(A)に示すように、インダクタンス L と導体の表皮効果を含む損失を表す抵抗 R とを直列に接続した直列回路に、寄生キャパシタンス C_p を並列接続した回路となる。各素子は、いずれも周波数に依存する。このような等価回路を使用してSPICEなどの回路シミュレータで回路解析を行なうと、各素子の周波数特性の存在に起因して大きな誤差が発生し、設計した回路の実際の性能が設計回路の性能の目標値から大きく外れてしまう。

かかる問題点を改善するものとして、下記非特許文献1記載の回路モデリング手法がある。これは、回路素子のモデリングを行なう際に分数多項式を2次ごとに分解し、直列共振回路の並列接続や並列共振回路の直列接続で合成するようにしたものである。しかし、このような一般分数多項式による回路合成の手法で高い精度を達成するためには、多項式の次数を上げなければならず、回路構成が相当複雑になってしまう。

これに対し、下記非特許文献2には、金属の表皮効果 (skin effect) と電磁の近接効果 (proximity effect) を考慮したラダー回路が開示されている。図6 (B)にはその回路構成が示されており、前記基本等価回路に、周波数に依存する等価インダクタンス L と導体の抵抗 R の周波数特性を捉えるため、直流に対するインダクタンス L_0 と導体の直流抵抗 R_{dc} を直列接続した回路において、金属表皮効果を考慮するインダクタンス L_1 とレジスタンス R_1 の直列接続回路を導体の直流抵抗 R_{dc} に並列に接続している。また、電磁近接効果を考慮するため、前記インダクタンス L_0 、 L_1 間に相互インダクタンス L_m を加えている。各回路素子は、いずれも周波数に依存しない。

しかしながら、以上のような背景技術の等価回路を使用して得た特性は、実際の積層チップインダクタの特性を必ずしも良好に反映しておらず、回路シミュレータによる回路設計等を行なう際において、所望の周波数帯域における精度の良い特性予測が難しい。特に、高周波側で各寄生成分の作用が大きくなり、積層チップインダクタンス特性が複雑化し、必ずしも良好に表現することができない。

特許文献1：特開平11-312187号公報

特許文献2：特開2004-235279号公報公報

特許文献3：特開2000-28662号公報

特許文献4：特開2007-122574号公報

非特許文献1：河野通孝，加藤利次，井上馨「最小自乗法による集中定数等価回路のパラメータ抽出法」，The SCIENCE and ENGINEERING REVIEW of DOSHISHA UNIVERSITY, Vol. 45, No. 2 pp. 1-14, July 2004

非特許文献2：Yu Cao; Groves, R. A.; Xuejue Huang; Zamdmer, N. D.; Plouchart, J.-O.; Wachnik, R. A.; Tsu-Jae King; Chenming Hu, "Frequency-independent equivalent-circuit model for on-chip spiral inductors", IEEE Journal of Solid-State Circuits, Volume 38, Issue 3, Mar 2003 Page(s): 419 - 426

発明の開示

発明が解決しようとする課題

本発明は以上の点に着目したもので、回路シミュレータを用いた回路設計における目標性能と実際の回路性能との周波数変動に伴う誤差の発生を良好に抑制することができる積層チップインダクタの等価回路モデルの回路定数解析方法及び回路シミュレーション方法を提供することを、その目的とする。

課題を解決するための手段

前記目的を達成するため、本発明の積層チップインダクタの等価回路モデルの回路定数解析方法は、直方体状の誘電体チップと、該チップに内蔵されるとともに端部がそれぞれ前記チップの表面に引き出された内部導体と、前記内部導体の端部に導電接続するように前記チップの表面に形成された外部電極と、を有する積層チップインダクタの等価回路モデルの回路定数解析方法であって、内部導体の表皮効果を考慮するためのインダクタンス L_1 とレジスタンス R_1 とが直列接続された第1の直列回路に、電磁近接効果を考慮するための、直流に対するインダクタンス L_0 と前記インダクタンス L_1 との間の相互インダクタンス L_m を並列に接続して第1の並列回路を構成し、該第1の並列回路の一端に、前記インダクタンス L_0 を直列接続するとともに、前記第1の並列回路の他端に、前記内部導体の直流抵抗 R_{dc1} を直列接続して、第2の直列回路を構成し、寄生キャパシタンス C_p と前記チップを構成する誘電体の損失を示す抵抗 R_p とが直列接続された第3の直列回路を、前記第2の直列回路に並列接続して、第2の並列回路を構成し、該第2の並列回路の一端に、外部電極の寄生インダクタンス L_s を直列接続するとともに、前記第2の並列回路の他端に、外部電極の直流抵抗 R_{dc2} を直列接続して構成した、積層チップインダクタの等価回路モデルのインピーダンスの値と、前記積層チップインダクタのインピーダンスの実測値と、の相対誤差のティピカル値が小さくなるように、前記等価回路モデルに含まれている回路定数の数値を決定することを特徴とする。

主要な形態の一つは、内部導体の厚みを考慮するためのインダクタンス L_2 とレジスタンス R_2 とが直列に接続された第4の直列回路を、前記等価回路モデルの前記第1の並列回路に、更に並列に接続したことを特徴とする。

また、他の形態の一つは、前記相対誤差のティピカル値が10%以下となるように等価回路の回路定数の数値を決定することを特徴とする。

本発明の回路シミュレーション方法は、積層チップインダクタを含む回路の特性シミュレーションを行う回路シミュレーション方法において、前記回路定数解析方法によって回路定数が決定された積層チップインダクタの等価回路モデルを利用して、当該積層チップインダクタを含む回路の特性のシミュレーションを行なうことを特徴とする。

発明の効果

本発明によれば、積層チップインダクタにおける誘電体損失、外部電極のインダクタンス及びレジスタンス、内部導体の表皮効果と電磁近接効果、内部導体の厚みを考慮した等価回路モデルに基づいて等価回路定数を抽出することで、回路シミュ

レータを用いた回路設計と回路の実際の性能との誤差の発生が良好に抑制されるようになる。本発明の前記及び他の目的、特徴、利点は、以下の詳細な説明及び添付図面から明らかにする。

5 図面の簡単な説明

図1は本発明の実施例1の等価回路を示す回路図である。

図2は本発明の実施例2の等価回路を示す回路図である。

図3は前記等価回路における回路定数を具体的に求めるための手法の一例を示すフローチャートである。

10 図4は前記実施例の等価回路に基づく特性を背景技術及び実測値と比較して示すグラフである。

図5は本発明が適用されるシミュレーション装置の一例を示すブロック図である。

図6は従来の等価回路の一例を示す回路図である。

15

発明を実施するための形態

以下、本発明を実施するための最良の形態を、実施例に基づいて詳細に説明する。

実施例1

20 最初に、本発明の理解を容易にするため、図1を参照しながら、上述したラダー回路から本願発明の等価回路に至る経過を説明する。図6(B)に示したCao氏らのラダー回路は、直流抵抗が、本来定義された導体の直流抵抗 R_{dc} ではなく、 R_{dc} と R_1 との並列回路となってしまう。そこで、本発明では、図1(A)に示すように、導体の表皮効果を考慮するインダクタンス L_1 とレジスタンス R_1 の直列回路を直流に対してショートしてから、直流に対するインダクタンス L_0 と導体の直流抵抗 R_{dc} に直列接続する。

25 次に、この図1(A)の改良したラダー回路に含まれているインダクタンス L_0 、 L_1 間の相互インダクタンス L_m をデカップリング形式で表すと、同図(B)に示すようになる。すなわち、 $R_1 \cdot L_1$ の直列回路に相互インダクタンス L_m が並列接続されており、この並列回路に、直流に対するインダクタンス L_0 と導体の直流抵抗 R_{dc} とを直列に接続した構成となる。

30 次に、誘電体損失と、外部電極のインダクタンス及びレジスタンスを同時に考慮し、図1(C)に示す本実施例の等価回路を得る。すなわち、外部電極のインダクタンス L_s を前記インダクタンス L_0 に直列に接続するとともに、外部電極の直流抵抗 R_{dc2} を内部導体の直流抵抗 R_{dc1} に直列に接続する。また、積層チップイン

35

ダクタのチップを構成する誘電体の寄生キャパシタンス C_p と、誘電体の損失を表す抵抗 R_p とを直列に接続した直列回路を、外部電極の等価素子 L_s , R_{dc2} の内側に並列に接続する。

次に、以上のような本実施例における積層チップインダクタの等価回路（SPICEモデル）を使用してシミュレーションを行なう場合について説明する。シミュレータとして、例えばSPICEシミュレータを使用する場合、前記図1(C)の等価回路のSPICEファイルは、例えば下記の通りになる。

```
.subckt HK1 1 2
```

```
  Ls  1 3 Lval1
```

```
  L0  3 4 Lval2
```

```
  Lm  4 5 Lval3
```

```
  L1  4 7 Lval4
```

```
  R1  7 5 Rval1
```

```
  Cp  3 8 Cval1
```

```
  Rp  8 6 Rval2
```

```
  Rdc1 5 6 Rval3
```

```
  Rdc2 6 2 Rval4
```

```
.ends
```

なお、必要に応じて、部品名や著作権表示がコメントとして付加される。また、上記ファイル中、 L_{val1} , L_{val2} , ...には、具体的な回路定数の数値が記述される。例えば、 L_s の値が 0.58 nH のときは、

```
  Ls  1 3 0.58n
```

と記述されるという具合である。具体例は後述する。

次に、Fortranで記述したSPICEモデルのプログラムファイルは、下記の通りになる。上述したSPICEファイルは、そのままSPICEシミュレータに読み込むことができるが、以下のプログラムファイルは、コンパイルする必要がある。この場合も、必要に応じて、部品名や著作権表示がコメントとして付加される。

```
Complex Function ZHK1 (Ls, L0, Lm, L1, R1, Cp, Rp, Rdc1, Rdc2, Freq)
```

```
Complex AIM, ZLs, ZL0, ZLm, ZL1, ZCp, Z1, Z2, Z3
```

```
data PI/3.1415926/, AIM/(0.0, 1.0)
```

```
ZLs=AIM*2.0*PI*Freq*Ls
```

```
ZL0=AIM*2.0*PI*Freq*L0
```

```
ZLm=AIM*2.0*PI*Freq*Lm
```

```
ZL1=AIM*2.0*PI*Freq*L1
```

```
ZCp=1. / (AIM*2.0*PI*Freq*Cp)
```

$$Z1=R1+ZL1$$

$$Z2=ZL0+1. / (1. / ZLm+1. / Z1) + Rdc1$$

$$Z3=1. / (1. / Z2+1. / (ZCp+Rp))$$

$$ZHK1=ZLs+Z3+Rdc2$$

5 Return

End

実施例 2

次に、図 2 を参照しながら、本発明の実施例 2 について説明する。前記図 1 (B)
 10 に示したデカップリング形式のラダー回路において、積層チップインダクタにおいて内部導体を構成する金属層の厚みを考慮すると、図 2 (A) に示すような等価回路となる。すなわち、金属層の側面の表皮効果をインダクタンス L_2 とレジスタンス R_2 の直列回路で表し、これを、金属層の上下両主面の表皮効果を考慮したインダクタンス L_1 とレジスタンス R_1 の直列回路及びデカップリング形式で表現したイン
 15 ダクタンス L_m と、それぞれ並列に接続する。

次に、前記実施例と同様にして、誘電体損失と、外部電極の寄生インダクタンス及びレジスタンスを同時に考慮し、図 2 (B) に示す本実施例の等価回路を得る。すな
 わち、外部電極の寄生インダクタンス L_s を前記インダクタンス L_0 に直列に接続するとともに、外部電極の直流抵抗 R_{dc2} を内部導体の直流抵抗 R_{dc1} に直列
 20 に接続する。また、チップを構成する誘電体の寄生キャパシタンス C_p と、誘電体材料の損失を表す抵抗 R_p とを直列に接続した直列回路を、外部電極の等価素子 L_s , R_{dc2} の内側に並列に接続する。

以上のような図 2 (B) に示す等価回路の SPICE ファイルは、例えば下記の通りになる。

25 .subckt HK2 1 2
 Ls 1 3 Lval1
 L0 3 4 Lval2
 Lm 4 5 Lval3
 L1 4 7 Lval4
 30 R1 7 5 Rval1
 L2 4 8 Lval5
 R2 8 5 Rval2
 Cp 3 9 Cval1
 Rp 9 6 Rval3
 35 Rdc1 5 6 Rval4

Rdc2 6 2 Rval5

.ends

また、Fortran による前記 S P I C E モデルのプログラムファイルは、下記の通りになる。

```

5      Complex Function ZHK2(Ls, L0, Lm, L1, R1, L2, R2,
1          Cp, Rp, Rdc1, Rdc2, Freq)
      Complex AIM, ZLs, ZL0, ZLm, ZL1, ZL2, ZCp, Z1, Z2, Z3
      data PI/3.1415926/, AIM/(0.0, 1.0)
      ZLs=AIM*2.0*PI*Freq*Ls
10     ZL0=AIM*2.0*PI*Freq*L0
      ZLm=AIM*2.0*PI*Freq*Lm
      ZL1=AIM*2.0*PI*Freq*L1
      ZL2=AIM*2.0*PI*Freq*L2
      ZCp=1./(AIM*2.0*PI*Freq*Cp)
15     Z1=1./(1./ZLm+1./(R1+ZL1)+1./(R2LZL2))
      Z2=ZL0+Z1+Rdc1
      Z3=1./(1./Z2+1./(ZCp+Rp))
      ZHK2=ZLs+Z3+Rdc2
      Return
20     End

```

<具体例>

次に、図3～図4を参照しながら、前記実施例の具体的な数値例及びシミュレーション例を説明する。上述した実施例の等価回路モデルを利用してシミュレーションを行なうためには、各等価回路に含まれている回路定数を具体的に決定する必要がある。例えば、ABC社製の型番「〇〇〇」の積層チップインダクタを使用するときは、当該部品における前記回路定数の値を具体的に決定しなければならない。そのための手法としては、ニュートン法など、各種の手法が知られているが、以下、一例として、グローバル最適化アルゴリズムによる方法を説明する。まず、

$$Z_{\text{test}}(f_n) = ESR_{\text{test}}(f_n) + j X_{\text{test}}(f_n)$$

30 を、対象となる特定の部品の周波数 f_n におけるインピーダンスの実測値とする。また、

$$Z_{\text{circuit}}(V, f_n) = ESR_{\text{circuit}}(V, f_n) + j X_{\text{circuit}}(V, f_n)$$

を、当該部品の S P I C E モデルの周波数 f_n における回路インピーダンスとする。なお、これらの式中の $V = \{V_1, V_2, \dots, V_m\}$, $V_i (i=1, 2, \dots, m)$ は、S P I C E モデルの回路素子である。

35

回路定数を抽出する最適化数学モデルは、次の数1式、あるいは数2式で示される。これらの数式で表される目標関数は、該当する素子のインピーダンスの実測値と、SPICEモデルにおけるインピーダンス値との相対誤差を定義し、その相対誤差を最小化して表したものである。数1式は、全帯域の誤差の合計を表したものである。数2式は、周波数ごとのインピーダンスの実数部と虚数部の誤差の最大値を表したものである。

[数1]

$$\text{Min} \left\{ \frac{\sum_{f_n} |Z_{\text{circuit}}(V_1, V_2, \dots, V_m, f_n) - Z_{\text{test}}(f_n)|}{\sum_{f_n} |Z_{\text{test}}(f_n)|} \right\}$$

[数2]

$$\text{Min} \left\{ \text{Max}_{f_n} \left\{ \frac{|ESR_{\text{circuit}}(V_1, V_2, \dots, V_m, f_n) - ESR_{\text{test}}(f_n)|}{|ESR_{\text{test}}(f_n)|}, \frac{|X_{\text{circuit}}(V_1, V_2, \dots, V_m, f_n) - X_{\text{test}}(f_n)|}{|X_{\text{test}}(f_n)|} \right\} \right\}$$

図3には、前記グローバル最適化アルゴリズムによる手順がフローチャートとして示されている。同図に示すように、まず、回路素子の最初の領域 $[V_A, V_B]$ を決める(ステップSA)。求める最適解がなるべく含まれるように最初の領域 $[V_A, V_B]$ を出来るだけ大きくする。そうすると、グローバル最適化アルゴリズムにより一回で最適解が求められる。シミュレーション時間は大幅短縮できる。

次に、グローバル最適化アルゴリズムにより最適解 V_0 を求める(ステップSB)。そして、前記数1式及び数2式を利用して、回路インピーダンスの誤差を求め、最適解 V_0 が適切かどうか判断する(ステップSC)。その結果、もしSPICEモデルの回路インピーダンスと部品の実測値との誤差が大き過ぎて、前記最適解 V_0 が適切でないと判明したら(ステップSCのN)、最適解 V_0 によって新しい領域 $[V_A, V_B]$ を再構成し(ステップSD)、グローバル最適化アルゴリズムによって最適解 V_0 をもう一度求める(ステップSB)。

SPICEモデルによる回路インピーダンスと部品の実測値との誤差は、SPICEモデルの精度を表す。この回路インピーダンス対実測値の相対誤差は、次の数3式及び数4式で示される。これらのうち、数3式はESRの相対誤差、数4式はリアクタンスの相対誤差を表す。

[数3]

$$\delta ESR(f_n) = \left\{ \frac{|ESR_{\text{circuit}}(V_1, V_2, \dots, V_m, f_n) - ESR_{\text{test}}(f_n)|}{|ESR_{\text{test}}(f_n)|} \right\} (\%)$$

[数 4]

$$\delta X(f_n) = \left\{ \frac{|X\_circuit(V_1, V_2, \dots, V_m, f_n) - X\_test(f_n)|}{|X\_test(f_n)|} \right\} (\%)$$

以上の処理を繰り返し行ない、回路インピーダンス対実測値の相対誤差のティピカル値が例えば 10% 以下となったら、高精度の SPICE モデルが得られたと判断し（ステップ SC の Y）、その結果を保存して終了する（ステップ SE）。

なお、相対誤差のティピカル値を 10% 以下にする理由は二つある。第 1 に、測定器の確度により、測定誤差を生じ、実測値の生データにノイズが含まれており、積層チップインダクタに対して実測値の生データに入っているノイズのティピカル値は、10% 程度である。第 2 に、電子部品毎の特性ばらつきがあり、積層チップインダクタの公差は一般的に J 交差（±5%）と定められているので、10% より大きいと回路精度が低下してしまう。このため、上記相対誤差のティピカル値は 10% 以下となるようにすることが好ましい。

次に、以上のような手法で実施例の等価回路の回路定数を求め、これを SPICE シミュレータに入力してシミュレーションを行い、本発明の等価回路モデルを検証した。

次に、以上のようにして求めた数値例について具体的に説明する。

（1）本件出願人製の高周波用積層チップインダクタ「HK1005R10(100nH)」の場合（実施例 1 と実施例 2 の等価回路の適用範囲は DC もしくは周波数 1.942 GHz 以下）

a、図 6 (A) に示した基本等価回路を SPICE モデルとして、各素子の回路定数の数値を上記方法で求めたところ、以下のようになった。

L0=100nH,

Rdc=0.894362Ω,

Cp=0.268236pF,

b、次に、図 1 (C) に示した実施例 1 の等価回路における各素子の回路定数の数値を求めたところ、以下のようになった。

L0=55.712532nH,

Lm=48.885025nH,

L1=84.4907913nH,

R1=112.035797Ω,

Cp=0.295752853pF,

Rp=3.24151635Ω,

Ls=0.538956523nH,

Rdc1=0.796844184Ω,

Rdc2=0.0975177884Ω。

c, 次に、図1(C)に示した実施例2の等価回路における各素子の回路定数の数値を求めたところ、以下のようになった。

L0=66.2275314nH,

5 Lm=45.4679871nH,

L1=77.8189621nH,

L2=108.25425nH,

R1=39.0474358Ω,

R2=457.259155Ω,

10 Cp=0.285327792pF,

Rp=2.12735748Ω,

Ls=1.25335538nH,

Rdc1=0.663021684Ω,

Rdc2=0.231340289Ω。

15 これらに対応するSPICEファイルは、下記の通りとなる。コメント行は省略している。

a, 実施例1の場合

.subckt HK1005R10_1 1 2

Ls 1 3 0.538956523n

20 L0 3 4 55.712532n

Lm 4 5 48.885025n

L1 4 7 84.4907913n

R1 7 5 112.035797

Cp 3 8 0.295752853p

25 Rp 8 6 3.24151635

Rdc1 5 6 0.796844184

Rdc2 6 2 0.0975177884

.ends

b, 実施例2の場合

30 .subckt HK1005R10_2 1 2

Ls 1 3 1.25335538n

L0 3 4 66.2275314n

Lm 4 5 45.4679871n

L1 4 7 77.8189621n

35 R1 7 5 39.0474358

```

L2    4 8 108.25425n
R2    8 5 457.259155
Cp    3 9 0.285327792p
Rp    9 6 2.12735748
5     Rdc1 5 6 0.663021684
      Rdc2 6 2 0.231340289

```

```
.ends
```

プログラミングしたSPICEモデルを呼び出すためのプログラムは、次の通りとなる。コメント行は省略している。

10 a, 実施例1の場合

```

Complex Function Z_R10_1(Freq)
COMPLEX ZHK1
Ls=0.538956523e-9
L0=55.712532e-9
15  Lm=48.885025e-9
    L1=84.4907913e-9
    R1=112.035797
    Cp=0.295752853e-12
    Rp=3.24151635
20  Rdc1=0.796844184
    Rdc2=0.0975177884
    Z_R10_1= ZHK1(Ls, L0, Lm, L1, R1, Cp, Rp, Rdc1, Rdc2, Freq)
    Return
    End

```

25 b, 実施例2の場合

```

Complex Function Z_R10_2(Freq)
COMPLEX ZHK2
Ls=1.25335538e-9
L0=66.2275314e-9
30  Lm=45.4679871e-9
    L1=77.8189621e-9
    R1=39.0474358
    L2=108.25425e-9
    R2=457.259155
35  Cp=0.285327792e-12

```

Rp=2. 12735748

Rdc1=0. 663021684

Rdc2=0. 231340289

Z_R10_2= ZHK2 (Ls, L0, Lm, L1, R1, L2, R2,

1 Cp, Rp, Rdc1, Rdc2, Freq)

Return

End

次に、以上のようにして得た実施例1及び実施例2の等価回路の回路定数を用いたSPICEシミュレータによる計算結果と、図6(A)に示した基本回路のSPICEシミュレータによる計算結果と、インピーダンスの実測値とを比較する。

図4(A)は、ESR(抵抗分)の周波数変化を示すグラフである。同図に示すように、実施例1及び実施例2は、実測値に極めて近似しているのに対し、基本回路のグラフは大きく離れている。また、実施例1及び実施例2を比較すると、実施例2は極めて高い精度を持っていることが分かる。図4(B)のX(リアクタンス)の周波数変化についても、同様の結果が得られている。図4(C)は、実施例1, 2及び基本回路の実測値に対するESR及びXの相対誤差を示したものである。これらのグラフから、実施例1及び実施例2の等価回路は、基本回路と比較して、非常に誤差が少ないことが分かる。他の積層チップインダクタについても、同様の比較を行なったが、全製品のSPICEモデルにおいて、実測値と極めて一致したシミュレーション結果が得られており、実施例2は実施例1よりも精度が更に向上することが確認された。

[実施例3]

次に、図5を参照しながら、シミュレーション装置の実施例について説明する。本実施例のシミュレーション装置100は、一般的なコンピュータシステムによって構成されており、CPUを中心に構成された演算処理部110に、キーボードなどの入力部122、液晶ディスプレイなどの出力部124、プログラムメモリ130、データメモリ140が接続された構成となっている。プログラムメモリ130には、シミュレーションプログラム、例えばSPICEシミュレータ132が格納されている。データメモリ140には、上述した積層チップインダクタのSPICEファイルのみならず、その他のキャパシタやレジスタなどの各種の電子部品のSPICEファイル142が格納されている。

演算処理部110は、入力部122からの入力指示に基づいて、データメモリ140からシミュレーション対象の回路に含まれる素子のSPICEファイルを読み出し、SPICEシミュレータ132に組み込んで、回路特性などのシミュレーシ

ョンの演算処理が行われる。このとき、積層チップインダクタについて上述した実施例1あるいは実施例2の等価回路のSPICEファイルを使用することで、非常に精度の高いシミュレーション結果を得ることができる。

以上のように、本発明の実施例によれば、次のような効果が得られる。

5 (1) 電子部品メーカーやその代理商社は、上述した積層チップインダクタのSPICEモデルを顧客に提供し、もしくは会社のホームページに公開し、自社製品を採用する顧客に対して回路設計上の便宜を図ることができる。

10 (2) 電子部品メーカーやその代理商社は、前記積層チップインダクタ部品のSPICEモデルをSPICEファイルもしくはプログラミングし、市販のSPICEシミュレータに搭載して、もしくは、顧客がダウンロードできるように会社のホームページに公開することで、自社製品の販路の拡大を図ることができる。

15 (3) 電子機器メーカーや電子回路の設計会社は、前記公開されたSPICEモデルを使用することで、電子製品を精度よく設計でき、設計時間が大幅に短縮できる。また、積層チップインダクタ部品の採用の検証、機器故障の解析なども行うことができる。

なお、本発明は、上述した実施例に限定されるものではなく、本発明の要旨に逸脱しない範囲内において種々変更を加え得ることができる。例えば、以下のものも含まれる。

20 (1) 前記実施例で示した等価回路定数の数値は一例であり、部品によって異なる数値となる。

(2) 前記実施例は、SPICEシミュレータに対して本発明を適用した例であるが、他の各種のシミュレータに適用することを妨げるものではない。

25 (3) 更に、抵抗値が極めて小さい抵抗素子とインダクタンス値が極めて小さいインダクタンス素子はショート回路に変更することができる。また、抵抗値が極めて大きい抵抗素子とインダクタンス値が極めて大きいインダクタンス素子はオープン回路に変更することができる。

産業上の利用可能性

30 本発明によれば、積層チップインダクタの特性が精度よく表されるため、積層チップインダクタを含む各種の回路シミュレーションに好適である。

符号の説明

100 シミュレーション装置
110 演算処理部
35 122 入力部

- 1 2 4 出力部
- 1 3 0 プログラムメモリ
- 1 3 2 シミュレーションプログラム
- 1 4 0 データメモリ
- 5 1 4 2 S P I C E ファイル

請求の範囲

1. 直方体状の誘電体チップと、該チップに内蔵されるとともに端部がそれぞれ前記チップの表面に引き出された内部導体と、前記内部導体の端部に導電接続するように前記チップの表面に形成された外部電極と、を有する積層チップインダクタの等価回路モデルの回路定数解析方法であって、
5 前記内部導体の表皮効果を考慮するためのインダクタンス L_1 とレジスタンス R_1 とが直列接続された第1の直列回路に、電磁近接効果を考慮するための、直流に対するインダクタンス L_0 と前記インダクタンス L_1 との間の相互イン
10 ダクタンス L_m を並列に接続して第1の並列回路を構成し、該第1の並列回路の一端に、前記インダクタンス L_0 を直列接続するとともに、前記第1の並列回路の他端に、前記内部導体の直流抵抗 R_{dc1} を直列接続して、第2の直列回路を構成し、寄生キャパシタンス C_p と前記チップを構成する誘電体の損失を示す抵抗 R_p とが直列接続された第3の直列回路を、前記第2の直列回路に並
15 列接続して、第2の並列回路を構成し、該第2の並列回路の一端に、外部電極の寄生インダクタンス L_s を直列接続するとともに、前記第2の並列回路の他端に、外部電極の直流抵抗 R_{dc2} を直列接続して構成した、積層チップインダクタの等価回路モデルのインピーダンスの値と、前記積層チップインダクタのインピーダンスの実測値と、の相対誤差のティピカル値が小さくなるように、
20 前記等価回路モデルに含まれている回路定数の数値を決定することを特徴とする積層チップインダクタの等価回路モデルの回路定数解析方法。
2. 内部導体の厚みを考慮するためのインダクタンス L_2 とレジスタンス R_2 とが直列に接続された第4の直列回路を、前記等価回路モデルの前記第1の並列回路に、更に並列に接続したことを特徴とする請求項1記載の積層チップインダ
25 クタの等価回路モデルの回路定数解析方法。
3. 前記相対誤差のティピカル値が10%以下となるように等価回路の回路定数の数値を決定することを特徴とする請求項1または2のいずれかに記載の積層体チップインダクタの等価回路モデルの回路定数解析方法。
4. 積層チップインダクタを含む回路の特性シミュレーションを行なう回路シミュ
30 レーション方法において、
請求項3に記載の回路定数解析方法によって回路定数が決定された積層チップインダクタの等価回路モデルを利用して、当該積層チップインダクタを含む回路の特性のシミュレーションを行なうことを特徴とする回路シミュレーション方法。

図 1

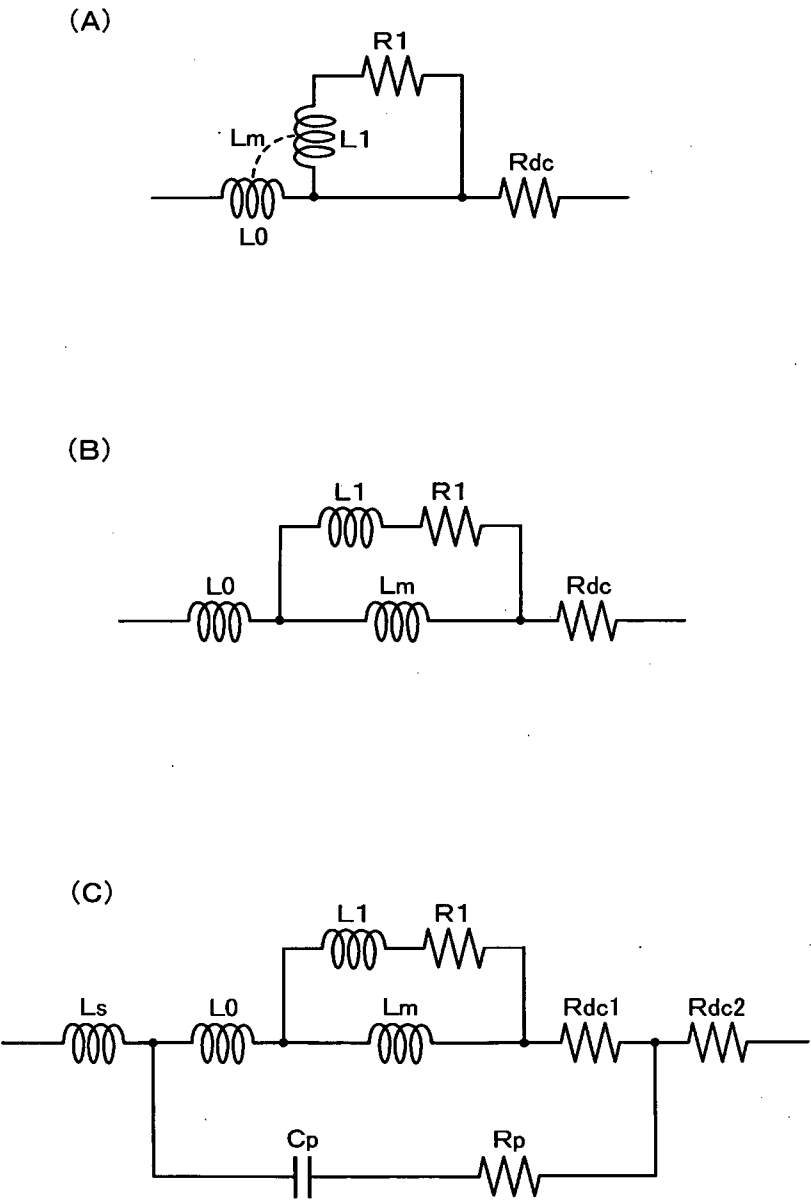
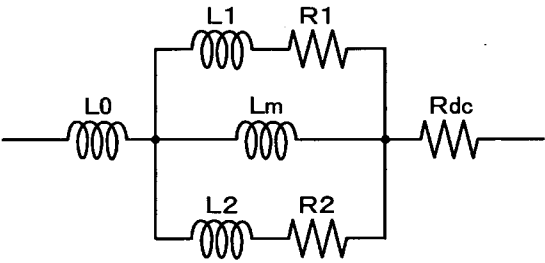


図 2

(A)



(B)

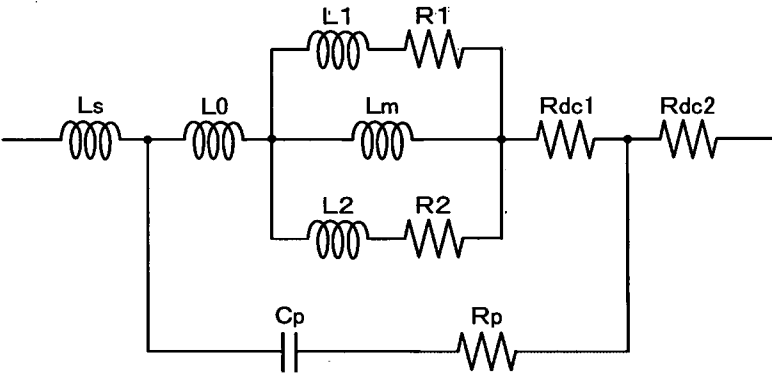


図 3

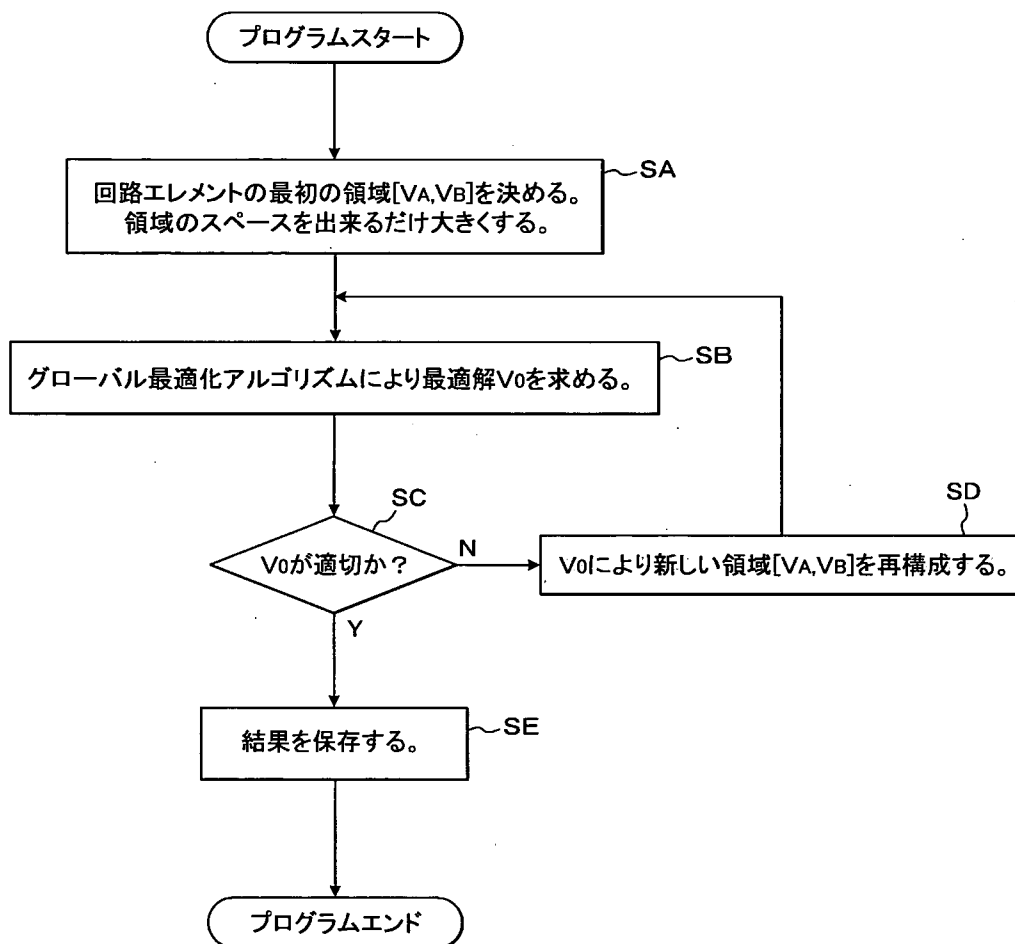


図 4

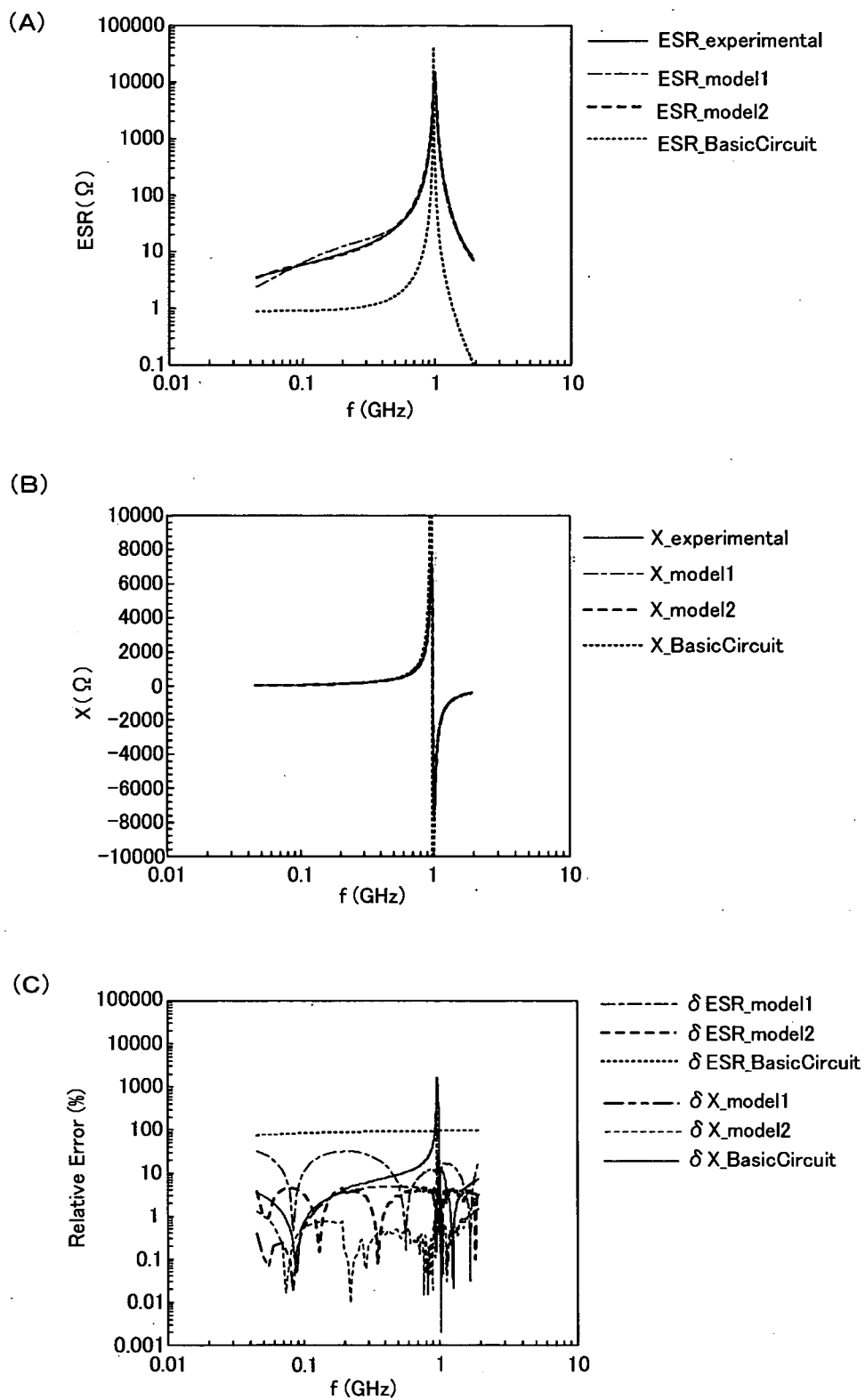


図 5

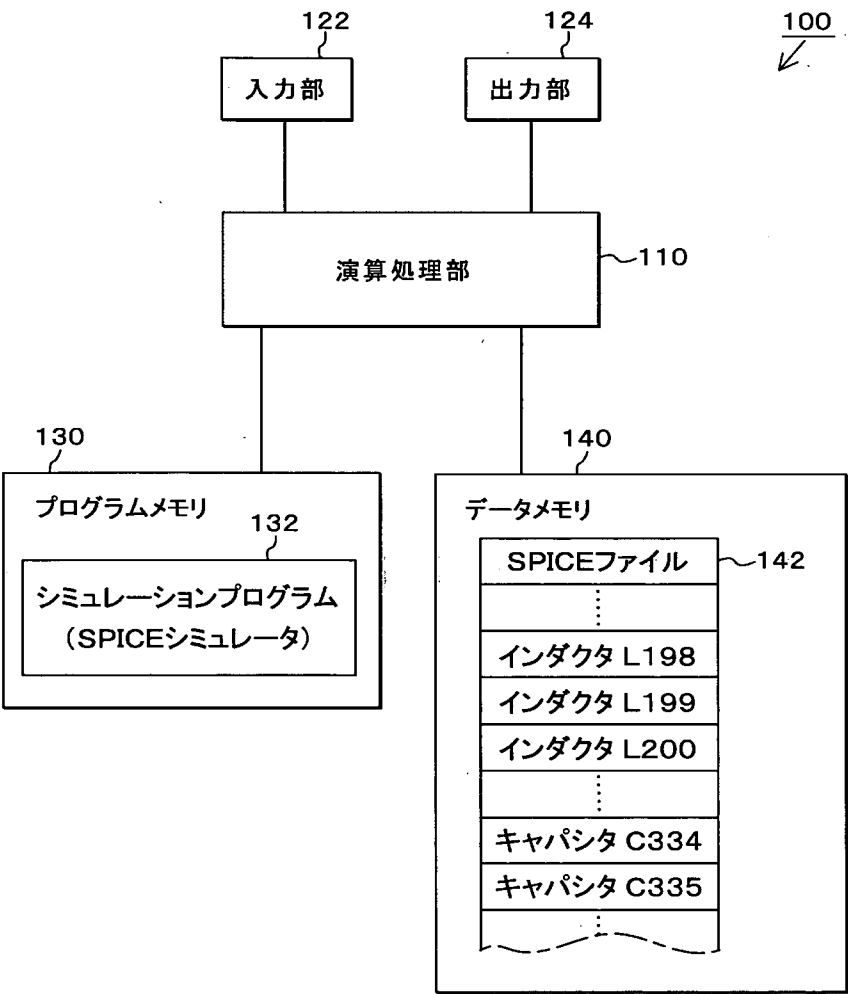
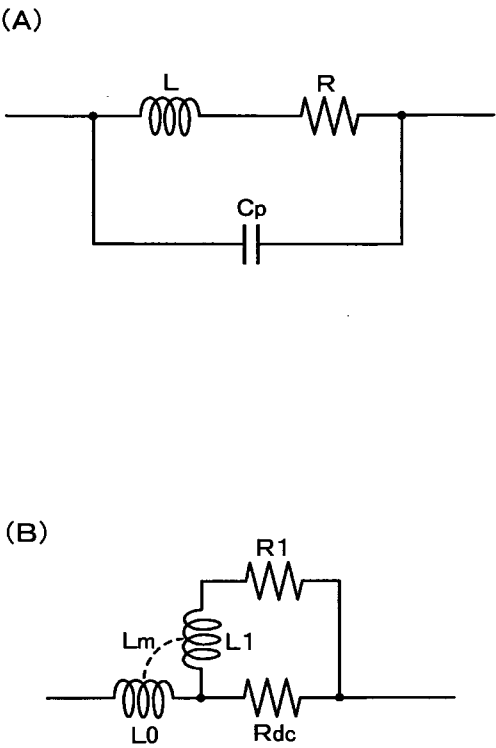


図 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/053474

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii, JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-312187 A (Taiyo Yuden Co., Ltd.), 09 November 1999 (09.11.1999), paragraphs [0028], [0080]; fig. 1, 7 & US 6321169 B1	1-4
A	JP 2004-235279 A (NEC Electronics Corp.), 19 August 2004 (19.08.2004), paragraphs [0035] to [0039]; fig. 1 (Family: none)	1-4
A	JP 2000-028662 A (NEC Corp.), 28 January 2000 (28.01.2000), paragraphs [0036] to [0044]; fig. 1 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

06 April, 2010 (06.04.10)

Date of mailing of the international search report

20 April, 2010 (20.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/053474

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Michitaka KONO et al., "Parameter Extraction Methods for a Lumped Circuit Model," The Science and engineering review of Doshisha University, 2004.07, vol. 45, no. 2, pages 1 to 14, [online], Doshisha University, [Retrieval date 05 April 2010 (05.04.2010)], Internet <URL: http://kairo.doshisha.ac.jp/~kato/documents/research/parameter.pdf >	1-4
A	Yu Cao, et al, Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors, IEEE Journal of Solid-State Circuits, 2003.03, Volume. 38, Issue. 3, p. 419-426	1-4
A	JP 2004-071642 A (Matsushita Electric Industrial Co., Ltd.), 04 March 2004 (04.03.2004), paragraphs [0033] to [0039], [0043] to [0045]; fig. 3, 5 (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore, CiNii, JSTPlus (JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-312187 A (太陽誘電株式会社) 1999.11.09, 段落【0028】、【0080】、第1, 7 図 & US 6321169 B1	1-4
A	JP 2004-235279 A (NECエレクトロニクス株式会社) 2004.08.19, 段落【0035】 - 【0039】、第1 図 (ファミリーなし)	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 0 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

平野 崇

5 H

3 6 5 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-028662 A (日本電気株式会社) 2000.01.28, 段落【0036】 - 【0044】, 第1図 (ファミリーなし)	1-4
A	河野通孝, 外2名, 最小自乗法による集中定数等価回路のパラメータ抽出法, 同志社大学理工学研究報告, 2004.07, Vol. 45, No. 2, p. 1-14, [online], 同志社大学, [検索日 2010.04.05], インターネット <URL: http://kairo.doshisha.ac.jp/~kato/documents/research/parameter.pdf >	1-4
A	Yu Cao, et al, Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors, IEEE Journal of Solid-State Circuits, 2003.03, Volume. 38, Issue. 3, p. 419-426	1-4
A	JP 2004-071642 A (松下電器産業株式会社) 2004.03.04, 段落【0033】 - 【0039】, 【0043】 - 【0045】, 第3, 5図 (ファミリーなし)	1-4