(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G02F 1/1343
G02F 1/136

(45) 공고일자 2005년11월03일
(11) 등록번호 10-0500738
(24) 등록일자 2005년07월04일

(21) 출원번호 10-1997-0017428
(22) 출원일자 1997년05월07일

(65) 공개번호 10-1997-0076017
(43) 공개일자 1997년12월10일

(30) 우선권주장 96-139461 1996년05월08일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 다케이 미치코
일본 가나가와켄 아쓰기시 아사히조 4-1-5

오리 다츠야
일본 도쿄도 마치다시 모리노 2-1-8

장 홍용
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

나가사와 사토미
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 박진우

# (54) 액정전기광학장치

요약

복수의 평행 차광 스트라이프들은 전체 TFT 기판 위에 형성되며, 서로 격리된 차광 패턴들(light-interrupting patterns)은 차광 스트라이프들로부터 분리 형성된다. 게이트 버스 패턴들을 따르는 차광은 차광 스트라이프들에 의해 실행되며, 반면 데이터 버스 패턴을 따르는 차광은 게이트 버스 패턴들로부터 연장된 분기들(branches)에 의해 실행된다. 각 분기의 팁(tip)과 폴리실리콘 드레인 사이의 차광은 격리된 차광 패턴에 의해 실행된다.

대표도

도 1

색인어

차광 스트라이프, 전체 TFT 기판, 차광 패턴, 게이트 버스 패턴, 데이터 버스 패턴, 분기

명세서

도면의 간단한 설명

도 1 은 본 발명의 원리를 도시한 평면도.

도 2 는 본 발명의 제 1 실시예에 따른 액정 전기광학 (표시) 장치의 주요부를 도시한 평면도.

도 3 은 도 1 또는 도 2 의 A-A' 라인을 절취한 단면도.

도 4 는 도 1 또는 도 2 의 B-B' 라인을 절취한 단면도.

도 5 는 본 발명의 제 2 실시예에 따른 액정 전기광학 (표시) 장치의 주요부를 도시하는 평면도.

도 6 은 본 발명의 제 3 실시예에 따른 액정 전기광학 (표시) 장치의 주요부를 도시하는 평면도.

도 7 은 본 발명의 제 4 실시예에 따른 액정 전기광학 (표시) 장치의 주요부를 도시하는 평면도.

도 8 은 본 발명에 따른 액정 전기광학 (표시) 장치의 전체 형상을 도시한 도면.

도 9 는 본 발명의 장점을 도시한 그래프.

도 10 은 투영 액정 전기광학 (표시) 장치의 예시적 형상을 도시한 도면.

도 11 은 실험용 액정 표시 장치의 일부 형상을 도시한 도면.

도 12 는 도 11 의 Z-Z' 라인을 절취한 단면도.

도 13 은 도 11 의 형상과 관련된 문제점을 설명한 설명도.

*도면의 주요 부분에 대한 부호의 설명*

1 : 폴리실리콘 패턴 2 : 게이트 버스 패턴

3 : 데이터 버스 패턴 5 : 차광 마스크

5' : 차광 스트라이프 5A, 5B : 격리된 차광 패턴

6 : 제 1 층 절연막 7 : 제 2 층 절연막

9 : ITO 패턴 10 : 유리 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명의 일반적인 목적은 이하의 종래 기술이 갖는 문제점을 극복한 액정 전기광학 (표시) 장치를 제공하는 것이다.

본 발명의 특정 목적은 차광 마스크가 용이하게 정렬될 수 있고 신뢰성 및 생산성이 높은 액정 전기광학 (표시) 장치를 제공하는 것이다.

본 발명은 일반적으로 액정 전기광학 (표시) 장치에 관한 것으로, 특히 기판 위에 박막 트랜지스터들(TFT들)이 형성되는 액정 패널을 구성하는 한 쌍의 기판들 중 하나 위에 차광 패턴들이 제공되는 액정 전기광학 (표시) 장치에 관한 것이다.

액정 표시 장치는 투영 표시 장치 및 휴대용 (또는 랩-탑) 정보 처리 장치의 표시 장치로서 널리 사용된다. 최근, 고정 (또는 데스크-탑) 정보 처리 장치의 고해상도 컬러 표시 장치로서 액정 표시 장치를 사용하고자 하는 시도들이 시행되고 있다.

도 10 은 투영 액정 표시 장치의 예를 도시하고 있다. 도 10 에 있어서, 고강도 금속 할로겐 램프(61)로부터 방사되는 광은 필터(61a)를 관통하며, 미러(62)에 의해 광로(optical path)에서 변화한 후, 2색 미러(dichroic TFTirror; 63)에 의해 부분적으로 반사된다. 상기 미러(63)에 의해 반사된 광은 미러(64)에 의해 다시 반사되고, 콘덴서 렌즈(65) 및 액정 표시 패널(66)을 관통한다. 액정 표시 패널(66)로부터 출력된 광은 2색 미러들(67,68)을 관통하며, 투영 렌즈(69)에 도달한다.

다른 한편, 상기 2색 미러(63)를 관통한 광의 일부는 2색 미러(70)에 의해 반사되고, 콘덴서 렌즈(71) 및 액정 패널(72)을 관통한 후, 2색 미러(67)에 의해 반사된다. 상기 미러(67)에 의해 반사된 광은 2색 미러(68)를 통해 투영 렌즈(69)에 도달한다.

상기 2색 미러(70)을 관통한 광은 콘덴서 렌즈(73) 및 액정 표시 패널(74)을 관통한 후, 미러(75) 및 2색 미러(68)에 의해 반사되고, 마지막으로 투영 렌즈(69)에 의해 투영된다.

액정 표시 장치의 몇 가지 형태 가운데, 각각의 화소가 박막 트랜지스터(TFT)에 의해 구동되는 활성 매트릭스 액정 표시 장치(active matrix liquid crystal disp1ay device)는 상술된 고 해상도 컬러 표시를 달성하기에 적합하다. 활성 매트릭스 구동 방법은 비활성 매트릭스 구동 방법에서 발생하는 화소들 사이의 누화를 제거할 수 있으며, 따라서 양호한 표시 성능을 제공할 수 있다. 활성 매트릭스 구동 방법에 있어서, TFT들은 액정 패널을 구성하는 유리 기판들 중 하나위에. 배열되며, 각각의 TFT는 대응하는 투명 화소 전극에 인가되는 전압을 제어한다.

활성 매트릭스 액정 표시 장치에 있어서, 화소 전극들 위에 존재하는 액정층의 일부는 TFT들에 의해 발생된 구동 전계들을 수용하며, 따라서 광투과의 온/오프 제어를 위해 작용한다. 그러나, TFT들 바로 위의 액정층의 일부는 어떠한 구동 전계들도 갖지 않을 수도 있으며, 투영 광, 역광 등이 이 부위를 통해 누설될 수도 있다. 표시 콘트라스트비를 증진시키기 위해, TFT가 형성되는 부위를 통해 광이 누설되는 것을 최소화 할 필요가 있다. 이 때문에, 종래 차광 패턴들은 TFT들이 형성되는 부위의 TFT-지지 기판에 대향되는 기판 상에 형성된다. 그러나, 이러한 형상에 있어서는, 차광 패턴들이 대응하는 TFT들을 덮도록, 2 개의 기판 사이에 정확한 정렬이 필요하므로, 액정 패널 조립 단계에 긴 시간이 요구된다. 만약, 정렬 동작을 용이하게 하기 위해 보다 넓은 차광 패턴들이 형성될 경우, 표시 휘도가 감소함에 따라 상기와 같은 문제점이 발생한다.

상술된 문제점을 해결하기 위해, 본 발명자는 차광 패턴들이 TFT-지지 기판상에 형성되는 형상을 연구하였고, 이와 같은 액정 표시 장치의 실험 모델을 생산했다.

도 11 은 본 발명자에 의해 실험적으로 생산된 액정 표시 패널에 대한 평면도이다. 도 11 에 있어서, 일반적으로 복수의 U 형상의 폴리실리콘 패턴들(1)은 액정 표시 장치의 각각의 화소들에 대응하여 액정 패널을 구성하기 위해 서로 대향된 2 개의 유리 기판들 중 하나 위에 형성된다, 접속 패드들(1a,1b)은 각각의 폴리실리콘 패턴(1)의 양 단부들에 형성된다. 복수의 알루미늄 게이트 버스 패턴들(2)은 게이트 절연막으로 작용하는 $SiO_2$ 막을 통해 폴리실리콘 패턴들(1) 위를 가로 지르도록 동일 유리 기판 상에 서로 평행하게 형성된다. 각각의 폴리실리콘 패턴(1)에 있어서, 상기 폴리실리콘 패턴(1)이 게이트 버스 패턴(2)을 가로지르는 부위의 양 측부들 상의 부위들은 n-형 또는 p-형 불순물로 도핑되며, 그 결과 TFT들의 채널 영역들은 폴리실리콘 패턴(1) 및 게이트 버스 패턴(2)의 교차점들에 대응하여 형성된다. 각각의 U 형상의 폴리실리콘 패턴(1)에 대하여, 한 쌍의 n-채널 또는 p-채널 TFT들은 서로 연속적으로 접속되도록 형성된다.

또한, 복수의 알루미늄 데이터 버스 패턴들(3)은 각각의 접속 패드들(1b)에 대응하도록 폴리실리콘 패턴들(1) 상에 도 11 에 도시된 바와 같이 수직방향으로 서로 평행하게 형성된다. 각각의 데이터 버스 패턴(3)은 접촉홀(contact hole)을 통해 대응하는 접속 패드(1b)에 접속되며, 구동 전류는 접속 패드(1b)를 통해 폴리실리콘 패턴(1)에 형성된 p-형 또는 n-형 드레인 영역에 공급된다. 다른 한편, 상기 접속 패드(1b)는 차광 패턴 또는 알루미늄 패턴을 통해 투명 화소 전극에 접속된다(이하에서 상술됨).

상술된 바와 같은 형상에 있어서, 차광 마스크(5)는 게이트 버스 패턴들(2) 및 데이터 버스 패턴들(3)에 대응하여 형성된다. Ti 와 같은 불투명 금속으로 제조된 차광 마스크(5)는 인접한 화소 전극들 사이의 개구부들을 통해 누설되는 광을 차단시킨다.

도 12는 도 11 의 Z-Z' 라인을 절취한 단면도이다. 도 12 에 있어서, 폴리실리콘 패턴(1)은 유리 기판(10) 상에 형성되며 제 1층 절연막(6)으로 덮인다. 데이터 버스 패턴(3)은 절연막(6) 상에 형성되고, 절연막(6)을 통해 형성된 접촉홀(6a)을 통해 폴리실리콘 패턴(1)의 접속 패드(1b)에 접속된다.

데이터 버스 패턴(3)은 제 2층 절연막(7)으로 덮이며, 차광 마스크(5)는 데이터 버스 패턴(3)에 대응하도록 절연막(7) 상에 형성된다. 차광 마스크(5)는 제 3층 절연막(8)으로 덮이며, 투명 전극으로서의 ITO 패턴(9)은 절연막(8) 상에 형성된다. 투명 전극 패턴(9)은 다른 접촉홀(도시되지 않음)을 통해 폴리실리콘 패턴(1)의 접촉 패드(1a)에 접속된다.

비록, 도 12 의 단면도에는 도시되어 있지 않을지라도, 상기 게이트 버스 패턴(2)은 폴리실리콘 패턴(1)과 같은 수준에서 기판(10)상에 형성되며, TFT들의 채널 영역들에서 폴리실리콘 패턴(1)과 교차된다.

도 11 에 있어서, 상기 데이터 버스 패턴(3)은 폴리실리콘 패턴(1)으로부터 왼쪽으로 이동되도록 도시되었다. 이것은 단지 데이터 버스 패턴(3)이 도 12 에 도시된 바와 같이 폴리실리콘 패턴(1) 상에 형성되는 것을 가리킨다.

상술된 형상에 있어서, 도 11 에서 도시하고 있는 바와 같이 수직 방향 (즉, 칼럼 방향)으로 연장하는 차광 마스크(5)의 일부는 수직 방향으로 연장하는 데이터 버스 패턴(3)의 양 측부 에지들을 지나면서 누출되는 광을 차단한다. 데이터 버스 패턴(3)이 커패시턴스를 통해 투명 전극 패턴(9)과 상호 작용할 수 있으므로, 데이터 버스 패턴은 전극 패턴(9)과 오버래핑하도록 넓게 형성될 수 없고, 간극(g)이 중간에 형성될 필요가 있다. 차광 마스크(5)는 간극(g)을 통해 누설되는 광을 차단한다.

도 11 및 도 12 의 형상에 있어서, 차광 마스크(5)는 TFT들을 형성하기 위한 연속 단계들의 일부에 의해, TFT들이 형성되는 기판(10) 상에 형성될 수 있다. 따라서, 차광 마스크(5) 및 TFT들 사이의 이상적인 정렬이 달성될 수 있으며, 그에 의해 기판(10)을 차광 패턴이 형성되는 대향 기판에 정확하게 정렬하는 종래의 단계는 생략될 수 있다.

그러나, 도 11 및 도 12 와 같은 형상을 갖는 액정 표시 장치가 실제로 형성될 때, 차광 마스크(5)와 같은 금속 패턴은 데이터 버스 패턴(3)과 단락되는 경향을 가지며, 액정 표시 장치의 생성을 증가시키지 못한다는 문제점을 갖는다.

이것은 도 13 에 도시된 바와 같이 데이터 버스 패턴(3)에 대한 절연막(7)의 불충분한 스텝 커버리지가 차광 마스크(5)와 데이터 버스 패턴(3) 사이에 단락을 발생시킨다는 현상으로 인해 고려되었다. 유사한 단락이 차광 막(5)과 투명 전극 패턴(9) 사이에 발생하는 경향이 있다. 차광 마스크(5)가 도 11 에 도시된 바와 같이 수직 및 수평으로 연장하는 연속 부재이므로, 상기와 같은 단락은 라인 결함을 발생시킨다.

## 발명이 이루고자 하는 기술적 과제

상술된 목적을 실현시키기 위해, 본 발명은, 액정 패널을 구성하도록 서로 대향되는 한 쌍의 기판들과; 각각 복수의 화소들에 대응하도록 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되는 복수의 박막 트랜지스터들과; 행 방향으로 배열된 박막의 트랜지스터를 덮도록 행 방향으로 서로 평행하게 연속 연장하는 복수의 차광 스트라이프들과; 서로로부터 또한 차광 스트라이프들로부터 격리되도록 각각의 화소들에 대응하여 형성된 차광 패턴들을 포함하는 액정 전기광학 (표시) 장치를 제공한다.

상기 차광 패턴은, 각각의 화소들에 대하여 서로 격리된 제 1 및 제 2 패턴들을 포함한다. 박막 트랜지스터들을 위한 데이터 버스 패턴들이 차광 물질을 포함하여 광을 차단하기 때문에, 상기 데이터 버스 패턴들은 차광 패턴들이다. 차광 패턴들인 데이터 버스 패턴들은 열 방향으로 연장한다. 상기 제 1 격리된 패턴은 차광 패턴들인 데이터 버스 패턴들 중 관련된 것의 한 에지를 덮는다. 상기 제 2 격리된 패턴은 차광 패턴들인 데이터 버스 패턴들 중 관련된 것의 다른 에지를 덮는다.

상기 액정 표시 장치는 박막 트랜지스터들을 위한 게이트 버스 패턴들을 구성하는, 행 방향으로 연장하는 복수의 차광 패턴들을 더 포함하며, 상기 게이트 버스 패턴들 각각은 열 방향으로 하향 연장하도록 각각의 데이터 버스 패턴들에 대응하여 제공된 분기들을 갖는다.

상기 차광 스트라이프들은 각각의 게이트 버스 패턴들을 덮도록 형성될 수 있으며, 각각의 분기들에 대한 팁은 관련된 차광 스트라이프의 측부 에지 바깥쪽에 위치될 수 있다.

차광 스트라이프들 각각은 각각의 데이터 버스 패턴들을 덮도록 열 방향으로 연장하는 분기들을 가질 수 있다.

본 발명의 다른 특징에 따라, 액정 패널을 구성하도록 서로 대향되는 한 쌍의 기판들과; 각각 복수의 화소들에 대응하도록 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되는 복수의 박막 트랜지스터들과; 상기 박막 트랜지스터를 운반하고, 열 방향으로 배열된 박막의 트랜지스터들을 덮도록 열 방향으로 서로 평행하게 연속 연장하는 기판들 중 하나 위에 형성된 복수의 차광 스트라이프들과; 서로로부터 또한 차광 스트라이프들로부터 격리되도록 각각의 화소들에 대응하여 형성된 차광 패턴들을 포함하는 액정 전기광학 (표시) 장치가 제공된다.

상기 차광 패턴은, 각각의 화소에 대해, 서로 격리된 제 1 및 제 2 패턴들을 포함하며, 상기 제 1 격리된 패턴은 박막의 트랜지스터들을 위한 게이트 버스 패턴들을 구성하는, 행 방향으로 연장하는 차광 패턴들 중 관련된 것의 한 에지를 덮으며, 상기 제 2 격리된 패턴은 차광 패턴의 다른 에지를 덮는다.

본 발명의 또 다른 특징에 따라, 액정 패널을 구성하도록 서로 대향되는 한쌍의 기판들과; 각각 복수의 화소들에 대응하도록 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되는 복수의 박막 트랜지스터들과; 열 방향으로 배열된 박막의 트랜지스터들을 덮도록 행 방향으로 서로 평행하게 연속 연장하는 복수의 차광 스트라이프들로서, 상기 복수의 차광 스트라이프들 각각은 행 방향으로 연장하는 박막의 트랜지스터들을 위한 각각의 게이트 버스 패턴들을 덮도록 행 방향으로 연장하는 분기들을 가지며, 각각의 차광 스트라이프들의 분기들 중 하나는 반도체 패턴의 폭 보다 더 좁은 간극을 형성하도록 관련된 박막 트랜지스터의 활성부로서 반도체 패턴 위의 차광 스트라이프들 중 인접한 것의 대응하는 분기에 대향되는, 상기 복수의 차광 스트라이프들을 포함하는 액정 전기광학 (표시) 장치가 제공된다.

상술된 각각의 액정 전기광학 (표시) 장치에 있어서, 복수의 차광 스트라이프들은 공통 전위에 접속될 수 있다.

## 발명의 구성 및 작용

본 발명의 원리는 도 1, 도 3 및 도 4를 참고로 이하에서 상세히 설명된다. 도 1 은 본 발명에 따른 액정 전기광학 (표시) 장치의 기본 레이아웃을 도시한 평면도이고, 도 3 및 도 4 는 각각 도 1 의 A-A' 및 B-B' 라인을 절취한 단면도이다.

도 1 에 있어서, 본 발명에서는 도 11 에 도시된 차광 마스크(5) 대신 행 방향으로 연장하도록 형성된 복수의 차광 스트라이프들(5')이 형성된다. 또한, 분기들(2A)이 열 방향으로 연장하는 데이터 버스 패턴들(3)을 위한 차광 패턴들로서 게이트 버스 패턴(2)으로부터 열 방향으로 연장하도록 형성된다. 각각의 분기(2A)는 인접 폴리실리콘 패턴(1)에 도달되지 않으며, 간극은 폴리실리콘 패턴(1)의 접속 패드(1b)와 함께 형성된다. 따라서, 게이트 버스 패턴(2) 및 폴리실리콘 패턴(1)은 결코 상기 분기(2A)를 통해 서로 전기적으로 접촉하지 않는다.

본 발명에 있어서, 상술된 간극을 통한 광의 누설을 방지하기 위하여, 제 1 및 제 2 차광 패턴들(5A, 5B)이 차광 스트립(5')으로부터 격리되도록 형성된다. 상기 차광 스트라이프(5')의 경우에 있어서와 같이 불투명 금속으로 제조된 차광 패턴(5A)은 광이 데이터 버스 패턴(3)의 좌측 측부 에지와 투명 전극 패턴(9) 사이의 간극을 통해 누설되는 것을 방지한다. 마찬가지로, 차광 패턴(5B)은 광이 데이터 버스 패턴(3)의 우측 측부 에지와 상기 우측 상의 인접 투명 전극 패턴(9) 사이의 간극을 통해 누설되는 것을 방지한다.

상술된 형상에 있어서, 차광 패턴(5A 또는 5B) 단락은 데이터 버스 패턴(3)과 함께 발생하나, 상기 단락은 차광 패턴들(5A 및 5B)이 격리되기 때문에 표시에 영향을 미치지 않는다. 따라서, 본 발명은 라인 결손을 일으키지 않고도 충분한 차광을 갖는 고 콘트라스트를 성취할 수 있는 액정 전기광학 (표시) 장치를 제공한다.

도 2 는 본 발명의 제 1 실시예에 따른 액정 표시 장치에서 사용되는 TFT 기판의 레이아웃을 도시한 평면도이다. 도 2 의 부위들에는 이미 상술된 바와 같은 동일한 참고 부호를 제공하였으며, 따라서 상세한 설명은 생략하였다.

도 2 에 있어서, 상기 게이트 버스 패턴(2)은 분기들(2A)에 대향하는 다른 세트의 분기들(2B)을 가지며, 데이터 버스 패턴(3)을 따라 연장한다. 각각의 분기(2B)의 팁은 차광 스트라이프(5') 바깥쪽에 위치된다.

도 3 은 도 2 (또는 도 1)의 A-A' 라인을 절취한 단면도이다. 도 3 에 있어서, 상기 게이트 버스 패턴(2)으로부터 연장된 분기(2A)는 TFT들의 활성부와 동일 수준의 폴리실리콘 패턴(1)에서 유기 기판(10) 상에 형성된다. 상기 데이터 버스 패턴(3)은 제 1 층 절연막(6)을 통해 상기 패턴(2A) 위로 연장한다. 상기 데이터 버스 패턴(3)은 제 2 층 절연막(7)으로 덮인다. 상기 차광 패턴들(5A, 5B)은 패턴(3)의 양 측부 에지에 대응하도록 서로로부터 분리되어 절연막(7) 상에 형성된다. 상기 패턴들(5A, 5B)은 제 3 절연막(8)으로 덮이며, ITO 패턴(9)은 상기 절연막(8)상에 형성된다.

도 4 는 도 2 (또는 도1)의 B-B' 라인을 절취한 단면도이다. 도 4 에 있어서, TFT의 활성부로서 폴리실리콘 패턴(1)의 접속 패드(1b)는 유리 기판(10) 상에 형성된다. 상기 데이터 버스 패턴(3)제 1 층 절연막(6)을 통해 패턴(1) 위로 연장한다. 상기 데이터 버스 패턴(3)은 절연막(6)을 통해 형성되는 접촉홀(6a)을 통해 접촉 패드(1b)에 접속된다. 상술된 바와 같이, 상기 접속 패드(1b)는 TFT의 드레인 영역에 접속된다.

상기 데이터 버스 패턴(3)은 제 2 절연막(7)으로 덮인다. 상기 차광 패턴들(5A, 5B)은 상기 패턴(3)의 양 측부 에지에 대응하도록 서로로부터 분리되어 절연막(7) 상에 형성된다. 상기 차광 패턴들(5A, 5B)은 제 3 절연막(8)으로 덮이며, ITO 투명 전극 패턴(9)은 상기 절연막(8) 상에 형성된다.

도 3 에서 볼 수 있는 바와 같이, 도 2 의 형상에 있어서는, 데이터 버스 패턴(3)을 따라 연장하는 게이트 버스 패턴(2)의 분기(2A)는 투명 전극 패턴(9)과 패턴(3) 사이의 간극(g)을 통해 광이 누설되는 것을 방지한다. 상기 분기(2A)가 더이상 존재하지 않는 영역에 있어서는, 격리된 차광 패턴들(5A, 5B)은 상기와 같은 광 누설을 방지한다. 유사한 광 누설 방지 효과가 게이트 버스 패턴(2)의 다른 분기(2B)에 의해 얻어진다.

상기 격리된 차광 패턴들(5A, 5B)이 서로로부터 분리되므로, 상기 차광 패턴들(5A, 5B) 중의 하나가 데이터 버스 패턴(3) 또는 투명 전극 패턴(9)과 단락될 때 조차도 액정 표시 장치의 표시에 있어서 발생하는 라인 손실과 같은 문제점이 없어진다.

또한, 도 2 의 형상에 있어서, 상기 분기(2B)의 팁이 차광 스트립(5') 바깥쪽에 위치되므로, 상기 데이터 버스 패턴(3)이 분기(2B)의 전방 에지부에 첨예한 스텝을 가질 때조차도, 상기 첨예한 스텝은 차광 스트립(5')과 데이터 버스 패턴(3) 사이에서 단락을 일으키지 않는다.

다음에, 본 발명의 제 2 실시예는 도 5 를 참고로 설명된다. 이미 상술된 바와 같은 도 5 의 부위는 동일한 부호를 부여하였으며, 따라서 상세한 설명은 생략한다.

본 실시예에 있어서, 제 2 실시예의 분기들(2B)은 생략되고 대신에 분기들(5C, 5D)이 데이터 버스 패턴들(3)에 대응하도록 열 방향으로 각각의 차광 스트라이프(5')로부터 연장한다. 상기 분기(5C)는 게이트 버스 패턴(2)의 분기(2A) 위로 연장하고 게이트 버스 패턴(3)의 측부 에지에 의해 관통하는 광의 누설을 방지한다. 다른 한편, 상기 분기(5C)의 대향 측부 상에서, 상기 분기(5D)는 격리된 차광 패턴들(5A, 5B)을 향해 데이터 버스 패턴(3)을 따라 연장하며, 상기 데이터 버스패턴(3)의 측부 에지에 의해 관통하는 광의 누설을 방지한다.

다음에, 본 발명의 제 3 실시예는 도 6 을 참고로 설명된다. 이미 상술된 도 6 에 있어서의 부위는 동일 참고 부호를 부여하였으며, 상세한 설명은 생략하였다.

본 실시예에 있어서, 열 방향으로 연장하는 차광 스트라이프들(5")은 행 방향으로 연장하는 차광 스트라이프들(5') 대신 사용된다. 즉, 상기 차광 스트라이프(5")는 각각의 데이터 버스 패턴들(3)을 덮도록 열 방향으로 연장한다. 상기 행 방향으

로 연장하는 게이트 버스 패턴들(2)은 데이터 버스 라인들(3)과의 상호 교차점에서 확대된다. 또한, 행 방향으로 연장하는 한 쌍의 격리된 차광 패턴들(5A", 5B")은 게이트 버스 패턴(2)의 측부 에지를 덮기 위해 각각의 게이트 버스패턴(2)의 협소부에 대응하여 형성되며, 따라서 상기 측부 에지들에 의해 관통하는 광의 누설이 방지된다.

도 7 은 본 발명의 제 4 실시예에 따른 액정 표시 장치의 주요부를 도시한다.

도 7 에 대해, 본 실시예에 있어서, 도 6 의 실시예의 경우와 같이, 차광 스트라이프들(5")은 각각의 데이터 버스 패턴들(3)을 따라 열 방향으로 연장하도록 형성된다. 각각의 차광 스트라이프들(5")은 게이트 버스 패턴(2)을 덮도록 열 방향으로 연장하는 분기들(5C", 5D")을 갖는다. 서로 인접한 한 쌍의 차광 스트라이프(5")에 관한 한, 하나의 차단 스트라이프(5")로부터 우측으로 연장하는 분기(5D")는 TFT들의 활성부로서 폴리실리콘 패턴(1) 위의 다른 차광 스트라이프(5")로부터 좌측으로 연장하는 분기(5C")에 대향된다. 상기 분기들(5C", 5D") 사이의 간격은 폴리실리콘 패턴(1)의 폭 보다 좁게 설정되며, 따라서 폴리실리콘 패턴(1)의 양 측부 에지에 의해 관통하는 광의 누설은 상기 분기들(5C", 5D")에 의해 방지된다. 즉, 본 실시예에 있어서, 상기 폴리실리콘 패턴(1) 자체는 차광을 위해 사용된다.

도 8 은 TFT가 본 발명의 제 1 내지 제 4 실시예에 따르는 액정 표시 장치에서 형성되는 기판의 전체 형상을 도시한다. 도 8 에 있어서는, 오직 차광 스트라이프(5')만이 도시되며, TFT 및 투명 전극 패턴은 생략된다.

도 8 에 있어서, 복수의 차광 스트라이프들(5')은 기판 상에 서로 평행하게 연장하며, 각각의 차광 스트라이프(5')는 표시 장치의 화소 영역을 둘러싸는 차광패턴(50)에 연결된다. 상기 차광 패턴(50)은 접속 패드(51)와 함께 형성된다. 상기 차광 스트라이프(5')는 차광 패턴(50) 및 접속 패드(51)를 통한 공통 전위, 예를 들면 접지 전위이다.

도 9 는 액정 표시 장치들의 샘플들(#1 내지 #8)이 각각 도 11의 종래 형상 및 도 1, 도 2 및 도 5의 본 발명에 따른 형상을 위해 생성되는 실험 결과를 도시하고 있으며, 이들 샘플의 라인 결손 밀도가 계산되었다.

도 9 에 도시된 바와 같이, 라인 결손의 수는 본 발명의 기판에 있어서 보다 (빈 막대) 종래의 기판에서(해칭선 막대) 더욱 컸다. 따라서, 본 발명은 종래 형상에서 발생하는 라인 결손의 문제점을 해결할 수 있다.

비록 본 발명의 적합한 실시예가 상술되었을 지라도, 본 발명은 상술된 바와 같은 특정 실시예에 한정되지 아니하고, 본 발명의 정신과 범위를 벗어나지 않는 한도 내에서 다양한 변경 및 수정이 가능해진다.

## 발명의 효과

본 발명의 한 특징에 따라, 복수의 박막 트랜지스터들이 각각의 화소들에 대응하도록 액정 패널을 구성하는 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되는 액정 표시 장치에 있어서, 복수의 차광 스트라이프들은 행 또는 열 방향으로 배열된 박막 트랜지스터들을 덮도록 행 또는 열 방향으로 서로 평행하게 연속적으로 연장한다. 또한, 차광 패턴들은 서로로부터 또한 차광 스트라이프로부터 격리되도록 각각의 화소들에 대응하여 형성된다. 결과적으로, 광 누설 없이 높은 콘트라스트를 제공하고 거의 라인 결손이 발생하지 않는 매우 용이한 액정 표시 장치를 얻을 수 있다. 상기 차광 패턴들이 박막 트랜지스터들이 형성되는 기판 상에 형성되므로, 2 개의 기판을 정렬하기 위한 스텝은 단순화 될 수 있고, 상기 액정 표시 장치를 조립하기 위한 처리량은 크게 개선되고 제조 비용은 감소될 수 있다.

본 발명의 다른 특징에 따르면, 열 방향으로 연장하는 각각의 복수의 차광 스트라이프들은 행 방향으로 연장하는 박막 트랜지스터들을 위한 각각의 게이트 버스 패턴들을 덮도록 행 방향으로 연장하는 분기들을 갖는다. 각각의 분기들은 반도체 패턴의 폭 보다 더 좁은 간극을 형성하도록 관련된 박막 트랜지스터의 활성부로서 폴리실리콘 패턴 위의 인접한 차광 스트라이프의 대응하는 분기에 대향한다. 따라서, 단순하고 효율적이며 거의 단락이 발생하지 않는 차광 시스템을 얻을 수 있다.

또한, 차광 스트라이프를 예를 들면, 접지 전위와 같은 공통 전위에 접속함으로써, 개개의 박막 트랜지스터들은 안전하게 작동된다.

## (57) 청구의 범위

### 청구항 1.

액정 패널을 구성하도록 서로 대향되는 한 쌍의 기판들과;

각각 복수의 화소들에 대응하도록 상기 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되며, 각각의 반도체 패턴들을 갖는 복수의 박막 트랜지스터들과;

각각 상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 열들(columns)을 따라 연장하는 복수의 데이터 버스 라인들로서, 상기 데이터 버스 라인들 각각은 상기 매트릭스 형태의 열들 중 대응하는 하나 위에 배열된 대응하는 박막 트랜지스터들과 접속되는, 상기 복수의 데이터 버스 라인들과;

각각 상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 행들(rows)을 따라 연장하는 복수의 게이트 버스 라인들로서, 상기 게이트 버스 라인들 각각은 대응하는 행들에 배열된 대응하는 박막 트랜지스터들의 반도체 패턴들과 오버래핑되는, 상기 복수의게이트 버스 라인들과;

상기 게이트 버스 라인들 중 대응하는 하나를 각각 덮는 복수의 차광 스트라이프들과;

서로 격리된 차광 패턴들로서, 상기 차광 패턴들 각각은 상기 차광 스트라이프들 중 대응하는 하나로부터 격리되는, 상기 차광 패턴들을 포함하며,

상기 화소들 각각은 상기 데이터 버스 라인들 중 대응하는 하나의 측부 에지 위에 제공된 상기 차광 패턴들 중 적어도 하나를 갖는, 액정 표시 장치.

## 청구항 2.

제 1 항에 있어서, 상기 차광 패턴은, 각각의 화소들에 대해, 서로 격리된 제 1 및 제 2 패턴들을 포함하며, 상기 제 1 격리된 패턴은 상기 데이터 버스 라인들 중 관련된 것의 한 에지를 덮고, 상기 제 2 격리된 패턴은 상기 데이터 버스 라인들 중 관련된 것의 다른 에지를 덮는, 액정 표시 장치.

## 청구항 3.

제 2 항에 있어서, 상기 박막 트랜지스터들을 위한 게이트 버스 패턴들을 구성하는, 행 방향으로 연장하는 복수의 차광 패턴들을 더 포함하며,

상기 게이트 버스 패턴들 각각은 열 방향으로 하향 연장하도록 각각의 데이터 버스 패턴들에 대응하여 제공된 분기들(branches)을 갖는, 액정 표시 장치.

## 청구항 4.

제 3 항에 있어서, 상기 차광 스트라이프들은 각각의 게이트 버스 패턴들을 덮도록 형성되며, 상기 분기들 각각에 대한 팁(tip)은 상기 관련된 차광 스트라이프의 측부 에지 바깥족에 위치되는, 액정 표시 장치.

## 청구항 5.

제 2 항에 있어서, 상기 차광 스트라이프들 각각은 상기 각각의 데이터 버스 패턴들을 덮도록 열 방향으로 연장하는 분기들을 갖는, 액정 표시 장치.

## 청구항 6.

제 1 항에 있어서, 상기 복수의 차광 스트라이프들은 공통 전위에 접속되는, 액정 표시 장치,

## 청구항 7.

액정 패널을 구성하도록 서로 대향되는 한 쌍의 기판들과;

각각 복수의 화소들에 대응하도록 상기 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되며, 각각의 반도체 패턴들을 갖는 복수의 박막 트랜지스터들과;

각각 상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 행들을 따라 연장하는 복수의 데이터 버스 라인들로서, 상기 데이터 버스 라인들 각각은 상기 행들 중 대응하는 하나 위에 배열된 대응하는 박막 트랜지스터들과 접속되는, 상기 복수의 데이터 버스 라인들과;

각각 상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 열들을 따라 연장하는 복수의 게이트 버스 라인들로서, 상기 게이트 버스 라인들 각각은 상기 대응하는 열에 배열된 상기 대응하는 박막 트랜지스터들의 반도체 패턴들과 오버래핑되는, 상기 복수의 게이트 버스 라인들과;

상기 게이트 버스 라인들 중 대응하는 하나를 각각 덮는 복수의 차광 스트라이프들과;

서로 격리된 차광 패턴들로서, 상기 차광 패턴들 각각은 상기 차광 스트라이프들 중 대응하는 하나로부터 격리되는, 상기 차광 패턴들을 포함하며,

상기 화소들 각각은 상기 데이터 버스 라인들 중 대응하는 하나의 측부 에지 위에 제공된 상기 차광 패턴들 중 적어도 하나를 갖는, 액정 표시 장치.

## 청구항 8.

제 7 항에 있어서, 상기 차광 패턴은, 각각의 화소들에 대해, 서로 격리된 제 1 및 제 2 패턴들을 포함하며, 상기 제 1 격리된 패턴은 상기 게이트 버스 라인들 중 관련된 것의 한 에지를 덮고, 상기 제 2 격리된 패턴은 상기 게이트 버스 라인들 중 관련된 것의 다른 에지를 덮는, 액정 표시 장치.

## 청구항 9.

제 8 항에 있어서, 상기 복수의 차광 스트라이프들은 공통 전위에 접속되는, 액정 표시 장치.

## 청구항 10.

액정 패널을 구성하도록 서로 대향되는 한 쌍의 기판들과;

각각 복수의 화소들에 대응하도록 상기 한 쌍의 기판들 중 하나 위에 매트릭스 형태로 배열되는 복수의 박막 트랜지스터들과;

상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 열들을 따라 연장하는 복수의 데이터 버스 라인들로서, 상기 데이터 버스 라인들 각각은 상기 열들 중 대응하는 하나 위에 배열된 대응하는 박막 트랜지스터들과 접속되는, 상기 복수의 데이터 버스 라인들과;

상기 한 쌍의 기판들 중 하나 위에 제공되고 상기 매트릭스 형태의 행들을 따라 연장하는 복수의 게이트 버스 라인들로서, 상기 게이트 버스 라인들 각각은 대응하는 행에 배열된 상기 대응하는 박막 트랜지스터들과 오버래핑되는, 상기 복수의 게이트 버스 라인들과;

상기 데이터 버스 라인들 중 대응하는 하나를 각각 덮는 복수의 차광 스트라이프들로서, 상기 복수의 차광 스트라이프들 각각은 행 방향으로 연장하는 상기 박막 트랜지스터들을 위한 각각의 게이트 버스 라인들을 덮도록 행 방향으로 연장하는 분기들을 갖고, 상기 차광 스트라이프들 각각의 분기들 중 하나는 반도체 패턴의 폭 보다 더 좁은 간극(gap)을 형성하도록 상기 관련된 박막 트랜지스터의 활성부로서 상기 반도체 패턴 위의 상기 차광 스트라이프들 중 인접한 하나의 대응하는 분기에 대향되는, 상기 복수의 차광 스트라이프들을 포함하는, 액정 전기광학 장치.

## 청구항 11.

제 10 항에 있어서, 상기 복수의 차광 스트라이프들은 공통 전위에 접속되는, 액정 전기광학 장치.

## 청구항 12.

기판 위에 제공되고, 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 제공되는 채널 형성 영역을 갖는 반도체 패턴을 포함하는 박막트랜지스터와;

상기 기판 위에 제공되는 데이터 버스 라인과;

상기 기판 위에 제공되고 상기 반도체 패턴과 오버래핑되는 게이트 버스 라인과;

상기 기판 위에 제공되는 화소 전극과;

상기 기판 위에 제공되는 2개의 접속 패드들과:

상기 기판 위에 제공되고, 상기 2개의 접속 패드들로부터 이격되며, 상기 게이트 버스 라인을 덮는 차광 스트라이프와;

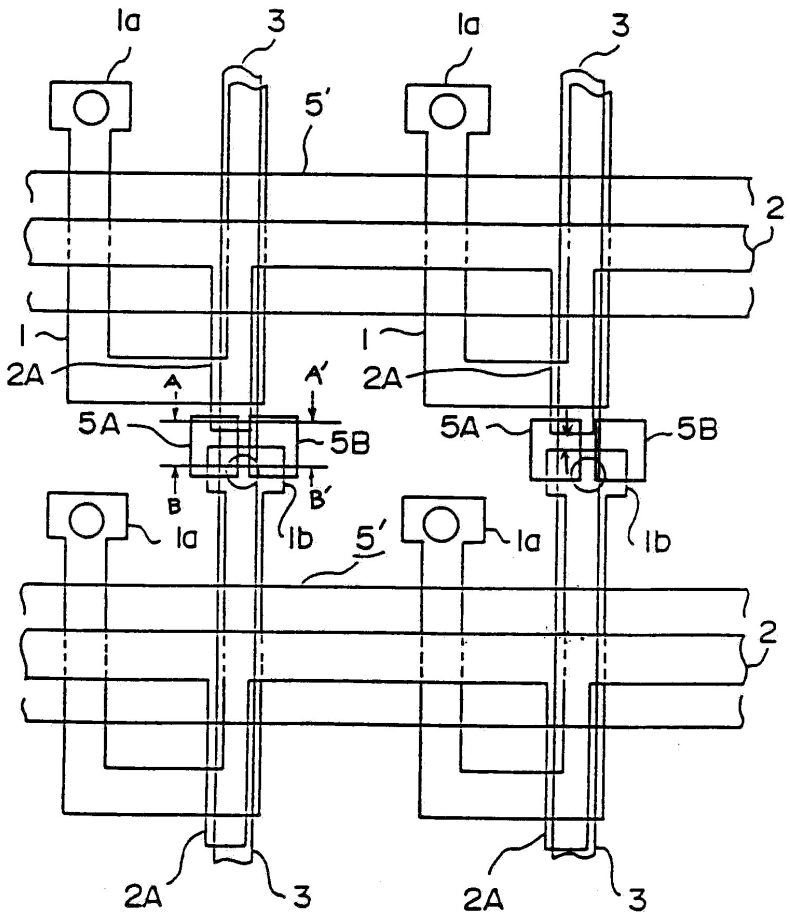
상기 기판 위에 제공되고 상기 데이터 버스 라인의 측부 에지와 상기 화소 전극의 측부 에지를 덮는 차광 패턴으로서, 상기 차광 패턴은 절연층을 통해 상기 데이터 버스 라인으로부터 이격되고 상기 차광 스트라이프로부터 격리되는, 상기 차광 패턴을 포함하며,

상기 데이터 버스 라인은 상기 2개의 접속 패드 중 하나를 통해 상기 소스영역과 상기 드레인 영역 중 하나와 접속되고,

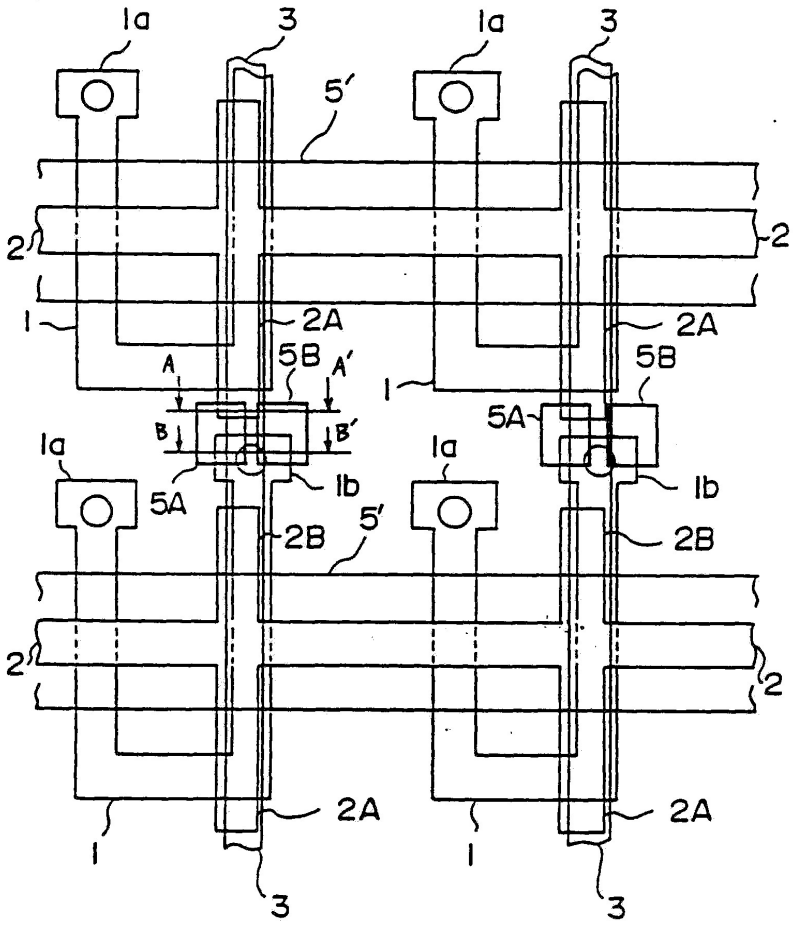
상기 화소 전극은 상기 2개의 접속 패드 중 다른 하나를 통해 상기 소스 영역과 상기 드레인 영역 중 다른 하나와 접속되는, 전기광학 장치.

도면

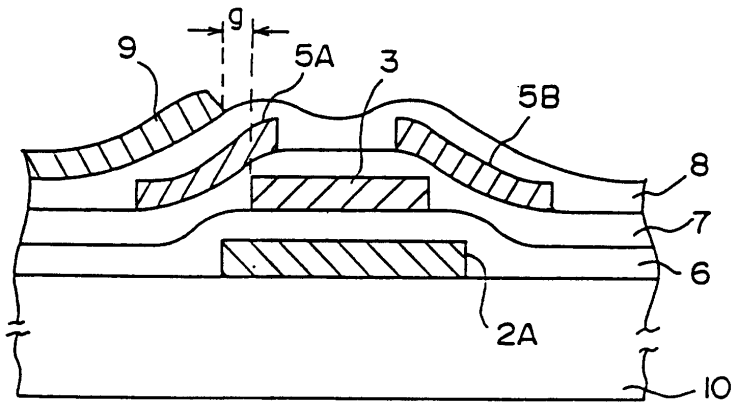
도면1



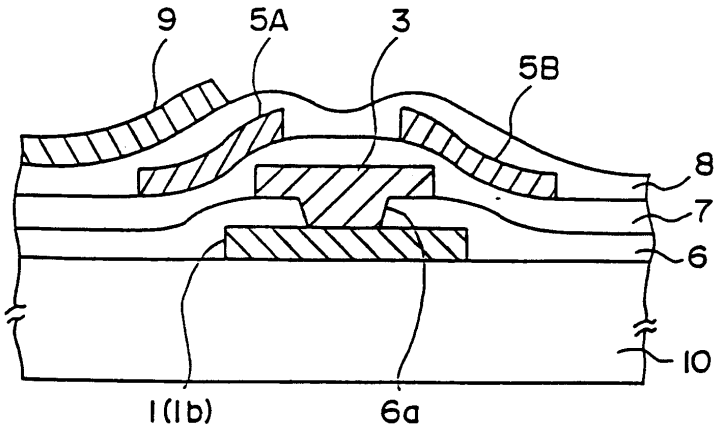
도면2



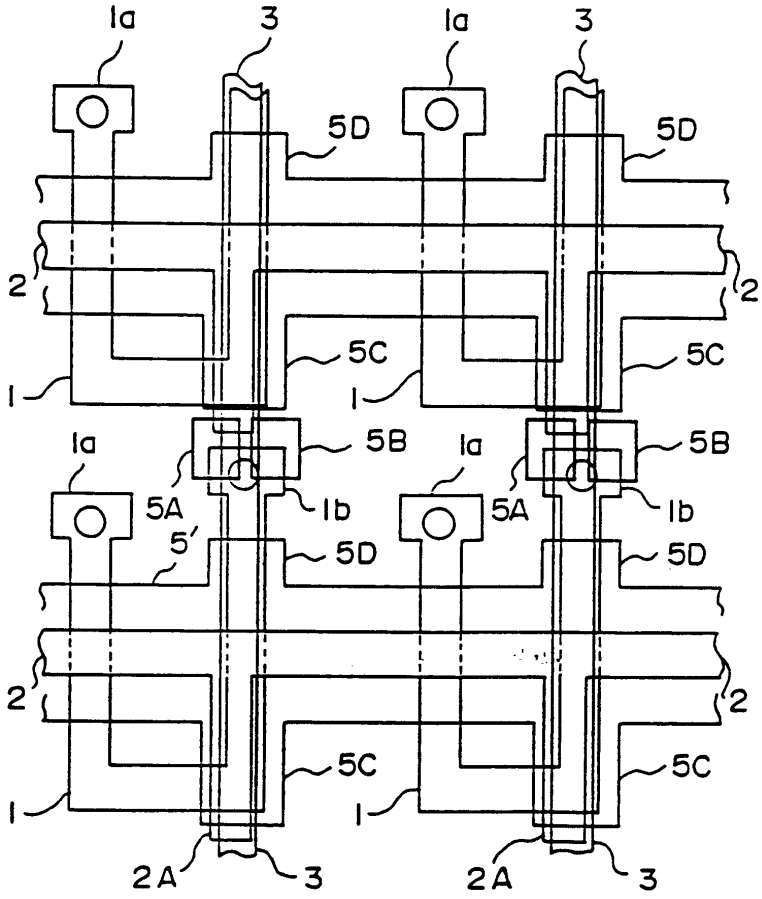

도면3



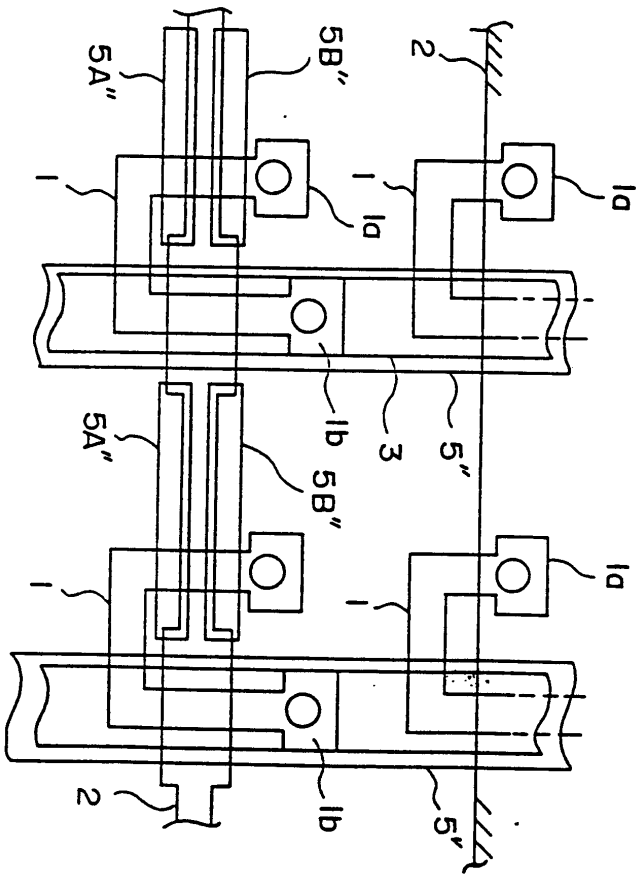
도면4


9
5A
3
5B
8
7
6
10
1(1b)
6a

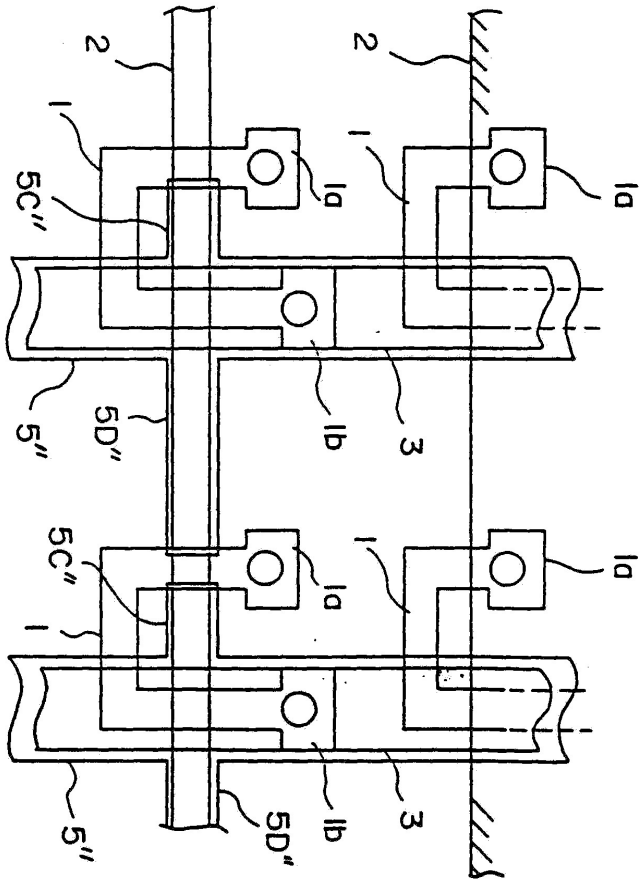
도면5


1a
3
1a
3
5D
5D
2
2
5C
5C
1
1
1a
5B
1a
5B
5A
1b
5A
1b
5'
5D
5D
2
2
5C
5C
1
1
2A
3
2A
3

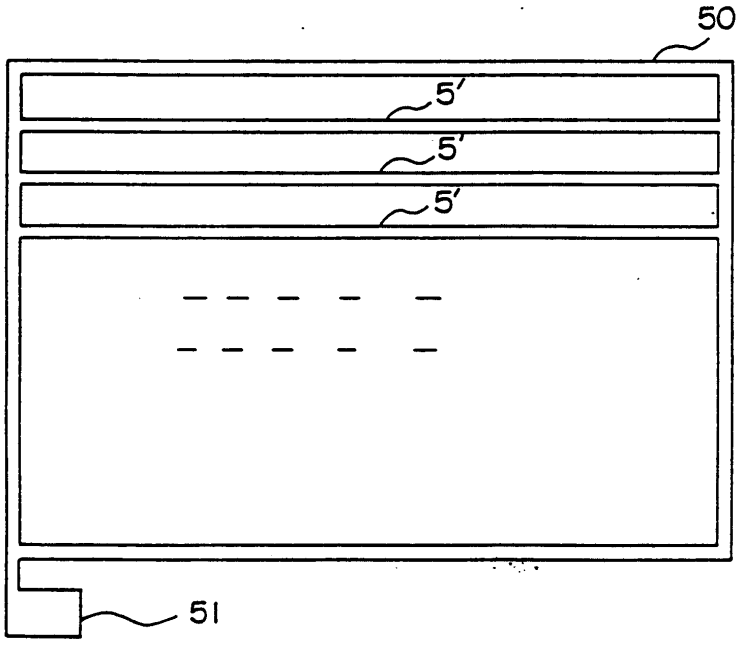
도면6



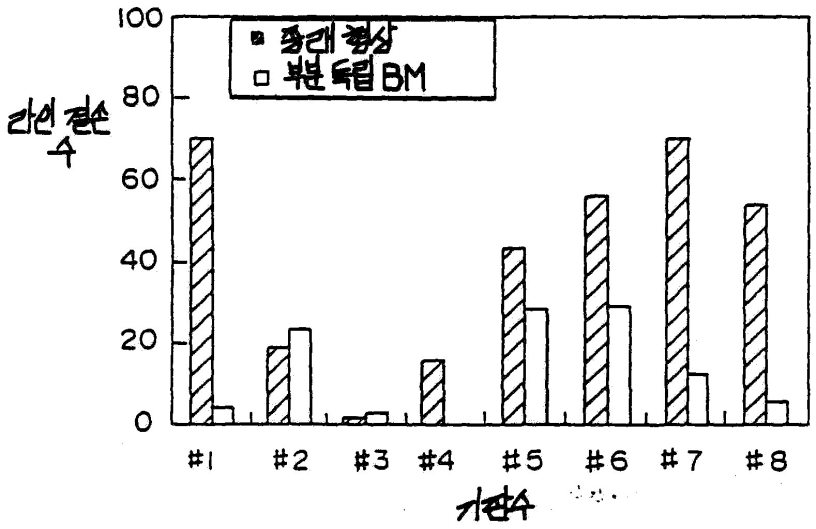
도면7



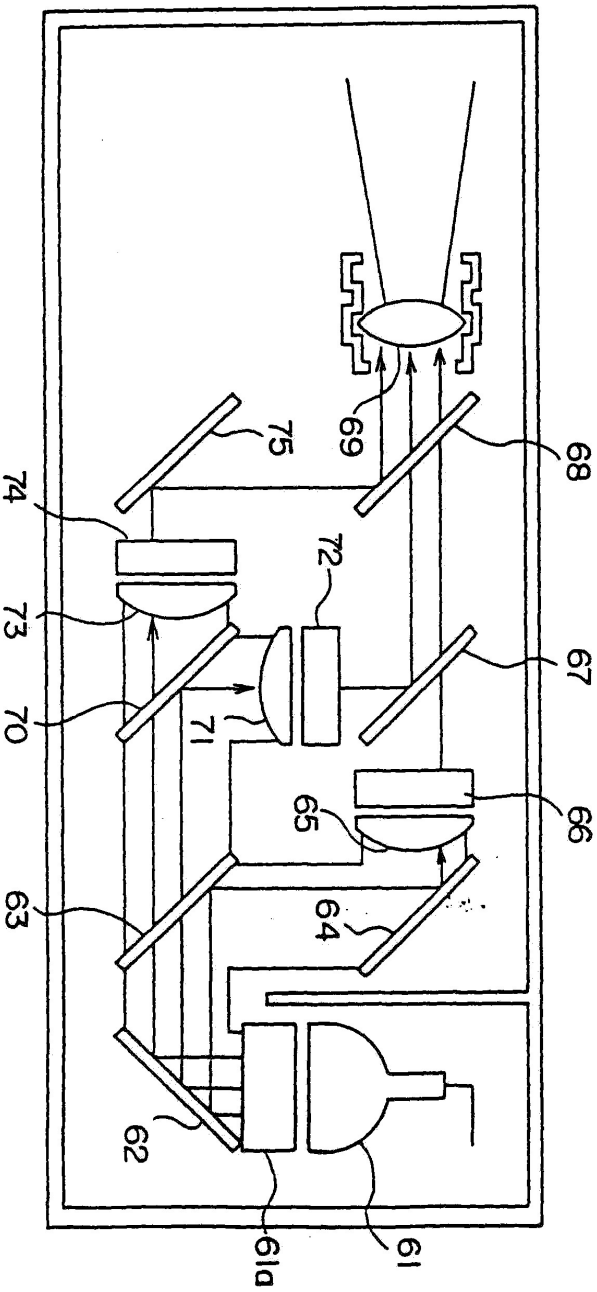

도면8



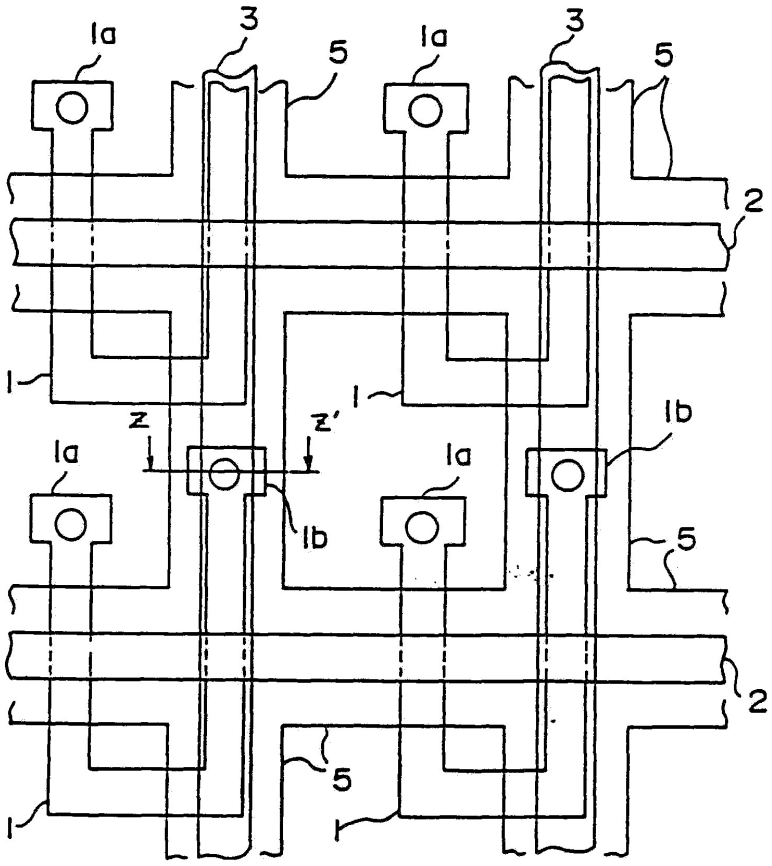
도면9



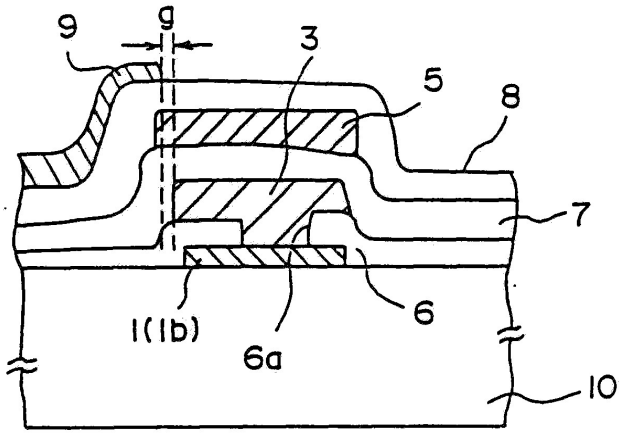
도면10



도면11




도면12



도면13

