



## 【特許請求の範囲】

## 【請求項 1】

能動層、ゲート絶縁膜、およびゲート電極が積層された薄膜トランジスタと、前記能動層と同層の半導体膜を導電化してなる第 1 電極、前記ゲート絶縁膜と同層の誘電体膜、および前記ゲート電極と同層の第 2 電極が積層された容量素子とを同一基板上に備えた薄膜半導体装置において、

前記容量素子を平面的にみたときに、前記誘電体膜は、前記第 1 電極の外周縁および前記第 2 電極の外周縁より内側領域に前記ゲート絶縁膜より膜厚が薄い第 1 領域を備え、前記第 1 領域の外側領域に前記第 1 領域よりも膜厚が厚い第 2 領域を備えていることを特徴とする薄膜半導体装置。

10

## 【請求項 2】

請求項 1 において、前記誘電体膜は、前記第 2 領域における膜厚が前記ゲート絶縁膜の膜厚と略同一であることを特徴とする薄膜半導体装置。

## 【請求項 3】

請求項 1 または 2 において、前記容量素子を平面的にみたときに、前記第 2 電極が前記第 1 電極の内側領域に形成され、前記第 1 領域は前記第 2 電極の内側領域に形成されていることを特徴とする薄膜半導体装置。

## 【請求項 4】

請求項 1 または 2 において、前記容量素子を平面的にみたときに、前記第 1 電極が前記第 2 電極の内側領域に形成され、前記第 1 領域は前記第 1 電極の内側領域に形成されていることを特徴とする薄膜半導体装置。

20

## 【請求項 5】

請求項 1 ないし 4 のいずれかにおいて、前記薄膜トランジスタでは、前記能動層、前記ゲート絶縁膜、および前記ゲート電極が前記基板側からこの順に積層され、

前記容量素子では、前記第 1 電極、前記誘電体膜、および前記第 2 電極が前記基板側からこの順に積層されていることを特徴とする薄膜半導体装置。

## 【請求項 6】

請求項 1 ないし 5 のいずれかに規定する薄膜半導体装置を電気光学装置用基板として用いた電気光学装置であって、前記電気光学装置用基板に電気光学物質が保持されていることを特徴とする電気光学装置。

30

## 【請求項 7】

請求項 6 において、前記電気光学物質は、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された対向基板との間に保持された液晶であり、

前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されていることを特徴とする電気光学装置。

## 【請求項 8】

請求項 6 において、前記電気光学物質は、前記電気光学装置用基板上に構成された有機エレクトロルミネッセンス材料であり、

前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されていることを特徴とする電気光学装置。

40

## 【請求項 9】

請求項 6 ないし 8 のいずれかに規定する電気光学装置を用いたことを特徴とする電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、薄膜トランジスタ（以下、TFTという）と容量素子が同一基板上に備えた薄膜半導体装置、この薄膜半導体装置を電気光学装置用基板として用いた電気光学装置、およびこの電気光学装置を備えた電子機器に関するものである。さらに詳しくは、容量素子の静電容量および耐電圧の向上技術に関するものである。

50

## 【背景技術】

## 【0002】

TFTと容量素子を同一基板上に形成する場合、TFTの能動層と同層の半導体膜を導電化して第1電極を形成し、ゲート絶縁膜と同層の絶縁膜を用いて誘電体膜を形成し、ゲート電極と同層の導電膜を用いて第2電極を形成すれば、少ない工程数でTFTと容量素子とを形成することができる。このような構造は、画素スイッチング用の非線形素子としてTFTを用いた液晶装置（電気光学装置）の素子基板や各種薄膜半導体装置で多用されている。

## 【0003】

しかしながら、容量素子では、誘電体膜の膜厚が薄ければ、大きな静電容量を得ることができる一方、TFTでは、ゲート絶縁膜が薄ければ、耐電圧が低下してしまう。そこで、容量素子の側において、ゲート絶縁膜と同時形成した絶縁膜を薄手化して誘電体膜を形成した構造が提案されている（例えば、特許文献1参照）。

10

【特許文献1】特開平6-130413号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

液晶装置では、画像の高精細化に伴って1画素当たりの面積が飛躍的に小さくなっている。それ故、液晶容量が益々、小さくなっている分、容量素子についてはさらに大きな静電容量が要求されている。しかしながら、容量素子において誘電体膜を薄くして静電容量を増大させると、耐電圧が低下し、液晶装置の歩留まりや信頼性が低下してしまうという問題点がある。

20

## 【0005】

このような問題点は、容量素子において、誘電体膜を厚くして耐電圧を確保する一方、第1電極と第2電極の対向面積を拡張して静電容量を増大すれば解消できるように見える。しかしながら、液晶装置に限らず、いずれの薄膜半導体装置でも、素子の形成面積を拡大するのがスペース的な制約があって困難である。

## 【0006】

以上の問題点に鑑みて、本発明の課題は、同一基板上に形成されたTFTと容量素子に対して、高い耐電圧を確保するとともに、容量素子の静電容量を向上可能な薄膜半導体装置、この薄膜半導体装置を電気光学装置用基板として用いた電気光学装置、およびこの電気光学装置を備えた電子機器を提供することにある。

30

## 【課題を解決するための手段】

## 【0007】

上記課題を解決するために、本発明では、能動層、ゲート絶縁膜、およびゲート電極が積層された薄膜トランジスタと、前記能動層と同層の半導体膜を導電化してなる第1電極、前記ゲート絶縁膜と同層の誘電体膜、および前記ゲート電極と同層の第2電極が積層された容量素子とを同一基板上に備えた薄膜半導体装置において、前記容量素子を平面的にみたときに、前記誘電体膜は、前記第1電極の外周縁および前記第2電極の外周縁より内側領域に前記ゲート絶縁膜より膜厚が薄い第1領域を備え、前記第1領域の外側領域に前記第1領域よりも膜厚が厚い第2領域を備えていることを特徴とする。

40

## 【0008】

本願明細書における同層とは薄膜の一部あるいは全体が基板上の同一の層間に同一形成された構造を意味する。

## 【0009】

本発明では、TFTと容量素子とにおいて双方の構成要素を同層としてあるので、TFTと容量素子を少ない工程数で形成することができる。ここで、容量素子の誘電体膜は、TFTのゲート絶縁膜と同層であるが、誘電体膜にはゲート絶縁膜より膜厚が薄い第1領域を形成しているにも関わらず、TFTの耐電圧を大きく低下させることなく、容量素子の静電容量を向上することができる。誘電体膜は、第1電極の外周縁もしくは第2電極の外

50

周縁の領域については、第1領域よりも膜厚が厚い第2領域になっているので、耐電圧が高い。すなわち、容量素子の耐電圧は、第1電極と第2電極との間のうち、第1電極の端部における誘電体膜の膜厚、および第2電極の端部における誘電体膜の膜厚に大きく支配される傾向にあるので、本発明では、かかる支配的な部分については、選択的に誘電体膜の膜厚を厚くしてある。従って、容量素子では、高い耐電圧が得られるとともに、耐電圧を高くするために誘電体膜の膜厚を厚くしたことに起因する静電容量の低下を最小限に止めることができる。よって、同一基板上に形成されたTFTと容量素子に対して、高い耐電圧を確保するとともに、容量素子の静電容量を向上することができる。

【0010】

本発明において、前記誘電体膜は、例えば、前記第2領域における膜厚が前記ゲート絶縁膜の膜厚と略同一である。

10

【0011】

本発明において、前記容量素子を平面的にみたときに、前記第2電極が前記第1電極の内側領域に形成されている構成を採用することができ、この場合、前記第1領域は前記第2電極の内側領域に形成されることになる。また、前記容量素子を平面的にみたときに、前記第1電極が前記第2電極の内側領域に形成された構成を採用することもでき、この場合、前記第1領域は前記第1電極の内側領域に形成されることになる。

【0012】

本発明に係る薄膜半導体装置は、例えば、電気光学装置において、電気光学物質を保持する電気光学装置用基板として用いられる。ここで、前記電気光学物質は、例えば、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された対向基板との間に保持された液晶であり、前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されている。また、前記電気光学物質は、前記電気光学装置用基板上に構成された有機エレクトロルミネッセンス材料であってもよく、この場合も、前記薄膜トランジスタおよび前記容量素子は、マトリクス状に配置された複数の画素の各々に構成されることになる。

20

【0013】

本発明に係る電気光学装置は、携帯型コンピュータや携帯電話機などといった電子機器において表示部などを構成するのに用いられる。

【発明を実施するための最良の形態】

30

【0014】

図面を参照して、代表的な電気光学装置である液晶装置に本発明を適用した例を説明する。なお、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0015】

[実施の形態1]

(液晶装置の全体構成)

図1(A)、(B)はそれぞれ、液晶装置をその上に形成された各構成要素と共に対向基板の側から見た平面図、および対向基板を含めて示す図1(A)のH-H断面図である。

40

【0016】

図1(A)、(B)において、液晶装置100(電気光学装置)では、TFTアレイ基板10(薄膜半導体装置)と対向基板20とが、対向基板20の縁に沿うように塗布されたシール材107(図1(A)の右下がりの斜線領域)によって貼り合わされている。また、TFTアレイ基板10と対向基板20の間には、電気光学物質としての液晶50が保持されている。TFTアレイ基板10の外周側には、基板辺111の側でシール材107と一部重なるようにデータ線駆動回路101が形成され、基板辺113、114の側には走査線駆動回路104が形成されている。TFTアレイ基板10において対向基板20からの張り出し領域10cには多数の端子102が形成されている。TFTアレイ基板10において基板辺111と対向する基板辺112には、画像表示領域10aの両側に設け

50

られた走査線駆動回路104同士をつなぐための複数の配線105が形成されている。また、対向基板20の4つのコーナー部には、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための基板間導通材106が形成され、この基板間導通材106は、エポキシ樹脂系の接着剤成分に銀粉や金メッキファイバーなどの導電粒子が配合されたものである。なお、シール材107は、光硬化樹脂や熱硬化性樹脂などからなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー、あるいはガラスビーズ等のギャップ材が配合されている。

#### 【0017】

詳しくは後述するが、TFTアレイ基板10には、画素電極9aがマトリクス状に形成されている。これに対して、対向基板20には、シール材107の内側領域に遮光性材料からなる周辺見切り用の遮光膜108が形成されている。さらに、対向基板20において、TFTアレイ基板10に形成されている画素電極9aの縦横の境界領域と対向する領域には、ブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。

10

#### 【0018】

このように構成した液晶装置100については、後述するように、モバイルコンピュータ、携帯電話機、液晶テレビなどといった電子機器のカラー表示装置として用いる場合には、対向基板20において各画素電極9aに対向する領域にRGBのカラーフィルタ(図示せず)などを形成する。

#### 【0019】

(液晶装置100の構成および動作)

図2は、液晶装置の電氣的構成を示すブロック図である。図2に示すように、駆動回路内蔵型のTFTアレイ基板10では、互いに交差する複数のデータ線6aと、複数の走査線3aとが交差する部分に対応して複数の画素100aがマトリクス状に構成されている。複数の画素100aの各々には、画素電極9a、および画素電極9aを制御するための画素スイッチング用のTFT30が形成されており、画素信号を供給するデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画素信号S1、S2・・・Snは、この順に線順次に供給する。また、TFT30のゲートには走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2・・・Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのオン状態とすることにより、データ線6aから供給される画素信号S1、S2・・・Snを各画素に所定のタイミングで書き込む。このようにして画素電極9aを介して液晶に書き込まれた所定レベルの画素信号S1、S2、・・・Snは、図1(B)に示す対向基板20の対向電極21との間で一定期間保持される。

20

30

#### 【0020】

ここで、TFTアレイ基板10には、保持された画素信号がリークするのを防ぐことを目的に、画素電極9aと対向電極21との間に形成される液晶容量と並列に蓄積容量70(容量素子)が付加されている。この蓄積容量70によって、画素電極9aの電圧は、例えば、ソース電圧が印加された時間よりも3桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる液晶装置100が実現できる。なお、蓄積容量70については、本形態のように、容量線3bとの間に形成する場合の他、前段の走査線3aとの間に形成する場合もある。

40

#### 【0021】

(TFTアレイ基板の構成)

図3は、TFTアレイ基板において相隣接する画素の平面図である。図4は、図3のA-A線に相当する位置での断面図である。

#### 【0022】

図3において、TFTアレイ基板10上には、複数の透明なITO(Indium Tin Oxide)膜からなる画素電極9aがマトリクス状に形成され、これら画素電極

50

9 a に対して画素スイッチング用の T F T 3 0 がそれぞれ接続している。また、画素電極 9 a の縦横の境界に沿って、データ線 6 a、走査線 3 a、および容量線 3 b が形成され、T F T 3 0 は、データ線 6 a および走査線 3 a に対して接続している。すなわち、データ線 6 a は、コンタクトホールを介して T F T 3 0 の高濃度ソース領域 1 d に電氣的に接続し、走査線 3 a は、その突出部分が T F T 3 0 のゲート電極を構成している。蓄積容量 7 0 は、画素スイッチング用の T F T 3 0 を形成するための半導体膜 1 a の延設部分を導電化したものを第 1 電極 1 f (下電極) とし、この第 1 電極 1 f に重なる容量線 3 b の矩形部分を第 2 電極 3 c (上電極) としている。

#### 【0023】

図 4 に示すように、T F T アレイ基板 1 0 では、その基体として透明基板 1 0 b が用いられ、この透明基板 1 0 b の表面には、厚さが 3 0 0 n m ~ 5 0 0 n m のシリコン酸化膜 (絶縁膜) からなる下地保護膜 1 1 が形成され、この下地保護膜 1 1 の表面には、厚さが 3 0 n m ~ 1 0 0 n m の島状の半導体膜 1 a が形成されている。半導体膜 1 a の表面には、厚さが約 5 0 ~ 1 5 0 n m のシリコン酸化膜などの絶縁膜 2 からなるゲート絶縁膜 2 a が形成され、このゲート絶縁膜 2 a の表面に、厚さが 3 0 0 n m ~ 8 0 0 n m の走査線 3 a が形成されている。半導体膜 1 a のうち、走査線 3 a に対してゲート絶縁膜 2 a を介して対峙する領域がチャネル領域 1 a (能動層) になっている。このチャネル領域 1 a に対して一方側には、低濃度ソース領域 1 b および高濃度ソース領域 1 d を備えるソース領域が形成され、他方側には低濃度ドレイン領域 1 c および高濃度ドレイン領域 1 e を備えるドレイン領域が形成されている。

#### 【0024】

画素スイッチング用の T F T 3 0 の表面側には、厚さが 3 0 0 n m ~ 8 0 0 n m のシリコン酸化膜からなる層間絶縁膜 4 が形成され、この層間絶縁膜 4 の表面には、厚さが 1 0 0 n m ~ 3 0 0 n m のシリコン窒化膜からなる層間絶縁膜 5 が形成されている。層間絶縁膜 4 の表面には、厚さが 3 0 0 n m ~ 8 0 0 n m のデータ線 6 a が形成され、このデータ線 6 a は、層間絶縁膜 4 に形成されたコンタクトホールを介して高濃度ソース領域 1 d に電氣的に接続している。層間絶縁膜 4 の表面にはデータ線 6 a と同時形成されたドレイン電極 6 b が形成され、このドレイン電極 6 b は、層間絶縁膜 4 に形成されたコンタクトホールを介して高濃度ドレイン領域 1 e に電氣的に接続している。

#### 【0025】

層間絶縁膜 5 の上層には、透光性の感光性樹脂からなる凹凸形成層 1 3 a が所定のパターンで形成されている。凹凸形成層 1 3 a の表面には、透光性の感光性樹脂からなる上層絶縁膜 7 a が形成され、この上層絶縁膜 7 a の表面には、アルミニウム膜などによって、反射モードでの画像表示を可能とする光反射膜 8 a が形成されている。光反射膜 8 a の表面には、凹凸形成層 1 3 a の凹凸が反映されて凹凸パターン 8 g が形成され、この凹凸パターン 8 g は、エッジのない、なだらかな形状になっている。光反射膜 8 a の上層には画素電極 9 a が形成されている。画素電極 9 a は、光反射膜 8 a の表面に直接、積層されてもよい。また、画素電極 9 a は、上層絶縁膜 7 a、凹凸形成層 1 3 a、層間絶縁膜 5 に形成されたコンタクトホールを介してドレイン電極 6 b に電氣的に接続している。画素電極 9 a の表面側にはポリイミド膜からなる配向膜 1 2 が形成されている。この配向膜 1 2 は、ポリイミド膜に対してラビング処理が施された膜である。なお、図 3 には、凹凸形成層 1 3 a の平面形状については、六角形で表してあるが、その形状については、円形や八角形など、種々の形状のものを採用することができる。

#### 【0026】

光反射膜 8 a には、画素電極 9 a と平面的に重なる領域の一部に、透過モードでの画像表示を可能とする矩形の光透過窓 8 d が形成されこの光透過窓 8 d に相当する部分には、I T O からなる画素電極 9 a は存在するが、光反射膜 8 a は存在しない。

#### 【0027】

高濃度ドレイン領域 1 e からの延設部分 (第 1 電極 1 f) に対しては、ゲート絶縁膜 2 a と同時形成された絶縁膜 (誘電体膜 2 b) を介して容量線 3 b の矩形部分が第 2 電極 3

10

20

30

40

50

cとして対向することにより、蓄積容量70が構成されている。

#### 【0028】

なお、TF T 30は、好ましくは上述のようにLDD構造をもつが、低濃度ソース領域1b、および低濃度ドレイン領域1cに相当する領域に不純物イオンの打ち込みを行わないオフセット構造を有していてもよい。また、TF T 30は、ゲート電極（走査線3aの一部）をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度のソースおよびドレイン領域を形成したセルフアライン型のTF Tであってもよい。

#### 【0029】

また、本形態では、TF T 30のゲート電極（走査線3a）をソース・ドレイン領域の間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）、あるいはトリプルゲート以上でTF T 30を構成すれば、チャネルとソース・ドレイン領域の接合部でのリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることができる。

10

#### 【0030】

（蓄積容量70の詳細な構成）

図3および図4に示すように、TF T アレイ基板10および蓄積容量70を平面的にみたときに、誘電体膜2cは、第1電極1fの外周縁および第2電極3cの外周縁より内側領域にゲート絶縁膜2aより膜厚が薄い第1領域201cを備え、第1領域1cの外側領域には、第1領域201cよりも膜厚が厚い第2領域202cを備えている。本形態において、第2電極3cは、第1電極1fよりも狭い面積をもって第1電極1fの内側領域に形成されているので、第1領域201cは第2電極3cの内側領域に形成されている状態にある。また、誘電体膜2cの第2領域202cは、ゲート絶縁膜2aと略同一の膜厚を備えている。

20

#### 【0031】

このように構成したTF T アレイ基板10では、TF T 30と蓄積容量70とにおいて双方の構成要素を同層としてあるので、製造方法を後述するように、TF T 30と蓄積容量70を少ない工程数で形成することができる。ここで、蓄積容量70の誘電体膜2cは、TF T 30のゲート絶縁膜2aと同層であるが、誘電体膜2cにはゲート絶縁膜2aより膜厚が薄い第1領域201cを形成してあるので、蓄積容量70の静電容量を向上することができる。

30

#### 【0032】

また、誘電体膜2cには、第1領域201cよりも膜厚が厚い第2領域202cが形成されているので、蓄積容量70の耐電圧が高い。すなわち、蓄積容量70の耐電圧は、第1電極1fと第2電極3cとの間のうち、第1電極1fの端部における誘電体膜2cの膜厚、あるいは第2電極3cの端部における誘電体膜2cの膜厚に大きく支配される傾向にあるので、本形態では、かかる支配的な部分については、選択的に誘電体膜2cの膜厚を厚くしてある。従って、蓄積容量70では、高い耐電圧が得られるとともに、耐電圧を高くするために誘電体膜2cの膜厚を厚くしたことに起因する静電容量の低下を最小限に止めることができる。よって、同一基板上に形成されたTF T 30と蓄積容量70に対して、高い耐電圧を確保するとともに、蓄積容量70の静電容量を向上することができる。

40

#### 【0033】

（対向基板20の構成）

対向基板20では、TF T アレイ基板10に形成されている画素電極9aの縦横の境界領域と対向する領域にブラックマトリクス、あるいはブラックストライプなどと称せられる遮光膜23が形成され、その上層側には、ITO膜からなる対向電極21が形成されている。また、対向電極21の上層側には、ポリイミド膜からなる配向膜22が形成され、この配向膜22は、ポリイミド膜に対してラビング処理が施された膜である。

50

## 【0034】

## ( 駆動回路の構成 )

再び図1(A)において、本形態の液晶装置100では、TFTアレイ基板10の表面側のうち、画像表示領域10aの周辺領域を利用してデータ線駆動回路101および走査線駆動回路104などの周辺回路が形成されている。データ線駆動回路101および走査線駆動回路104は、基本的には、図5に示すNチャンネル型のTFTとPチャンネル型のTFTとによって構成されている。

## 【0035】

図5は、走査線駆動回路104およびデータ線駆動回路101等の周辺回路を構成するTFTの構成を示す断面図である。図5において、周辺回路を構成するTFTは、Pチャンネル型のTFT180とNチャンネル型のTFT190とからなる相補型TFTとして構成されている。これらの駆動回路用のTFT180、190を構成する半導体膜160は、透明基板10bの下地保護膜11の表面に島状に形成されている。TFT180、190には、高電位線171と低電位線172がコンタクトホール163、164を介して、半導体膜160のソース領域に電氣的にそれぞれ接続されている。また、入力配線166は、共通のゲート電極165にそれぞれ接続されており、出力配線167は、コンタクトホール168、169を介して、半導体膜160のドレイン領域に電氣的にそれぞれ接続されている。

10

## 【0036】

このような周辺回路領域も、画像表示領域10aと同様なプロセスを経て形成されるため、周辺回路領域にも、層間絶縁膜4、5および絶縁膜2(ゲート絶縁膜)が形成されている。また、駆動回路用のN型のTFT190も、画素スイッチング用のTFT30と同様、LDD構造を有しており、チャンネル形成領域191の両側には、高濃度ソース領域192および低濃度ソース領域193からなるソース領域と、高濃度ドレイン領域194および低濃度ドレイン領域195からなるドレイン領域とを備えている。駆動回路用のP型のTFT180も、N型のTFT190と同様、LDD構造としてもよいが、本形態では、セルフアライン構造を有しており、チャンネル形成領域181の両側には、高濃度のソース領域182と高濃度のドレイン領域184とを備えている。

20

## 【0037】

## ( TFTアレイ基板の製造方法 )

図6および図7はいずれも、本形態のTFTアレイ基板10の製造方法を示す工程断面図である。なお、図6および図7はいずれも、図4および図5に対応する断面に相当する。

30

## 【0038】

まず、図6(A)に示すように、超音波洗浄等により清浄化したガラス製の透明基板10bを準備した後、その表面に下地保護膜11を形成し、次に、島状の半導体膜1a、160を形成する。かかる半導体膜1a、160を形成するには、例えば、基板温度が150~450の温度条件下で、下地保護膜11の表面に、アモルファスのシリコン膜からなる半導体膜をプラズマCVD法により30nm~100nmの厚さに形成した後、半導体膜に対してレーザー光を照射してレーザーアニールを施した後、半導体膜をフォトリソグラフィ技術を用いてパターニングする。

40

## 【0039】

次に、図6(B)に示すように、350以下の温度条件下で、透明基板10bの全面に厚さが50nm~150nmのシリコン酸化膜などの絶縁膜2(ゲート絶縁膜2aおよび誘電体膜2c)を形成する。このときの原料ガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。ここで形成する絶縁膜2aは、シリコン酸化膜に代えてシリコン窒化膜であってもよい。

## 【0040】

次に、図6(C)に示すように、絶縁膜2の表面にレジストマスク401を形成した後、このレジストマスク401を介して半導体膜1aの延設部分に、約 $0.1 \times 10^{13} /$

50

$\text{cm}^2 \sim 10 \times 10^{13} / \text{cm}^2$  のドーズ量で低濃度 N 型の不純物イオン（リンイオン）を打ち込んで、蓄積容量 70 を構成するための第 1 電極 1 f を形成する。その際、高濃度 N 型の不純物イオンを打ち込んで第 1 電極 1 f を形成してもよい。

【0041】

次に、図 6 (D) に示すように、図 3 および図 4 を参照して説明した誘電体膜 2 c の第 1 領域 2 0 1 c を形成するためのレジストマスク 4 0 2 を形成した後、このレジストマスク 4 0 1 を介して、誘電体膜 2 c の一部をエッチングして薄くし、図 6 (E) に示すように、誘電体膜 2 c に第 1 領域 2 0 1 c を形成する。その際、誘電体膜 2 c のうち、レジストマスク 4 0 1 で覆われていた部分は、エッチングされず、第 2 領域 2 0 2 c となる。なお、図 6 (C) に示す工程と、図 6 (D)、(E) に示す工程とはその順序を入れ替えてもよい。

10

【0042】

次に、図 7 (F) に示すように、スパッタ法などにより、透明基板 1 0 b の全面にアルミニウム膜、タンタル膜、モリブデン膜、またはこれらの金属のいずれかを主成分とする合金膜からなる導電膜 3 を 300 nm ~ 800 nm の厚さに形成した後、フォトリソグラフィ技術を用いてレジストマスク 4 0 3 を形成し、このレジストマスク 4 0 3 を介して導電膜 3 をドライエッチングする。その結果、図 7 (G) に示すように、走査線 3 a、ゲート電極 1 6 5、および容量線 3 b（蓄積容量 70 の第 2 電極 3 c）が形成される。

【0043】

次に、図 7 (H) に示すように、P チャネル型の TFT 1 8 0 を形成するための半導体膜 1 6 0 をレジストマスク 4 1 1 で覆った状態で、画素スイッチング用の TFT 3 0 を構成する半導体膜 1 a と、駆動回路用の N チャネル型の TFT 1 9 0 を構成する半導体膜 1 6 0 とに対して、走査線 3 a やゲート電極 1 6 5 をマスクとして、約  $0.1 \times 10^{13} / \text{cm}^2 \sim 10 \times 10^{13} / \text{cm}^2$  のドーズ量で低濃度 N 型の不純物イオン（リンイオン）を打ち込んで、走査線 3 a およびゲート電極 1 6 5 に対して自己整合的に低濃度ソース領域 1 b、1 9 3、および低濃度ドレイン領域 1 c、1 9 5 を形成する。ここで、走査線 3 a やゲート電極 1 6 5 の真下に位置しているため、不純物イオンが導入されなかった部分は半導体膜 1 a、1 6 0 のままのチャンネル領域 1 a、1 9 1 となる。

20

【0044】

次に、図 7 (I) に示すように、走査線 3 a およびゲート電極 6 6 より幅が広く、かつ P チャネル型の TFT 1 8 0 を形成するための半導体膜 1 6 0 を覆うレジストマスク 4 1 2 を形成し、この状態で、高濃度 N 型の不純物イオン（リンイオン）を約  $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$  のドーズ量で打ち込み、高濃度ソース領域 1 d、1 9 2、およびドレイン領域 1 e、1 9 4 を形成する。

30

【0045】

次に、図 7 (J) に示すように、N チャネル型の TFT 3 0、1 9 0 を形成するための半導体膜 1 a、1 6 0 をレジストマスク 4 1 3 で覆った状態で、駆動回路用の P チャネル型の駆動回路用の TFT 1 8 0 を構成する半導体膜 1 6 0 に対して、ゲート電極 1 6 5 をマスクとして、高濃度 P 型の不純物イオン（ボロンイオン）を約  $0.1 \times 10^{15} / \text{cm}^2 \sim 10 \times 10^{15} / \text{cm}^2$  のドーズ量で打ち込み、高濃度ソース領域 1 8 2、およびドレイン領域 1 8 4 を形成する。

40

【0046】

それ以降は、図 4 および図 5 に示すように、透明基板 1 0 b の表面全体に、シリコン酸化膜などからなる層間絶縁膜 4 を形成した後、層間絶縁膜 4 にコンタクトホール 1 6 3、1 6 4、1 6 8、1 6 9 などをそれぞれ形成し、しかる後に、アルミニウム膜、タンタル膜、モリブデン膜などのデータ線 6 a およびドレイン電極 6 b を形成するなど、複数の工程を行って図 4 および図 5 に示す構造の TFT アレイ基板 1 0 とするが、かかる工程については周知の工程を利用できるので、その説明を省略する。

【0047】

[実施の形態 2]

50

図 8 は、本発明の実施の形態 2 に係る電気光学装置の T F T アレイ基板において相隣接する画素の平面図である。図 9 は、図 3 および図 8 の A - A 線に相当する位置での断面を示す説明図である。なお、本形態の電気光学装置は、その基本的な構成が実施の形態 1 と同様であるため、共通する部分には同一の符号を付してそれらの説明を省略する。

【 0 0 4 8 】

図 8 および図 9 に示すように、本形態でも、T F T アレイ基板 1 0 および蓄積容量 7 0 を平面的にみたときに、誘電体膜 2 c は、第 1 電極 1 f の外周縁および第 2 電極 3 c の外周縁より内側領域にゲート絶縁膜 2 a より膜厚が薄い第 1 領域 2 0 1 c を備え、第 1 電極 1 f の外周縁および第 2 電極 3 c と重なる領域には、第 1 領域 2 0 1 c よりも膜厚が厚い第 2 領域 2 0 2 c を備えている。本形態においては、実施の形態 1 とは反対に、第 1 電極 1 f が、第 2 電極 3 c よりも狭い面積をもって第 2 電極 3 c の内側領域に形成されているので、第 1 領域 2 0 1 c は第 1 電極 1 f の内側領域に形成されている状態にある。また、誘電体膜 2 c の第 2 領域 2 0 2 c は、ゲート絶縁膜 2 a と略同一の膜厚を備えている。

【 0 0 4 9 】

このように構成した T F T アレイ基板 1 0 でも、蓄積容量 7 0 の誘電体膜 2 c は、T F T 3 0 のゲート絶縁膜 2 a と同層であるが、誘電体膜 2 c にはゲート絶縁膜 2 a より膜厚が薄い第 1 領域 2 0 1 c を形成してあるので、蓄積容量 7 0 の静電容量を向上することができる。また、誘電体膜 2 c は、第 1 電極 1 f の外周縁および第 2 電極 3 c と重なる領域では、第 1 領域 2 0 1 c よりも膜厚が厚い第 2 領域 2 0 2 c になっているので、蓄積容量 7 0 の耐電圧が高い。従って、蓄積容量 7 0 では、高い耐電圧が得られるとともに、耐電圧を高くするために誘電体膜 2 c の膜厚を厚くしたことに起因する静電容量の低下を最小限に止めることができる。よって、同一基板上に形成された T F T 3 0 と蓄積容量 7 0 に対して、高い耐電圧を確保するとともに、蓄積容量 7 0 の静電容量を向上することができる。

【 0 0 5 0 】

[ その他の実施の形態 ]

上記形態 1、2 では、ゲート絶縁膜 2 a および誘電体膜 2 c を構成する絶縁膜 2 が 1 層の例であったが、シリコン酸化膜とシリコン窒化膜との積層膜などを用いてもよい。この場合、誘電体膜 2 c の一部の領域において 2 つの絶縁膜のうち的一方を完全に除去して、膜厚の薄い第 1 領域 2 0 1 c を形成してもよい。

【 0 0 5 1 】

また、上記形態 1、2 では、トップゲート型の T F T を備えた薄膜半導体装置の例であったが、ボトムゲート型の T F T を備えた薄膜半導体装置に本発明を適用してもよい。

【 0 0 5 2 】

さらに、薄膜半導体装置としては、液晶装置の電気光学装置用基板の他、以下に説明する有機 E L 表示装置、さらには電気永動型の表示装置などといった電気光学装置に本発明を適用してもよい。

【 0 0 5 3 】

図 1 0 に示す有機 E L 表示装置 5 0 0 p は、有機半導体膜に駆動電流が流れることによって発光する E L 素子を T F T で駆動制御する表示装置であり、このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、バックライトを必要とせず、また、視野角依存性が少ないなどの利点がある。ここに示す電気光学装置 5 0 0 p では、複数の走査線 5 6 3 p と、この走査線 5 6 3 p の延設方向に対して交差する方向に延設された複数のデータ線 5 6 4 と、これらのデータ線 5 6 4 に並列する複数の共通給電線 5 0 5 と、データ線 5 6 4 と走査線 5 6 3 p との交差点に対応する画素 5 1 5 p とが構成され、画素 5 1 5 p は、画像表示領域 1 0 0 にマトリクス状に配置されている。データ線 5 6 4 に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ線駆動回路 5 5 1 p が構成されている。走査線 5 6 3 p に対しては、シフトレジスタおよびレベルシフタを備える走査線駆動回路 5 5 4 p が構成されている。また、画素 5 1 5 p の各々には、走査線 5 6 3 p を介して走査信号がゲート電極に供給されるスイッチング用

TFT509と、このスイッチング用TFT509を介してデータ線564から供給される画像信号を保持する保持容量533pと、この保持容量533pによって保持された画像信号がゲート電極に供給されるカレントTFT510と、カレントTFT510を介して共通給電線505に電氣的に接続したときに共通給電線505から駆動電流が流れ込む発光素子513とが構成されている。発光素子513は、画素電極の上層側には、正孔注入層、有機EL材料層としての有機半導体膜、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極が積層された構成になっており、対向電極は、データ線564などを跨いで複数の画素515pにわたって形成されている。

#### 【0054】

このような有機EL表示装置500pも、TFTと容量素子が同一基板上に形成された薄膜半導体装置であるので、本発明を適用してもよい。 10

#### 【0055】

[液晶装置の電子機器への適用]

本発明を適用した液晶装置100などの電気光学装置は、各種の電子機器の表示部として用いることができるが、その一例を図11(A)、(B)を参照して説明する。

#### 【0056】

図11(A)は、本発明に係る電子機器の一実施形態であるモバイル型のパーソナルコンピュータを示している。ここに示すパーソナルコンピュータ80は、キーボード81を備えた本体部82と、液晶表示ユニット83とを有する。液晶表示ユニット83は、前述した液晶装置100を含んで構成される。 20

#### 【0057】

図11(B)は、本発明に係る電子機器の他の実施形態である携帯電話機を示している。ここに示す携帯電話機90は、複数の操作ボタン91と、前述した液晶装置100からなる表示部とを有している。

#### 【図面の簡単な説明】

#### 【0058】

【図1】(A)、(B)はそれぞれ、本発明の実施の形態1に係る液晶装置をその上に形成された各構成要素と共に対向基板の側から見た平面図、および対向基板を含めて示す図1(A)のH-H断面図である。

【図2】液晶装置の電氣的構成を示すブロック図である。 30

【図3】図1に示す液晶装置のTFTアレイ基板において相隣接する画素の平面図である。

【図4】図3のA-A線に相当する位置での断面図である。

【図5】図1に示す液晶装置において周辺回路を構成するTFTの構成を示す断面図である。

【図6】本発明を適用したTFTアレイ基板の製造方法を示す工程断面図である。

【図7】本発明を適用したTFTアレイ基板の製造方法を示す工程断面図である。

【図8】本発明の実施の形態2に係る液晶装置のTFTアレイ基板において相隣接する画素の平面図である。

【図9】図8のTFTアレイ基板の断面図である。 40

【図10】有機EL表示装置の電氣的構成を示すブロック図である。

【図11】(A)、(B)はそれぞれ、本発明に係る電気光学装置を用いたモバイル型のパーソナルコンピュータを示す説明図、および携帯電話機の説明図である。

#### 【符号の説明】

#### 【0059】

1a、1g、160 半導体膜

1f 蓄積容量の第1電極

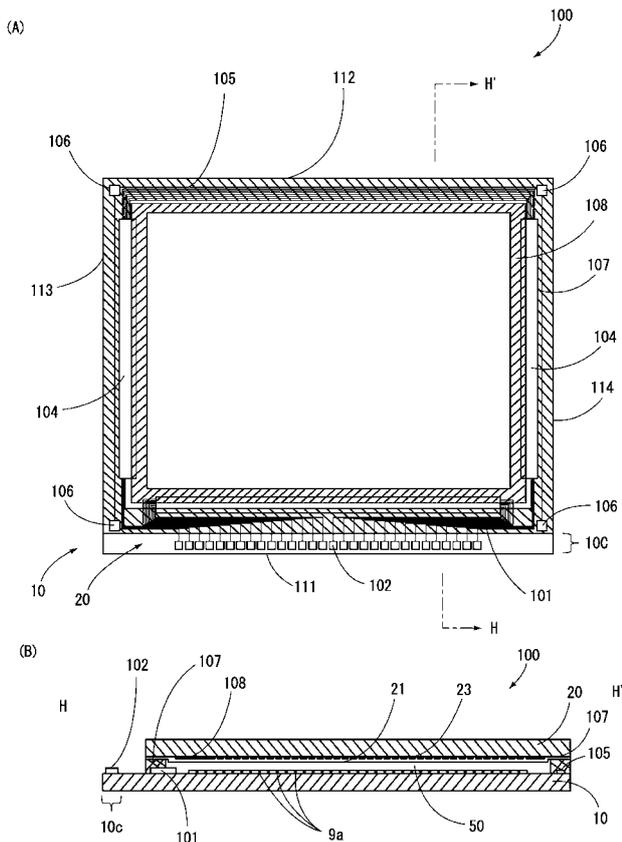
2a ゲート絶縁膜

2c 蓄積容量の誘電体膜

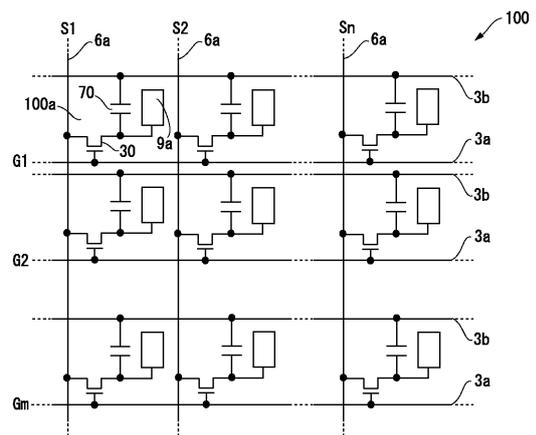
3a 走査線 50

- 3 b 容量線
- 3 c 蓄積容量の第 2 電極
- 6 a データ線
- 1 0 TFTアレイ基板 (薄膜半導体装置)
- 3 0 画素スイッチング用の TFT
- 7 0 蓄積容量 (容量素子)
- 1 0 0 液晶装置 (電気光学装置)
- 2 0 1 c 誘電体膜の第 1 領域
- 2 0 2 c 誘電体膜の第 2 領域

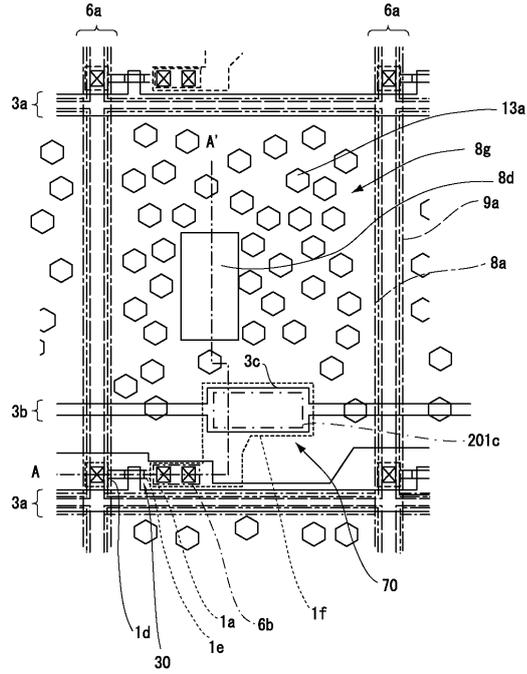
【 図 1 】



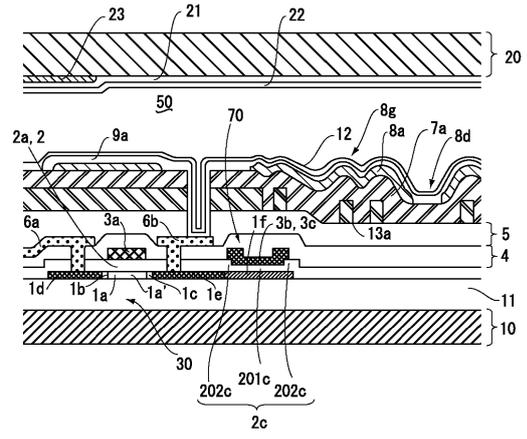
【 図 2 】



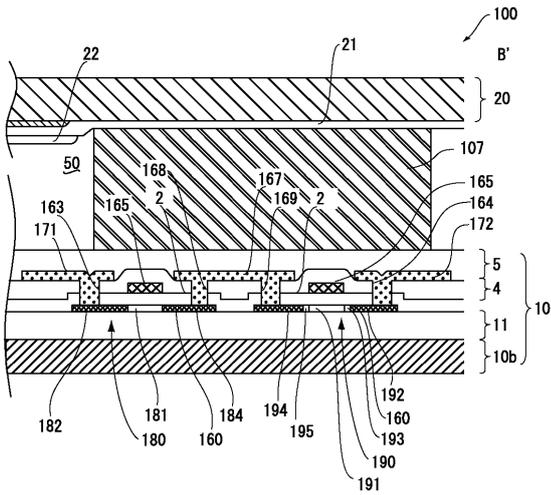
【 図 3 】



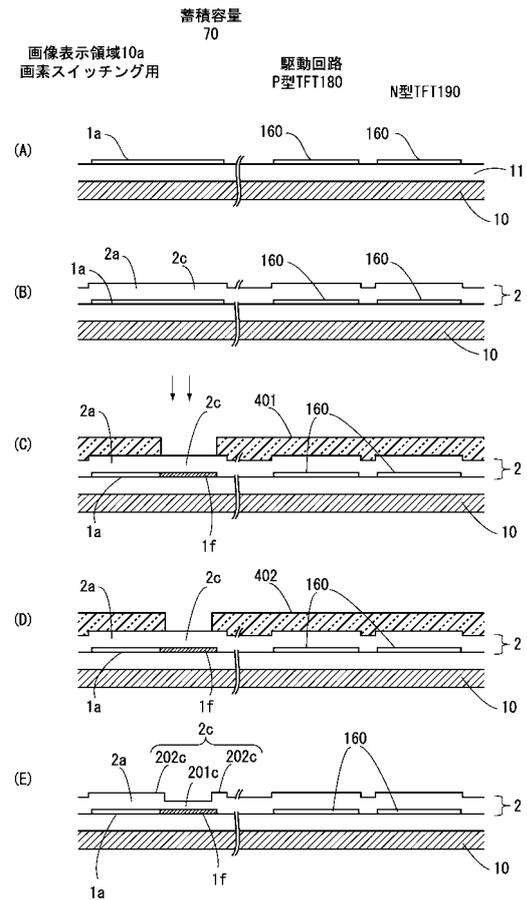
【 図 4 】



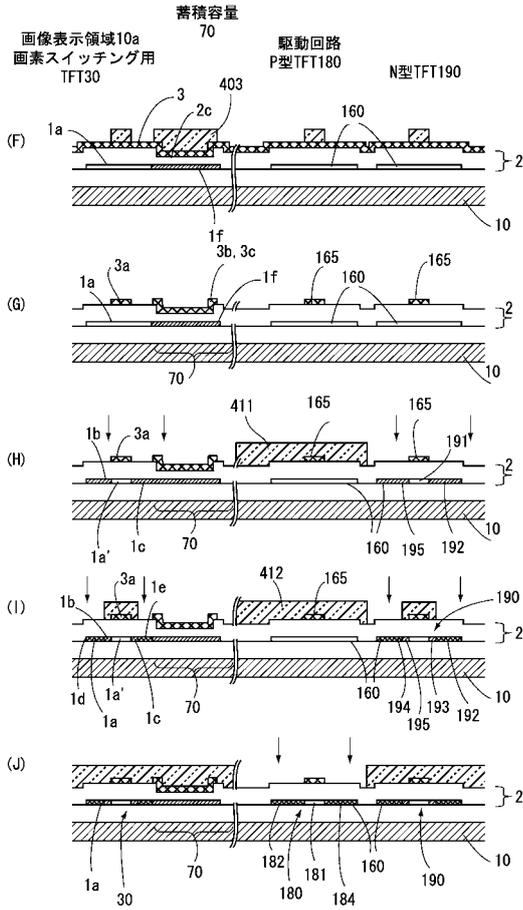
【 図 5 】



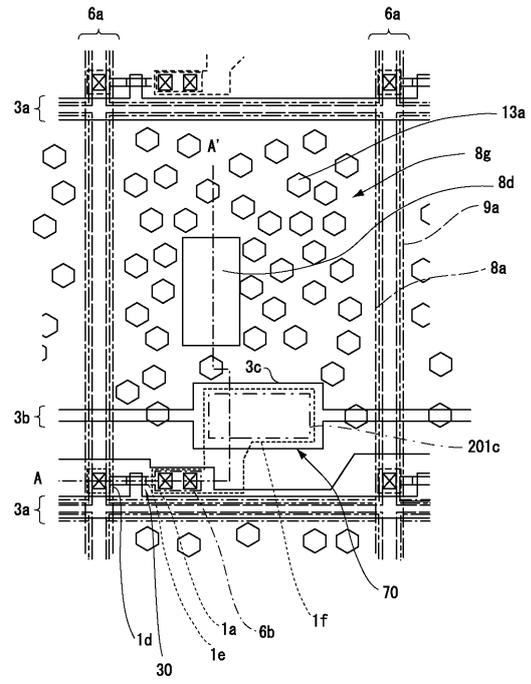
【 図 6 】



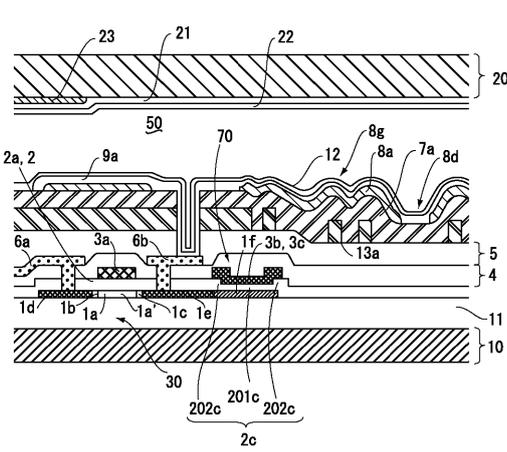
【 図 7 】



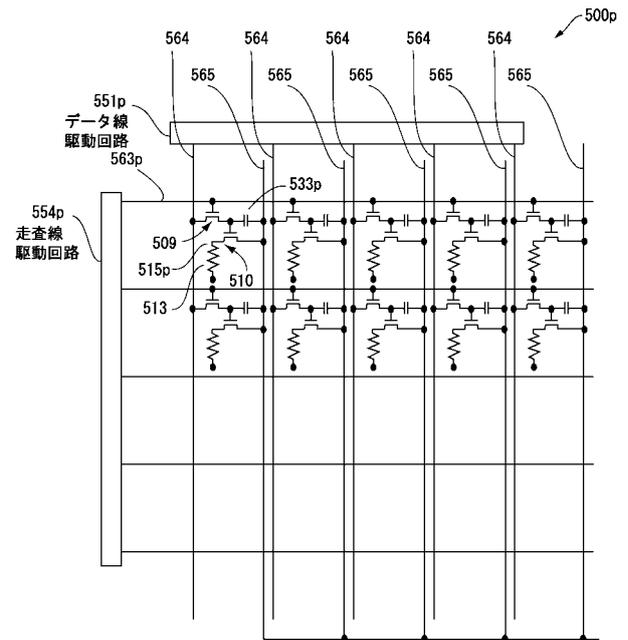
【 図 8 】



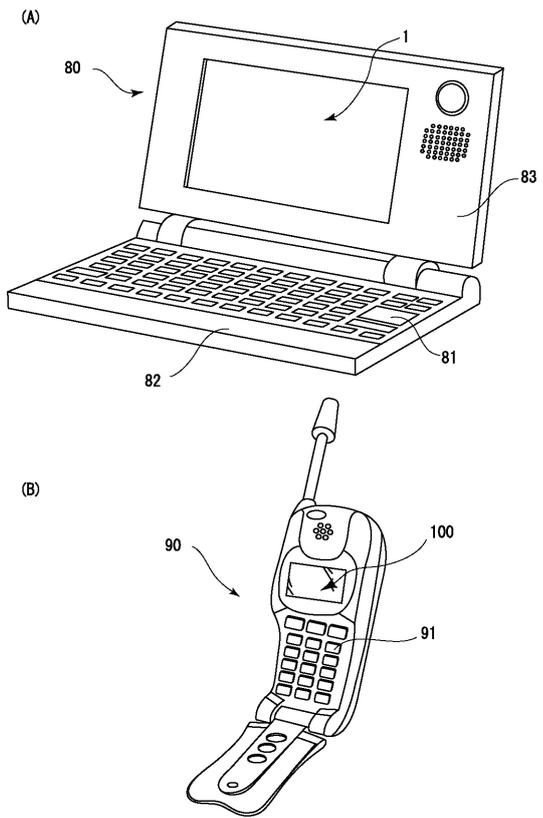
【 図 9 】



【 図 10 】



【図 1 1】



【手続補正書】

【提出日】平成17年6月3日(2005.6.3)

【手続補正1】

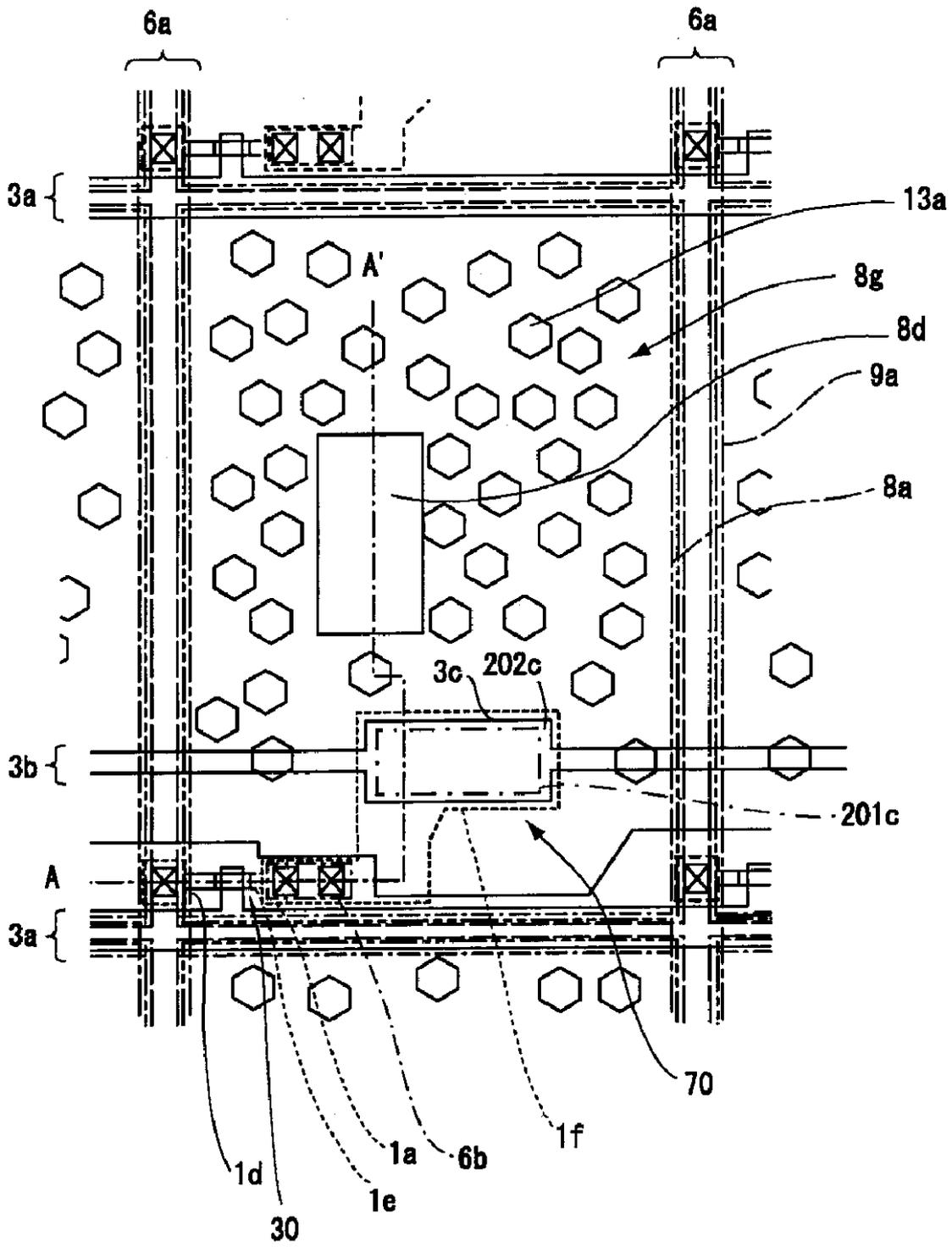
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図3】



---

フロントページの続き

F ターム(参考) 2H092 GA29 GA59 JA25 JA26 JA35 JA46 JB07 JB52 JB56 JB63  
JB65 JB69 KA05 KA11 KA15 KA18 KA21 KB04 KB11 KB23  
KB24 KB25 MA05 MA06 MA08 MA13 MA15 MA17 MA27 MA30  
MA41 NA21 NA29 PA06  
3K007 BA06 DB03 GA00  
5C094 AA05 AA15 AA21 AA31 AA42 AA43 AA53 AA55 BA03 BA29  
BA43 CA19 DA13 FB19 HA08 HA10