(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2015-201736
(P2015-201736A)
(43)公開日　平成27年11月12日(2015.11.12)

(51)Int.Cl.			F I			テーマコード（参考）
H04N	***5/347***	***(2011.01)***	H04N	5/335	470	4M118
H04N	***5/374***	***(2011.01)***	H04N	5/335	740	5C024
H01L	***27/146***	***(2006.01)***	H01L	27/14	A	

審査請求 未請求　請求項の数 9　ＯＬ　（全 20 頁）

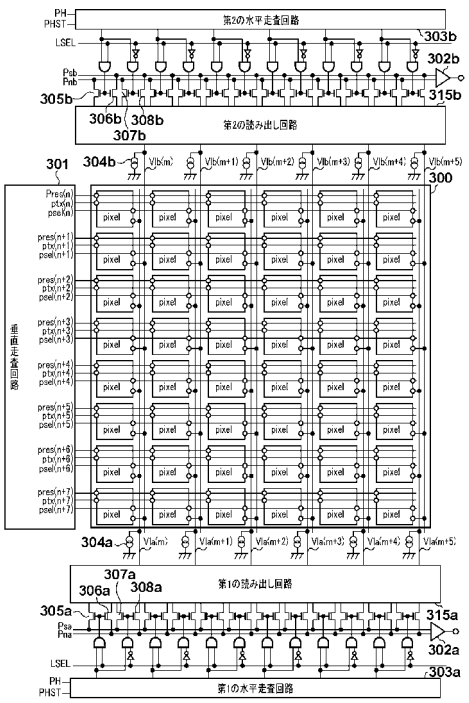
(21)出願番号　特願2014-78980(P2014-78980)
(22)出願日　平成26年4月7日(2014.4.7)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治
(74)代理人　100134175
弁理士　永川　行光

最終頁に続く

(54)【発明の名称】固体撮像素子、撮像装置及びその制御方法、プログラム、記憶媒体

(57)【要約】
【課題】回路規模の増大を抑制しつつ、画素混合から複数のアンプまでの総読み出し期間を短縮させた固体撮像素子および撮像装置を提供する。
【解決手段】行方向および列方向に配列された複数の画素と、１つの画素列について一対ずつ配置され、１つの画素列に配列された１つおきの画素が接続される第１の垂直信号線および１つの画素列に配列された残りの１つおきの画素が接続される第２の垂直信号線と、画素混合を行って画素の信号を読み出すモードが設定された場合に、同一の画素列の第１または第２の同一の垂直信号線上に、少なくとも２つの画素の信号を同時に出力するように複数の画素を駆動する駆動部とを備える。
【選択図】図３



【特許請求の範囲】
【請求項１】
行方向および列方向に配列された複数の画素と、
１つの画素列について一対ずつ配置され、前記１つの画素列に配列された１つおきの画素が接続される第１の垂直信号線および前記１つの画素列に配列された残りの１つおきの画素が接続される第２の垂直信号線と、
画素混合を行って画素の信号を読み出すモードが設定された場合に、同一の画素列の第１または第２の同一の垂直信号線上に、少なくとも２つの画素の信号を同時に出力するように前記複数の画素を駆動するとともに、前記第１の垂直信号線への信号の出力と、前記第２の垂直信号線への信号の出力とが並行して行われるように前記複数の画素を駆動する駆動手段と、を備えることを特徴とする固体撮像素子。
【請求項２】
前記画素列から前記第１の垂直信号線を介して転送された信号を保持する第１の保持手段と、前記画素列から前記第２の垂直信号線を介して転送された信号を保持する第２の保持手段と、前記第１の保持手段から転送された信号を出力する第１の出力アンプと、前記第２の保持手段から転送された信号を出力する第２の出力アンプとを、さらに備えることを特徴とする請求項１に記載の固体撮像素子。
【請求項３】
前記複数の画素の上には、ベイヤ配列のカラーフィルタが配されており、同一の画素列において、前記第１の垂直信号線と前記第２の垂直信号線へ出力される画素は、それぞれベイヤ配列における異なる色のカラーフィルタが配された画素であることを特徴とする請求項１または２に記載の固体撮像素子。
【請求項４】
行方向および列方向に配列された複数の画素と、１つの画素列について一対ずつ配置され、前記１つの画素列に配列された１つおきの画素が接続される第１の垂直信号線および前記１つの画素列に配列された残りの１つおきの画素が接続される第２の垂直信号線と、を有する固体撮像素子と、
撮影モードを設定する設定手段と、
前記設定手段により、画素混合を行って画素の信号を読み出すモードが設定された場合に、同一の画素列の第１または第２の同一の垂直信号線上に、少なくとも２つの画素の信号を同時に出力するように前記複数の画素を駆動するとともに、前記第１の垂直信号線への信号の出力と、前記第２の垂直信号線への信号の出力とが並行して行われるように前記複数の画素を駆動するように制御する制御手段と、
を備えることを特徴とする撮像装置。
【請求項５】
前記固体撮像素子は、前記画素列から前記第１の垂直信号線を介して転送された信号を保持する第１の保持手段と、前記画素列から前記第２の垂直信号線を介して転送された信号を保持する第２の保持手段と、前記第１の保持手段から転送された信号を出力する第１の出力アンプと、前記第２の保持手段から転送された信号を出力する第２の出力アンプとを、さらに備えることを特徴とする請求項４に記載の撮像装置。
【請求項６】
前記複数の画素の上には、ベイヤ配列のカラーフィルタが配されており、同一の画素列において、前記第１の垂直信号線と前記第２の垂直信号線へ出力される画素は、それぞれベイヤ配列における異なる色のカラーフィルタが配された画素であることを特徴とする請求項４または５に記載の撮像装置。
【請求項７】
行方向および列方向に配列された複数の画素と、１つの画素列について一対ずつ配置され、前記１つの画素列に配列された１つおきの画素が接続される第１の垂直信号線および前記１つの画素列に配列された残りの１つおきの画素が接続される第２の垂直信号線と、を有する固体撮像素子と、撮影モードを設定する設定手段と、を備える撮像装置を制御す

る方法であって、
前記設定手段により、画素混合を行って画素の信号を読み出すモードが設定された場合に、同一の画素列の第１または第２の同一の垂直信号線上に、少なくとも２つの画素の信号を同時に出力するように前記複数の画素を駆動するとともに、前記第１の垂直信号線への信号の出力と、前記第２の垂直信号線への信号の出力とが並行して行われるように前記複数の画素を駆動するように制御する制御工程を有することを特徴とする撮像装置の制御方法。
【請求項８】
請求項７に記載の制御方法をコンピュータに実行させるためのプログラム。
【請求項９】
請求項７に記載の制御方法をコンピュータに実行させるためのプログラムを記憶したコンピュータが読み取り可能な記憶媒体。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像素子および撮像装置に関するものである。
【背景技術】
【０００２】
近年、デジタルカメラ等の撮像装置においては、固体撮像素子にＣＭＯＳ撮像素子が用いられるとともに、静止画・動画双方の撮影を可能としたものが一般的となっている。このＣＭＯＳ撮像素子については、多画素化が進み、画像情報量が増加している中、ユーザーからは高速連写、動画時における高フレームレート化を可能とする読み出しの高速化が望まれている。
【０００３】
動画撮影に関しては、液晶画面上に画像表示を行うライブビューモードや、ＨＤ、４Ｋ、２Ｋ等の各動画フォーマットがあり、画像情報として画素信号を読み出す際、各々のフォーマットに応じた画素数に低画素数化する必要がある。この際、特定の周期で画素を読み飛ばすことで低画素数化する間引き処理よる手法を用いると、モアレの発生など画質劣化の要因となる。このため、解像感を損なわず必要情報量として画素数を削減して読み出す手法として、撮像素子内で画素出力混合処理（加算平均）を行い、高速に読み出す技術が特許文献１に開示されている。
【０００４】
特許文献１では、画素出力を混合して読み出す際、画素出力を混合する複数の行を同時に選択し、同列の画素信号を同一の垂直信号線上に同時に出力させ、垂直信号線上にて信号の混合を行うことで、画素出力が混合された信号として読み出しを行う構成としている。これにより、画素出力の混合による読み出しに際して、個別に容量等を設けることなく高速に読み出すことを可能としている。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特許第５２５０４７４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
しかしながら、特許文献１においては、同一列上の画素信号に対する垂直信号線は１線であるため、画素出力の混合も同一列に対しては１本の垂直信号線で行うことになる。すなわち、同一列の画素信号を１本の垂直信号線から順次読みだす必要があり、読み出した画素信号を１列毎に備えられた保持容量に一旦保持した後、順次水平転送することにより１行分の画素信号を読み出さなければならない。そのため、１行分の読み出しを終えるまでは、次行の読み出しをすることができず、読み出しに時間を要するようになっていた。

【０００７】
本発明は上述した課題に鑑みてなされたものであり、その目的は、回路規模の増大を抑制しつつ、画素出力の混合処理から水平転送までの総読み出し期間を短縮させることである。
【課題を解決するための手段】
【０００８】
本発明に係わる固体撮像素子は、行方向および列方向に配列された複数の画素と、１つの画素列について一対ずつ配置され、前記１つの画素列に配列された１つおきの画素が接続される第１の垂直信号線および前記１つの画素列に配列された残りの１つおきの画素が接続される第２の垂直信号線と、画素混合を行って画素の信号を読み出すモードが設定された場合に、同一の画素列の第１または第２の同一の垂直信号線上に、少なくとも２つの画素の信号を同時に出力するように前記複数の画素を駆動するとともに、前記第１の垂直信号線への信号の出力と、前記第２の垂直信号線への信号の出力とが並行して行われるように前記複数の画素を駆動する駆動手段と、を備えることを特徴とする。
【発明の効果】
【０００９】
本発明によれば、回路規模の増大を抑制しつつ、画素出力の混合から水平転送までの総読み出し期間を短縮させた固体撮像素子および撮像装置を提供することが可能となる。
【図面の簡単な説明】
【００１０】
【図１】本発明の第１の実施形態に係わる撮像装置を示すブロック図。
【図２】第１の実施形態における固体撮像素子の画素部の構成図。
【図３】第１の実施形態における固体撮像素子の構成図。
【図４】第１の実施形態における固体撮像素子の読み出し回路の構成図。
【図５】第１の実施形態における固体撮像素子のベイヤ配列の一例を示す図。
【図６】第１の実施形態における画素出力混合による読み出し時の駆動タイミングを示す図。
【図７】第１の実施形態におけるベイヤ配列を固体撮像素子に適用した場合の模式図。
【図８】第２の実施形態における画素出力混合による読み出し時の駆動タイミングを示す図。
【図９】第２の実施形態におけるベイヤ配列を固体撮像素子に適用した場合の模式図。
【図１０】第１及び第２の実施形態における全画素読み出し時の駆動タイミングを示す図。
【発明を実施するための形態】
【００１１】
以下、本発明の実施形態について、添付図面を参照して詳細に説明する。
【００１２】
（第１の実施形態）
図１は、本発明の第１の実施形態に係わる撮像装置１００の構成を示す全体ブロック図である。図１において、撮像素子１０１はＣＭＯＳ撮像素子であり、不図示の撮影レンズで結像された被写体像を光電変換する。ＡＦＥ（Ａｎａｌｏｇ　Ｆｒｏｎｔ　Ｅｎｄ）１０２は、撮像素子１０１からの信号の増幅や基準レベルの調整（クランプ処理）などを行う信号処理回路である。また上記処理を行ったアナログ信号をデジタル信号に変換する。
【００１３】
ＤＦＥ（Ｄｉｇｉｔａｌ　Ｆｒｏｎｔ　Ｅｎｄ）１０３は、ＡＦＥ１０２で変換された各画素のデジタル画像信号の各種補正や画素の並び替え等のデジタル処理などを行う。画像処理装置１０５は、現像処理を行って表示回路８に画像を表示する、あるいは制御回路１０６を介して画像を記録媒体１０９に記録する、といった処理を行う。
【００１４】
制御回路１０６は、操作部１０７からのユーザーによる指示や、メモリ回路１０４に記

憶されている情報に基づきタイミング発生回路１１０に命令を送る制御なども行う。メモリ回路１０４は、画像処理装置１０５の現像段階での作業用メモリとして、あるいは連続撮像等のバッファメモリとしても使用される。

【００１５】

操作部１０７には、デジタルカメラを起動させるための電源スイッチが含まれる。また、測光処理、測距処理などの撮影準備動作開始や、ミラー、シャッターを駆動するとともに撮像素子１０１から読み出した信号を処理して記録媒体１０９に書き込む一連の撮像動作の開始を指示するシャッタースイッチなども含まれる。また、撮像装置の動作モードの設定・切り換えを行うモードスイッチも含まれ、モードスイッチの設定により、動画撮影を行う動画モード、通常の静止画撮影を行う静止画モードの設定・切り換えが行われる。タイミング発生回路１１０は、制御回路１０６からの信号を受け撮像素子１０１を駆動する各制御信号についてタイミングの生成・出力を行う。

【００１６】

図２は、図１中の撮像素子１０１における受光素子を含む単位画素部（Ｐｉｘｅｌ）を示す図である。

【００１７】

図２において、光信号電荷を発生するフォトダイオード２０１は、この例ではアノードが接地されている。フォトダイオード２０１のカソード側には、転送トランジスタ２０２を介してフローティングディフュージョン（ＦＤ）２０６が接続されている。また、ＦＤ２０６は、増幅トランジスタ２０４のゲートに接続されている。また、増幅トランジスタ２０４のゲートには、これをリセットするためのリセットトランジスタ２０３のソースが接続されている。リセットトランジスタ２０３のドレインには電源電圧ＶＤＤが供給されている。

【００１８】

さらに増幅トランジスタ２０４にも電源電圧ＶＤＤが供給され、増幅トランジスタ２０４のソースは選択トランジスタ２０５のドレインに接続されている。上記の転送トランジスタ２０２は、そのゲート端子に入力されるＰｔｘ信号により駆動され、フォトダイオード２０１の信号電荷をＦＤ２０６に転送する。

【００１９】

リセットトランジスタ２０３のゲート端子はＰｒｅｓ信号により駆動され、ＦＤ２０６およびフォトダイオード２０１をリセットする。このリセット後の出力信号がノイズ信号として読み出されることになる。選択トランジスタ２０５のゲート端子はＰｓｅｌ信号により駆動され、接続される各増幅トランジスタによって増幅された電気信号をＶｏｕｔ端子へ出力する。

【００２０】

上記のＶｏｕｔ端子は、後述する図３の第１の垂直信号線Ｖｌａ、第２の垂直線信号線Ｖｌｂの各々に接続されている。また、増幅トランジスタ２０４は、選択トランジスタ２０５を介して垂直信号線負荷と接続されることで、ソースフォロワアンプとして機能する。

【００２１】

図３は、撮像素子１０１の構成例を示すブロック図である。画素領域３００は、図２に示した単位画素部を行方向および列方向に複数有するものであるが、ここでは説明を簡略化するため６ｘ８画素のみを図示しており、水平・垂直方向に所定数繰り返し配置されることで画素領域３００を構成するものである。なお、画素領域３００における各単位画素部には、図５に示すようなＲ，Ｇ，Ｂのカラーフィルタがベイヤ状に配置され、また、単位画素部が配列される画素列の１列に対して、垂直信号線は一対となる２本ずつ配されている。

【００２２】

そして、各列の単位画素部は行毎に交互に異なる垂直信号線へ接続される。すなわち、ベイヤ状のカラーフィルタの配列と合わせて、同列にある同色の単位画素部が同一の垂直

信号線に接続される。なお図中、各制御信号名に続く（ｎ）はｎ行目、（ｎ＋１）ではｎ＋１行目を指し示すものである。また第１および第２の垂直信号線Ｖｌａ～Ｖｌｂに続く（ｍ）は画素列であるｍ列、（ｍ＋１）ではｍ＋１列目を指し示すものである。

【００２３】

垂直走査回路３０１は、タイミング発生回路１１０からの信号を受けて、信号Ｐｒｅｓ、Ｐｔｘ、Ｐｓｅｌを、各行選択線を介して画素領域３００に出力する。上述の各制御信号は、同一行に配列された各単位画素部に共通に接続されており、同一行の画素は同時に駆動される。

【００２４】

各単位画素部のＶｏｕｔ端子は、ｎ行目では垂直信号線Ｖｌａを介して負荷である定電流源３０４ａに接続され、第１の読み出し回路３１５ａによりＶｏｕｔ端子の出力信号が読み出される。ｎ＋１行目では垂直信号線Ｖｌｂを介して負荷である定電流源３０４ｂに接続され、第２の読み出し回路３１５ｂによりＶｏｕｔ端子の出力信号が読み出される。なお、第１の読み出し回路３１５ａと第２の読み出し回路３１５ｂは、同一構成となっており、接続先がそれぞれ第１の垂直信号線Ｖｌａ、第２の垂直信号線Ｖｌｂと異なるだけである。同様に、次行以降においても各単位画素部のＶｏｕｔ端子は、行毎に交互に異なる垂直信号線に接続され、第１の読み出し回路３１５ａまたは第２の読み出し回路３１５ｂによりＶｏｕｔ端子の出力信号が読み出される。

【００２５】

なお、上記構成によりカラーフィルタのベイヤ状による色配置の関係と、画素部の出力端が行毎に異なる垂直信号線へ接続されることで、同一列上において同色となる画素出力は、同一の垂直信号線上に出力される。

【００２６】

第１および第２の読み出し回路３１５ａ，３１５ｂは、画素領域３００から読み出される画素信号及びノイズ信号を、同回路内の転送容量で保持する。詳細については後述する。また、第１および第２の読み出し回路３１５ａ，３１５ｂは、それぞれ第１の保持ブロック、第２の保持ブロックとなる。

【００２７】

転送トランジスタ３０５ａ，３０７ａおよび３０６ａ，３０８ａは、第１の水平走査回路３０３ａからの走査クロック信号ＰＨおよび走査行切り換え信号ＬＳＥＬにより発生する制御信号を受けて、第１の読み出し回路３１５ａ内の転送容量に記憶された信号を、水平読み出し線ＰｓａまたはＰｎａに出力する。この際、転送トランジスタ３０５ａ，３０７ａにより水平読み出し線Ｐｓａに、転送トランジスタ３０６ａ，３０８ａによって水平読み出し線Ｐｎａに出力がなされる。

【００２８】

同様に、転送トランジスタ３０５ｂ，３０７ｂおよび３０６ｂ，３０８ｂは、第２の水平走査回路３０３ｂからの走査クロック信号ＰＨおよび走査行切り換え信号ＬＳＥＬにより発生する制御信号を受けて、第２の読み出し回路３１５ｂ内の転送容量に記憶された信号を、水平読み出し線ＰｓｂまたはＰｎｂに順次出力する。この際、転送トランジスタ３０５ｂ，３０７ｂにより水平読み出し線Ｐｓｂに、転送トランジスタ３０６ｂ，３０８ｂによって水平読み出し線Ｐｎｂに出力がなされる。

【００２９】

なお、信号ＬＳＥＬがＨｉ状態では転送トランジスタ３０５ａ，３０６ａ，３０５ｂ，３０６ｂが、信号ＬＳＥＬがＬｏ状態では転送トランジスタ３０７ａ，３０８ａ，３０７ｂ，３０８ｂが動作可能となる。これにより行毎に転送容量の使い分けを行い、１水平走査期間中に画素部からの信号読み出しと、水平転送による順次出力の同時動作を行えるようにしている。

【００３０】

第１の水平走査回路３０３ａは、走査クロック信号ＰＨと信号ＰＨＳＴにより、水平読み出し線Ｐｓａ，Ｐｎａへの信号出力を順次行わせる。第２の水平走査回路３０３ｂは、

走査クロック信号ＰＨと信号ＰＨＳＴにより、水平読み出し線Ｐｓｂ、Ｐｎｂへの信号出力を順次行わせる。

【００３１】

差動アンプ３０２ａは、水平読み出し線Ｐｓａの信号と水平読み出し線Ｐｎａの信号との差分を撮像素子の外部に出力する。同様に、差動アンプ３０２ｂは、水平読み出し線Ｐｓｂの信号と水平読み出し線Ｐｎｂの信号との差分を撮像素子の外部に出力する。また、差動アンプ３０２ａ，３０２ｂは、最終段読み出し回路に相当する。

【００３２】

図４は、図３に示した第１および第２の読み出し回路３１５ａ，３１５ｂにおける回路例を示す図である。図４については、例として、第１の読み出し回路３１５ａにおける画素１列分のｍ列における垂直信号線Ｖｌａ（ｍ）が接続される１線分の読み出し回路を示しており、画素列数に応じて他列分についても同様に構成されている。

【００３３】

また、第２の読み出し回路３１５ｂも接続先が垂直信号線Ｖｌｂ（ｍ）および水平読み出し線Ｐｓｂ，Ｐｎｂに接続される転送トランジスタが異なるだけであり、読み出し回路１と同様の構成となっている。

【００３４】

各画素部の端子Ｖｏｕｔからの出力は、信号Ｐｃｔｓ１、信号Ｐｃｔｎ１、信号Ｐｃｔｓ２、信号Ｐｃｔｎ２で駆動される各々に接続されている転送トランジスタ４０３ａ，４０４ａ，４０７ａ，４０８ａを介して、各々の転送容量４０１ａ，４０２ａ，４０５ａ，４０６ａに保持される。

【００３５】

なお、後述するタイミングチャートの駆動により、画素回路部で発生するノイズ信号は転送容量４０２ａまたは４０６ａに保持され、その後フォトダイオード２０１からＦＤ２０６に転送した電荷に応じた画素信号は転送容量４０１ａまたは４０５ａに保持されることになる。上述した各転送容量に保持された各信号を差動アンプ３０２ａ，３０２ｂへ順次転送することにより、１行分の画素信号の出力を行う。

【００３６】

図６は、図１～図５で説明した固体撮像素子を駆動するタイミングチャートであり、動画撮影モードなどの画素出力加算読み出し時における動作タイミングを示している。本実施形態においては、垂直同色の２画素出力を垂直信号線に同時出力し、垂直信号線上で混合する。

【００３７】

ソースフォロアとして機能する増幅トランジスタ２０４に入力される信号電圧が等しい、または近い場合に、負荷定電流源３０４ａまたは３０４ｂの電流が、接続される各増幅トランジスタに均等に分配される。それにより信号電圧が平均化されることを利用するものである。さらに、垂直信号線の１線に対して備えられた、画素信号およびノイズ信号を保持する転送容量の各２対（２系統分）を使い分ける。これにより、１水平走査期間中において、画素部からの信号読み出しと、水平転送動作を異なる行間で同時に動作させるように駆動する。そして、２本の垂直信号線による画素１列分に対する２行同時読み出し動作と併せて、画素混合（平均）時の読み出し動作を、簡易な構成でかつ高速に行うことを可能としている。

【００３８】

なお、図中において、信号レベルの『Ｈｉ』状態は駆動トランジスタをＯＮ、『Ｌｏ』状態は駆動トランジスタをＯＦＦするものとする。また、説明を分かりやすくするため、全画素リセット及び全画素蓄積開始するタイミングは省略し、画素信号の読み出し動作時のタイミングのみを示す。

【００３９】

時刻ｔ１からｔ８までの１水平走査期間においては、ｎ行目、ｎ＋２行目、ｎ＋３行目、ｎ＋５行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。ま

た、それと同時に並行して、不図示のｎ－６行目、ｎ－４行目、ｎ－１行目、ｎ－３行目における画素信号およびノイズ信号が、転送容量より順次出力アンプに出力される動作が行われることになる。

【００４０】

次に、上記時間帯におけるｎ－６行目、ｎ－４行目、ｎ－１行目、ｎ－３行目における動作について説明する。時刻ｔ１にて信号ＬＳＥＬがＬｏになり、第１および第２の水平走査回路３０３ａ，３０３ｂに入力される水平走査クロック信号ＰＨに同期して、転送容量４０５ａに記憶された信号が、転送トランジスタ３０７ａを介して水平読み出し線Ｐｓａに順次読み出される。同時に転送容量４０６ａに記憶された信号が、転送トランジスタ３０８ａを介して水平読み出し線Ｐｎａに順次読み出される。

【００４１】

同時に転送容量４０５ｂに記憶された信号が、転送トランジスタ３０７ｂを介して水平読み出し線Ｐｓｂに順次読み出される。同時に転送容量４０６ｂに記憶された信号が、転送トランジスタ３０８ｂを介して水平読み出し線Ｐｎｂに順次読み出される。出力アンプ３０２ａは、水平読み出し線Ｐｓａと水平読み出し線Ｐｎａの差分信号を外部に出力する。このとき出力される信号は、ｎ－６行目、ｎ－４行目の出力が混合された信号となる。同様に、出力アンプ３０２ｂは、水平読み出し線Ｐｓｂと水平読み出し線Ｐｎｂの差分信号を外部に出力する。このとき出力される信号は、ｎ－１行目、ｎ－３行目の出力が混合された信号となる。

【００４２】

次に、上述した外部への出力と同時に行われる、ｎ行目、ｎ＋２行目、ｎ＋３行目、ｎ＋５行目における信号電荷の転送容量への転送動作について説明する。

【００４３】

時刻ｔ２にて信号Ｐｓｅｌ（ｎ）、信号Ｐｓｅｌ（ｎ＋２）がＬｏからＨｉになり、ｎ行目およびｎ＋２行目における選択トランジスタ２０５がＯＮされ、ｎ行目およびｎ＋２行目の各ソースフォロア出力が第１の垂直信号線Ｖｌａに接続される。同時に信号Ｐｓｅｌ（ｎ＋３）、信号Ｐｓｅｌ（ｎ＋５）がＬｏからＨｉになり、ｎ＋３行目およびｎ＋５行目における選択トランジスタ２０５がＯＮされ、ｎ＋３行目およびｎ＋５行目の各ソースフォロア出力が第２の垂直信号線Ｖｌｂに接続される。

【００４４】

また、時刻ｔ２において、信号Ｐｒｅｓ（ｎ）、信号Ｐｒｅｓ（ｎ＋２）、および信号Ｐｒｅｓ（ｎ＋３）、信号Ｐｒｅｓ（ｎ＋５）がＬｏからＨｉになる。そして、ｎ行目、ｎ＋１行目、およびｎ＋３行目、ｎ＋５行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。

【００４５】

時刻ｔ３で、リセットが終了するとともに信号Ｐｃｔｎ１がＬｏからＨｉになり、転送トランジスタ４０４ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０２ａに記憶する。時刻ｔ４で信号Ｐｃｔｎ１がＨｉからＬｏになり、ノイズ成分の転送容量４０２ａへの記憶を終了する。

【００４６】

時刻ｔ５にて、信号Ｐｔｘ（ｎ）、信号Ｐｔｘ（ｎ＋２）がＬｏからＨｉになり、ｎ行目およびｎ＋２行目における転送トランジスタ２０２がＯＮする。そして、ｎ行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋２行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、ｎ行目の電圧信号とｎ＋２行目の電圧信号が同時に第１の垂直信号線Ｖｌａ上に出力されて混合される。

【００４７】

同時に信号Ｐｔｘ（ｎ＋３）、信号Ｐｔｘ（ｎ＋５）がＬｏからＨｉになり、ｎ＋３行目およびｎ＋５行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋３行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋５行目のＰＤ２０１に蓄積された信号電荷がＦ

Ｄ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、ｎ＋３行目の電圧信号とｎ＋５行目の電圧信号が同時に第２の垂直信号線Ｖｌｂ上に出力されて混合される。

【００４８】

時刻ｔ６にて、Ｐｔｃｓ１信号がＬｏからＨｉになり、転送トランジスタ４０３ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂで混合された画素信号を、読み出し回路１および２内の転送容量４０１ａに記憶する。時刻ｔ７でＰｔｃｓ１信号がＨｉからＬｏになり、転送トランジスタ４０３ａをＯＦＦし、転送容量４０１ａへの記憶を終了する。その後、時刻ｔ８から時刻ｔ１５までの１水平走査期間で、混合されたｎ行目とｎ＋２行目の信号が、出力アンプ３０２ａより出力され、同時に混合されたｎ＋３行目とｎ＋５行目の信号が、出力アンプ３０２ｂより出力される。

【００４９】

時刻ｔ８で、信号Ｐｓｅｌ（ｎ）、信号Ｐｓｅｌ（ｎ＋２）および信号Ｐｓｅｌ（ｎ＋３）、信号Ｐｓｅｌ（ｎ＋５）がＨｉからＬｏになり、選択トランジスタ２０５がＯＦＦされ、ｎ行目、ｎ＋２行目、およびｎ＋３行目、ｎ＋５行目について、第１および第２の垂直信号線ＶｌａおよびＶｌｂへの接続を解除する。

【００５０】

時刻ｔ９からは、前述の説明と同様に、次行として読み出すｎ＋６行目、ｎ＋８行目を第１の垂直信号線Ｖｌａに、ｎ＋９行目、ｎ＋１１行目を第２の垂直信号線Ｖｌｂに接続し、混合された画素信号を読み出す。この際、異なる点として、行そのものを選択する信号Ｐｓｅｌ以外に、第１および第２の読み出し回路３１５ａ，３１５ｂ内のノイズ信号および画素信号を保持する転送容量および転送トランジスタ、また水平読み出し線へ信号を転送する転送トランジスタ、およびそれらの制御信号は別のものとなる。

【００５１】

なお、１水平走査期間毎に、前術した前行の転送容量を合わせて切り替えて使用することで、前行での画素出力の水平転送と、今行における画素信号の読み出しの同時動作が可能となり、画素１列に対する垂直信号線の複線化と併せて、高速に読み出すことが可能となる。

【００５２】

時刻ｔ９にて信号Ｐｓｅｌ（ｎ＋６）、信号Ｐｓｅｌ（ｎ＋８）がＬｏからＨｉになり、ｎ＋６行目およびｎ＋８行目における選択トランジスタ２０５がＯＮされ、ｎ＋６行目およびｎ＋８行目の各ソースフォロア出力が第１の垂直信号線Ｖｌａに接続される。同時に信号Ｐｓｅｌ（ｎ＋９）、信号Ｐｓｅｌ（ｎ＋１１）がＬｏからＨｉになり、ｎ＋９行目およびｎ＋１１行目における選択トランジスタ２０５がＯＮされ、ｎ＋９行目およびｎ＋１１行目の各ソースフォロア出力が第２の垂直信号線Ｖｌｂに接続される。

【００５３】

また、時刻ｔ９において、信号Ｐｒｅｓ（ｎ＋６）、信号Ｐｒｅｓ（ｎ＋８）および信号Ｐｒｅｓ（ｎ＋９）、信号Ｐｒｅｓ（ｎ＋１１）がＬｏからＨｉになる。そして、ｎ＋６行目、ｎ＋８行目、およびｎ＋９行目、ｎ＋１１行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。

【００５４】

時刻ｔ１０で、リセットが終了するとともに信号Ｐｃｔｎ２がＬｏからＨｉになり、転送トランジスタ４０８ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０６ａに記憶する。時刻ｔ１１で信号Ｐｃｔｎ２がＨｉからＬｏになり、ノイズ成分の転送容量４０６ａへの記憶を終了する。

【００５５】

時刻ｔ１２にて、信号Ｐｔｘ（ｎ＋６）、信号Ｐｔｘ（ｎ＋８）がＬｏからＨｉになり、ｎ＋６行目およびｎ＋８行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋６行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋８行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換され

る。そして、同時に第１の垂直信号線Ｖｌａ上に出力されて混合される。
同時に信号Ｐｔｘ（ｎ＋９）、信号Ｐｔｘ（ｎ＋１１）がＬｏからＨｉになり、ｎ＋９行目およびｎ＋１１行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋９行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋１１行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、同時に第２の垂直信号線Ｖｌｂ上に出力されて混合される。

【００５６】

時刻ｔ１３にて、信号Ｐｔｃｓ２がＬｏからＨｉになり、転送トランジスタ４０７ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂで混合された画素信号を、読み出し回路１および２内の転送容量４０５ａに記憶する。時刻ｔ１４で信号Ｐｔｃｓ２がＨｉからＬｏになり、転送トランジスタ４０７ａをＯＦＦし転送容量４０５ａへの記憶を終了する。

【００５７】

その後の１水平走査期間で、混合されたｎ＋６行目とｎ＋８行目の信号が、出力アンプ３０２ａより出力され、同時に混合されたｎ＋９行目とｎ＋１１行目の信号が、出力アンプ３０２ｂより出力される。なお、行走査切り換え信号ＬＳＥＬは、１水平走査毎に、Ｌｏ状態とＨｉ状態が切り換えられ、交互にＬｏ、Ｈｉ状態となる。

【００５８】

行走査切り換え信号ＬＳＥＬの状態により、転送容量からの信号を転送する転送トランジスタが有効となるが、１水平走査毎に切り替えることにより、前の１水平走査中に画素信号を保持した転送容量にあわせて転送トランジスタの動作を有効として、予め転送容量に保持されていた信号を順次出力させることで、同時に次行の読み出しも別転送容量および転送トランジスタにて動作を可能とさせている。

【００５９】

このような動作を、固体撮像素子が持つ行数分を順次繰り返すことで、画素出力混合時においても、高速に読み出すことが可能となる。

【００６０】

図７は本実施形態における読み出しを、ベイヤ配列のカラー撮像素子に適用した場合の模式図であり、混合読み出し動作を示す模式図である。

【００６１】

本実施形態においては、同一列の画素列に対して、２本の垂直信号線を有しているため、ベイヤ配列の各色成分ごとに異なる垂直信号線に読み出すことになる。同一列のＲの信号については第１の垂直信号線Ｖｌａ（ｍ）に読み出され、Ｇｂの信号が第２の垂直信号線Ｖｌｂ（ｍ）に読みだされ、Ｇｒの信号が第１の垂直信号線Ｖｌａ（ｍ＋１）に読み出され、Ｂの信号が第２の垂直信号線Ｖｌｂ（ｍ＋１）に読みだされる。

【００６２】

図７において、ハッチングが掛っている画素は、読み出しを行わない画素である。また前述したような画素出力混合動作を行わせた場合、同色の信号の２画素分の混合が垂直信号線上で行われる。また、混合した後の画像はベイヤ配列であり、従来同様の信号処理が可能である。なお、混合により、各色の重心は、混合される同色２画素分の領域の中心となり、混合前では異なる色が配された画素上に位置することになるが、混合後の信号の重心が等間隔であることから、モアレ等の偽信号の発生を抑圧できる。

【００６３】

（第２の実施形態）

図８は、本発明の第２の実施形態における固体撮像素子を駆動するタイミングチャートであり、画素出力混合読み出し時における動作タイミングを示している。なお、撮像装置の構成は第１の実施形態と同様である。

【００６４】

本実施形態においては、垂直の同色３画素出力の混合が行われるものであり、同一垂直信号線への同時出力を同色となる３行分行うことで垂直信号線上にて混合するものである

。

【００６５】

時刻ｔ１からｔ８までの１水平走査期間においては、ｎ行目、ｎ＋２行目、ｎ＋４行目、およびｎ＋３行目、ｎ＋５行目、ｎ＋７行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。また、不図示のｎ－６行目、ｎ－４行目、ｎ－２行目、ｎ－３行目、ｎ－１行目およびｎ＋１行目における画素信号およびノイズ信号が、転送容量より順次出力アンプへ出力される動作が行われることになる。なお、前述した第１の実施形態と異なる点として、画素出力の混合数が２画素から３画素に変わり、それに応じて同色行となる行の同時選択も３行分に変わるものである。

【００６６】

次に上記時刻帯におけるｎ－６行目、ｎ－４行目、ｎ－２行目、ｎ－３行目、ｎ－１行目、およびｎ＋１行目における動作を説明する。

【００６７】

時刻ｔ１にて信号ＬＳＥＬがＬｏになり、第１および第２の水平走査回路３０３ａ，３０３ｂに入力される水平走査クロック信号ＰＨに同期して、転送容量４０５ａに記憶された信号が、転送トランジスタ３０７ａを介して水平読み出し線Ｐｓａに順次読み出される。同時に転送容量４０６ａに記憶された信号が、転送トランジスタ３０８ａを介して水平読み出し線Ｐｎａに順次読み出される。

【００６８】

同時に転送容量４０５ｂに記憶された信号が、転送トランジスタ３０７ｂを介して水平読み出し線Ｐｓｂに順次読み出される。同時に転送容量４０６ｂに記憶された信号が、転送トランジスタ３０８ｂを介して水平読み出し線Ｐｎｂに順次読み出される。

【００６９】

出力アンプ３０２ａは、水平読み出し線Ｐｓａと水平読み出し線Ｐｎａの差分信号を外部に出力する。このとき出力される信号は、ｎ－６行目、ｎ－４行目、ｎ－２行目の出力が混合された信号となる。

【００７０】

同様に、出力アンプ３０２ｂは、水平読み出し線Ｐｓｂと水平読み出し線Ｐｎｂの差分信号を外部に出力する。このとき出力される信号は、ｎ－３行目、ｎ－１行目、ｎ＋１行目の出力が混合された信号となる。

【００７１】

次に、上述した外部への出力と同時に行われる、ｎ行目、ｎ＋２行目、ｎ＋４行目、およびｎ＋３行目、ｎ＋５行目、ｎ＋７行目における信号の転送容量への転送動作について説明する。

【００７２】

時刻ｔ２にて信号Ｐｓｅｌ（ｎ）、信号Ｐｓｅｌ（ｎ＋２）、信号Ｐｓｅｌ（ｎ＋４）がＬｏからＨｉになり、ｎ行目、ｎ＋２行目、ｎ＋４行目における選択トランジスタ２０５がＯＮされる。そして、ｎ行目、ｎ＋２行目、ｎ＋４行目の各ソースフォロア出力が第１の垂直信号線Ｖｌａに接続される。

【００７３】

同時に信号Ｐｓｅｌ（ｎ＋３）、信号Ｐｓｅｌ（ｎ＋５）、信号Ｐｓｅｌ（ｎ＋７）がＬｏからＨｉになり、ｎ＋３行目、ｎ＋５行目、ｎ＋７行目における選択トランジスタ２０５がＯＮされる。そして、ｎ＋３行目、ｎ＋５行目、ｎ＋７行目の各ソースフォロア出力が第２の垂直信号線Ｖｌｂに接続される。

【００７４】

また、時刻ｔ２において、信号Ｐｒｅｓ（ｎ）、信号Ｐｒｅｓ（ｎ＋２）、信号Ｐｒｅｓ（ｎ＋４）および信号Ｐｒｅｓ（ｎ＋３）、信号Ｐｒｅｓ（ｎ＋５）、信号Ｐｒｅｓ（ｎ＋７）がＬｏからＨｉになり、ｎ行目、ｎ＋２行目、ｎ＋４行目、およびｎ＋３行目、ｎ＋５行目、ｎ＋７行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。

【００７５】
時刻ｔ３で、リセットが終了するとともに信号ＰｃｔｎｌがＬｏからＨｉになり、転送トランジスタ４０４ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０２ａに記憶する。時刻ｔ４で信号ＰｃｔｎｌがＨｉからＬｏになり、ノイズ成分の転送容量４０２ａへの記憶を終了する。
【００７６】
時刻ｔ５にて、信号Ｐｔｘ（ｎ）、信号Ｐｔｘ（ｎ＋２）、信号Ｐｔｘ（ｎ＋４）がＬｏからＨｉになり、ｎ行目、ｎ＋２行目、ｎ＋４行目における転送トランジスタ２０２がＯＮする。そして、ｎ行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋２行目のＰＤ２０１に蓄積された信号電荷とｎ＋４行目のＰＤ２０１に蓄積された信号電荷とがＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、同時に第１の垂直信号線Ｖｌａ上に出力されて混合される。
【００７７】
同時に信号Ｐｔｘ（ｎ＋３）、信号Ｐｔｘ（ｎ＋５）、信号Ｐｔｘ（ｎ＋７）がＬｏからＨｉになり、ｎ＋３行目、ｎ＋５行目、ｎ＋７行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋３行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋５行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋７行目のＰＤ２０１に蓄積された信号電荷とがＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、同時に第２の垂直信号線Ｖｌｂ上に出力されて混合される。
【００７８】
時刻ｔ６にて、信号ＰｔｃｓｌがＬｏからＨｉになり、転送トランジスタ４０３ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂで混合された画素信号を、第１および第２の読み出し回路３１５ａ，３１５ｂ内の転送容量４０１ａに記憶する。時刻ｔ７で信号ＰｔｃｓｌがＨｉからＬｏになり、転送トランジスタ４０３ａをＯＦＦし転送容量４０１ａへの記憶を終了する。
【００７９】
その後、時刻ｔ８から時刻ｔ１５までの１水平走査期間で、混合されたｎ行目とｎ＋２行目とｎ＋４行目による信号が、出力アンプ３０２ａより出力される。同時に混合されたｎ＋３行目とｎ＋５行目とｎ＋７行目による信号が、出力アンプ３０２ｂより出力される。
【００８０】
時刻ｔ８で、信号Ｐｓｅｌ（ｎ）、信号Ｐｓｅｌ（ｎ＋２）、信号Ｐｓｅｌ（ｎ＋４）および信号Ｐｓｅｌ（ｎ＋３）、信号Ｐｓｅｌ（ｎ＋５）、信号Ｐｓｅｌ（ｎ＋７）がＨｉからＬｏになり、選択トランジスタ２０５がＯＦＦされる。そして、ｎ行目、ｎ＋２行目、ｎ＋４行目、およびｎ＋３行目、ｎ＋５行目、ｎ＋７行目について、第１および第２の垂直信号線ＶｌａおよびＶｌｂへの接続を解除する。
【００８１】
時刻ｔ９からは、前述の説明と同様に、次行として読み出すｎ＋６行目、ｎ＋８行目、ｎ＋１０行目を第１の垂直信号線Ｖｌａに、ｎ＋９行目、ｎ＋１１行目、ｎ＋１３行目を第２の垂直信号線Ｖｌｂに接続し、混合された画素信号を読み出す。
【００８２】
時刻ｔ９にて信号Ｐｓｅｌ（ｎ＋６）、信号Ｐｓｅｌ（ｎ＋８）、信号Ｐｓｅｌ（ｎ＋１０）がＬｏからＨｉになり、ｎ＋６行目、ｎ＋８行目、ｎ＋１０行目における選択トランジスタ２０５がＯＮされる。そして、ｎ＋６行目、ｎ＋８行目、ｎ＋１０行目の各ソースフォロア出力が第１の垂直信号線Ｖｌａに接続される。
【００８３】
同時に信号Ｐｓｅｌ（ｎ＋９）、信号Ｐｓｅｌ（ｎ＋１１）、信号Ｐｓｅｌ（ｎ＋１３）がＬｏからＨｉになり、ｎ＋９行目、ｎ＋１１行目、ｎ＋１３行目における選択トランジスタ２０５がＯＮされる。そして、ｎ＋９行目、ｎ＋１１行目、ｎ＋１３行目の各ソースフォロア出力が第２の垂直信号線Ｖｌｂに接続される。

【００８４】
また、時刻ｔ９において、信号Ｐｒｅｓ（ｎ＋６）、信号Ｐｒｅｓ（ｎ＋８）、信号Ｐｒｅｓ（ｎ＋１０）および信号Ｐｒｅｓ（ｎ＋９）、信号Ｐｒｅｓ（ｎ＋１１）、信号Ｐｒｅｓ（ｎ＋１３）がＬｏからＨｉになる。そして、ｎ＋６行目、ｎ＋８行目、ｎ＋１０行目、およびｎ＋９行目、ｎ＋１１行目、ｎ＋１３行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。
【００８５】
時刻ｔ１０で、リセットが終了するとともに信号Ｐｃｔｎ２がＬｏからＨｉになり、転送トランジスタ４０８ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０６ａに記憶する。時刻ｔ１１で信号Ｐｃｔｎ２がＨｉからＬｏになり、ノイズ成分の転送容量４０６ａへの記憶を終了する。
【００８６】
時刻ｔ１２にて、信号Ｐｔｘ（ｎ＋６）、信号Ｐｔｘ（ｎ＋８）、信号Ｐｔｘ（ｎ＋１０）がＬｏからＨｉになり、ｎ＋６行目、ｎ＋８行目、ｎ＋１０行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋６行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋８行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋１０行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、同時に第１の垂直信号線Ｖｌａ上に出力されて混合される。
【００８７】
同時に信号Ｐｔｘ（ｎ＋９）、信号Ｐｔｘ（ｎ＋１１）、信号Ｐｔｘ（ｎ＋１３）がＬｏからＨｉになり、ｎ＋９行目、ｎ＋１１行目、ｎ＋１３行目における転送トランジスタ２０２がＯＮする。そして、ｎ＋９行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋１１行目のＰＤ２０１に蓄積された信号電荷と、ｎ＋１３行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、同時に第２の垂直信号線Ｖｌｂ上に出力されて混合される。
【００８８】
時刻ｔ１３にて、信号Ｐｔｃｓ２がＬｏからＨｉになり、転送トランジスタ４０７ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂで混合された画素信号を、第１および第２の読み出し回路３１５ａ，３１５ｂ内の転送容量４０５ａに記憶する。時刻ｔ１４で信号Ｐｔｃｓ２がＨｉからＬｏになり、転送トランジスタ４０７ａをＯＦＦし転送容量４０５ａへの記憶を終了する。
【００８９】
その後の１水平走査期間で、混合されたｎ＋６行目とｎ＋８行目とｎ＋１０行目による信号が、出力アンプ３０２ａより出力され、同時に混合されたｎ＋９行目とｎ＋１１行目とｎ＋１３行目による信号が、出力アンプ３０２ｂより出力される。
【００９０】
このような動作を、固体撮像素子が持つ行数分を順次繰り返すことで、画素混合時においても、高速に読み出すことが可能となる。
【００９１】
図９は本実施形態における読み出しを、ベイヤ配列のカラー撮像素子に適用した場合の模式図であり、混合読み出し動作を示す図である。
【００９２】
本実施形態においては、同一列の画素列に対して、２本の垂直信号線を有しているため、ベイヤ配列の各色成分ごとに異なる垂直信号線に読み出すようになっている。同一列のＲの信号が第１の垂直信号線Ｖｌａ（ｍ）に読み出され、Ｇｂの信号が第２の垂直信号線Ｖｌｂ（ｍ）に読みだされ、Ｇｒの信号が垂直信号線Ｖｌａ（ｍ＋１）に読み出され、Ｂの信号が第２の垂直信号線Ｖｌｂ（ｍ＋１）に読みだされる。
【００９３】
図９において、前述したような画素出力混合動作を行わせた場合、同色の信号の３画素出力の混合が垂直信号線上で行われる。なお、各垂直信号線上に記載される太線部および

Ｉ，IIの番号は、太線部については同時に読み出されて混合される画素部を示すものであり、Ｉ，IIの番号については、共通の番号により１水平走査期間にて同時に読み出される画素部を示すものである。なお混合後の画像はベイヤ配列であり、従来同様の信号処理が可能である。また重心が等間隔であることから、モアレ等の偽信号の発生を抑圧できるものとなる。

【００９４】

なお、上記の第１及び第２の実施形態においては、画素混合を同色２画素および３画素により行っていたが、この画素数に限られるものではない。混合する画素数に応じ、かつ混合後の信号がベイヤ配列を保つように垂直信号線への同時出力を行うことで、複画素数による画素混合を可能とすることができる。

【００９５】

図１０は図１～図５で説明した固体撮像素子を駆動するタイミングチャートであり、上記の第１及び第２の実施形態における静止画モード時における全画素読み出し時の動作タイミングを示している。

【００９６】

本実施形態においては、画素１列に対して垂直信号線が２本備えられ、且つ行毎に交互に異なる垂直信号線に接続されているため、２行同時読み出しが可能であり、全画素読み出し時においては、２行同時読みにより高速に読み出しが行われる。

【００９７】

なお、撮像装置の設定として、操作部７の動作モードスイッチにより、通常の静止画撮影を行うための静止画モードに設定されているものとする。また、図中において、信号レベルの『Ｈｉ』状態は駆動トランジスタをＯＮ、『Ｌｏ』状態は駆動トランジスタをＯＦＦするものとする。また、説明を分かりやすくするため、全画素リセット及び全画素蓄積開始するタイミングは省略し、画素信号の読み出し動作時のタイミングのみを示す。

【００９８】

図１０を用いて全画素読み出し動作について説明する。時刻ｔ１からｔ８までの１水平走査期間においては、ｎ行目、ｎ＋１行目における転送容量への画素信号およびノイズ信号の転送動作が行われる。また、同時に不図示のｎ－２行目、ｎ－１行目における画素信号およびノイズ信号が、転送容量から順次出力アンプへ出力され、撮像素子外部へと出力される。

【００９９】

次に上記の時刻帯におけるｎ－２行目、ｎ－１行目における動作を説明する。時刻ｔ１にて信号ＬＳＥＬがＬｏになり、第１および第２の水平走査回路３１５ａ，３１５ｂに入力される水平走査クロック信号ＰＨに同期して、転送容量４０５ａに記憶された信号が、転送トランジスタ３０７ａを介して水平読み出し線Ｐｓａに順次読み出される。同時に転送容量４０６ａに記憶された信号が、転送トランジスタ３０８ａを介して水平読み出し線Ｐｎａに順次読み出される。

【０１００】

同時に転送容量４０５ｂに記憶された信号が、転送トランジスタ３０７ｂを介して水平読み出し線Ｐｓｂに順次読み出される。同時に転送容量４０６ｂに記憶された信号が、転送トランジスタ３０８ｂを介して水平読み出し線Ｐｎｂに順次読み出される。

【０１０１】

出力アンプ３０２ａは、水平読み出し線Ｐｓａと水平読み出し線Ｐｎａの差分信号を外部に出力する。このとき出力される信号は、ｎ－２行目の出力信号となる。同様に、出力アンプ３０２ｂは、水平読み出し線Ｐｓｂと水平読み出し線Ｐｎｂの差分信号を外部に出力する。このとき出力される信号は、ｎ－１行目の出力信号となる。

【０１０２】

次に、上述した外部への出力と同時に行われる、ｎ行目、ｎ＋１行目における信号の転送容量への転送動作について説明する。時刻ｔ２において信号Ｐｓｅｌ（ｎ）がＬｏからＨｉになり、ｎ行目における選択トランジスタ２０５がＯＮされ、ｎ行目の各ソースフォ

ロワ出力が第１の垂直信号線Ｖｌａに接続される。同様に時刻ｔ２にて、信号Ｐｓｅｌ（ｎ＋１）がＬｏからＨｉになり、ｎ＋１行目における選択トランジスタ２０５がＯＮされ、ｎ＋１行目の各ソースフォロワ出力が第２の垂直信号線Ｖｌｂに接続される。

【０１０３】

同時に時刻ｔ２において、信号Ｐｒｅｓ（ｎ）、信号Ｐｒｅｓ（ｎ＋１）がＬｏからＨｉになり、ｎ行目、ｎ＋１行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。

【０１０４】

時刻ｔ３で、リセットが終了するとともに信号Ｐｃｔｎ１がＬｏからＨｉになり、転送トランジスタ４０４ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０２ａに記憶する。時刻ｔ４で信号Ｐｃｔｎ１がＨｉからＬｏになり、ノイズ成分の転送容量４０２ａへの記憶を終了する。

【０１０５】

時刻ｔ５にて、信号Ｐｔｘ（ｎ）がＬｏからＨｉになり、ｎ行目おける転送トランジスタ２０２がＯＮし、ｎ行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、第１の垂直信号線Ｖｌａ上に出力される。

【０１０６】

同時に信号Ｐｔｘ（ｎ＋１）がＬｏからＨｉになり、ｎ＋１行目における転送トランジスタ２０２がＯＮし、ｎ＋１行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、第２の垂直信号線Ｖｌｂ上に出力される。

【０１０７】

時刻ｔ６にて、信号Ｐｔｃｓ１がＬｏからＨｉになり、転送トランジスタ４０３ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂに出力された画素信号を、第１および第２の読み出し回路３１５ａ，３１５ｂ内の転送容量４０１ａに記憶する。時刻ｔ７で信号Ｐｔｃｓ１がＨｉからＬｏになり、転送トランジスタ４０３ａをＯＦＦし転送容量４０１ａへの記憶を終了する。

【０１０８】

その後、時刻ｔ８から時刻ｔ１５までの１水平走査期間で、ｎ行目の信号が出力アンプ３０２ａより出力され、同時にｎ＋１行目の信号が出力アンプ３０２ｂより出力される。

【０１０９】

時刻ｔ８で、信号Ｐｓｅｌ（ｎ）、信号Ｐｓｅｌ（ｎ＋１）がＨｉからＬｏになり、選択トランジスタ２０５がＯＦＦされ、ｎ行目およびｎ＋１行目について、第１および第２の垂直信号線ＶｌａおよびＶｌｂへの接続を解除する。

【０１１０】

時刻ｔ９からは、前述の説明と同様に、次行として読み出すｎ＋２行目を第１の垂直信号線Ｖｌａに、ｎ＋３行目を第２の垂直信号線Ｖｌｂに接続し、画素信号を読み出す。この際、異なる点として、行そのものを選択する信号Ｐｓｅｌ以外に、読み出し回路１，２内のノイズ信号および画素信号を保持する転送容量および転送トランジスタ、また、水平読み出し線へ信号を転送する転送トランジスタ、およびそれらの制御信号も別のものとなる。

【０１１１】

なお、１水平走査期間毎に、前術した前行の転送容量を合わせて切り替えて使用することで、前行での画素出力の水平転送と、今行における画素信号の読み出しの同時動作が可能となる。これにより、画素１列に対する垂直信号線の複線化と併せて、高速に読み出すことが可能となる。

【０１１２】

時刻ｔ９にて信号Ｐｓｅｌ（ｎ＋２）がＬｏからＨｉになり、ｎ＋２行目における選択トランジスタ２０５がＯＮされ、ソースフォロア出力が第１の垂直信号線Ｖｌａに接続さ

れる。同時に信号Ｐｓｅｌ（ｎ＋３）がＬｏからＨｉになり、ｎ＋３行目における選択トランジスタ２０５がＯＮされ、ｎ＋３行目の各ソースフォロア出力が第２の垂直信号線Ｖｌｂに接続される。

【０１１３】

また、時刻ｔ９において、信号Ｐｒｅｓ（ｎ＋２）および信号Ｐｒｅｓ（ｎ＋３）がＬｏからＨｉになり、ｎ＋２行目およびｎ＋３行目のリセットトランジスタ２０３がＯＮされ、同行におけるＦＤ２０６に蓄積された不要電荷がリセットされる。

【０１１４】

時刻ｔ１０で、リセットが終了するとともに信号Ｐｃｔｎ２がＬｏからＨｉになり、転送トランジスタ４０８ａをＯＮし、画素回路で発生するノイズ成分を転送容量４０６ａに記憶する。時刻ｔ１１で信号Ｐｃｔｎ２がＨｉからＬｏになり、ノイズ成分の転送容量４０６ａへの記憶を終了する。

【０１１５】

時刻ｔ１２にて、信号Ｐｔｘ（ｎ＋２）がＬｏからＨｉになり、ｎ＋２行目における転送トランジスタ２０２がＯＮし、ｎ＋２行目のＰＤ２０１に蓄積された信号電荷がＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、第１の垂直信号線Ｖｌａ上に出力される。

【０１１６】

同時に信号Ｐｔｘ（ｎ＋３）がＬｏからＨｉになり、ｎ＋３行目における転送トランジスタ２０２がＯＮし、ｎ＋３行目のＰＤ２０１に蓄積された信号電荷が同時にＦＤ２０６に転送され、増幅トランジスタ２０４により増幅され電圧に変換される。そして、第２の垂直信号線Ｖｌｂ上に出力される。

【０１１７】

時刻ｔ１３にて、信号Ｐｔｃｓ２がＬｏからＨｉになり、転送トランジスタ４０７ａをＯＮし、第１および第２の垂直信号線ＶｌａおよびＶｌｂに出力された画素信号を、第１および第２の読み出し回路３１５ａ，３１５ｂ内の転送容量４０５ａに記憶する。時刻ｔ１４で信号Ｐｔｃｓ２がＨｉからＬｏになり、転送トランジスタ４０７ａをＯＦＦし転送容量４０５ａへの記憶を終了する。

【０１１８】

その後の１水平走査期間で、ｎ＋２行目の信号が出力アンプ３０２ａより出力され、同時にｎ＋３行目の信号が出力アンプ３０２ｂより出力される。

【０１１９】

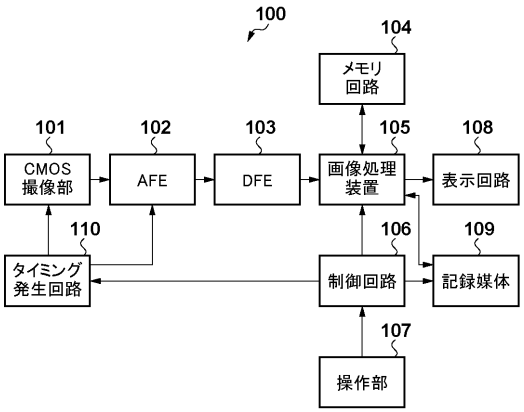
このような動作を、固体撮像素子が備える行数分を順次繰り返すことで、全画素読み出し時においても、高速に読み出すことが可能となる。

【０１２０】

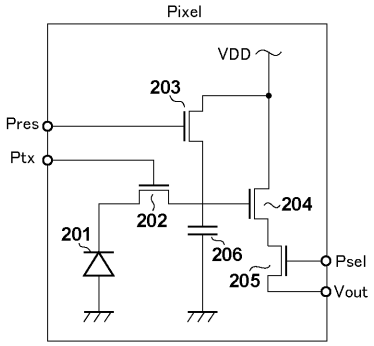
（その他の実施形態）

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア（プログラム）を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ（またはＣＰＵやＭＰＵ等）がプログラムを読み出して実行する処理である。

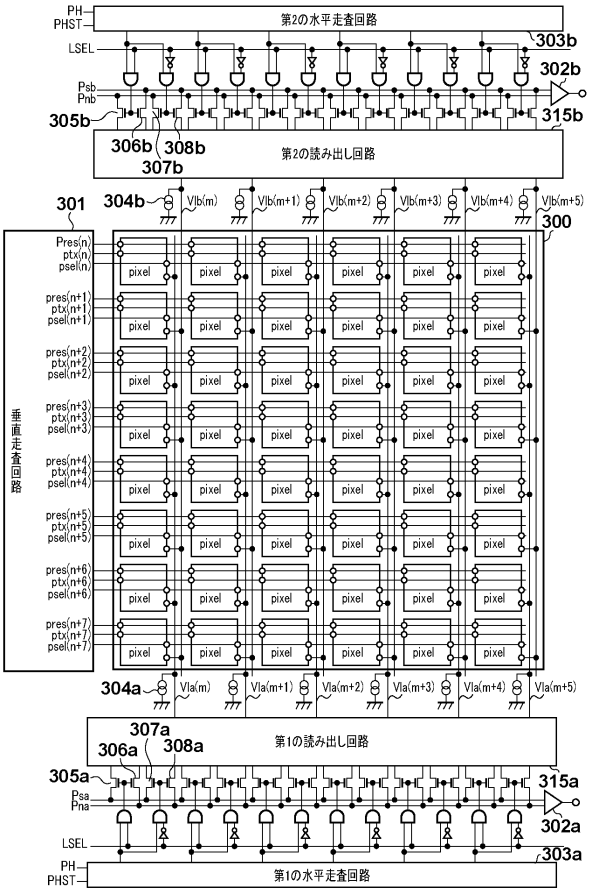
【図１】



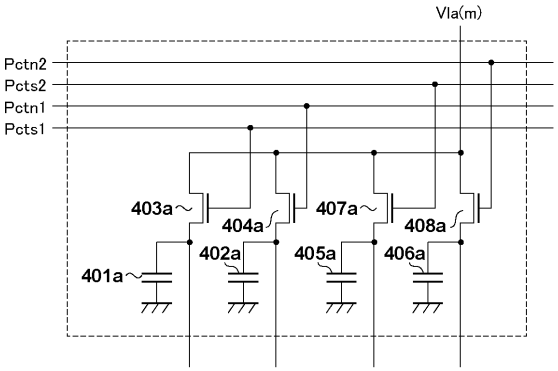
【図２】



【図３】



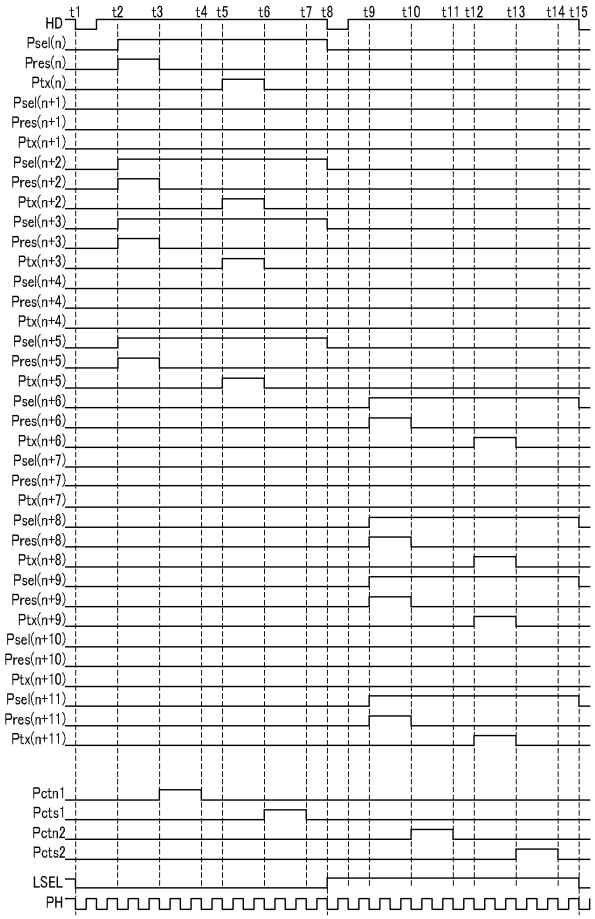
【図４】



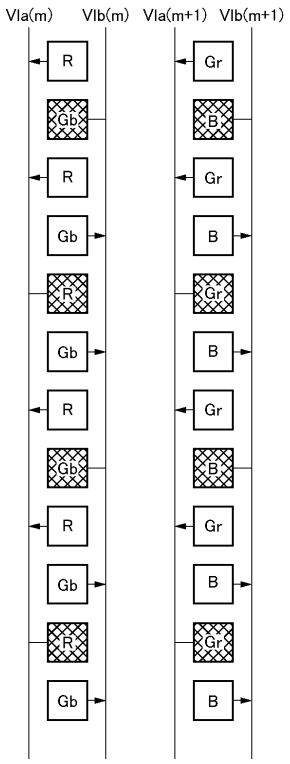
【図５】

	1	2	3	4	5	6
1	R	G	R	G	R	G
2	G	B	G	B	G	B
3	R	G	R	G	R	G
4	G	B	G	B	G	B
5	R	G	R	G	R	G
6	G	B	G	B	G	B
7	R	G	R	G	R	G
8	G	B	G	B	G	B

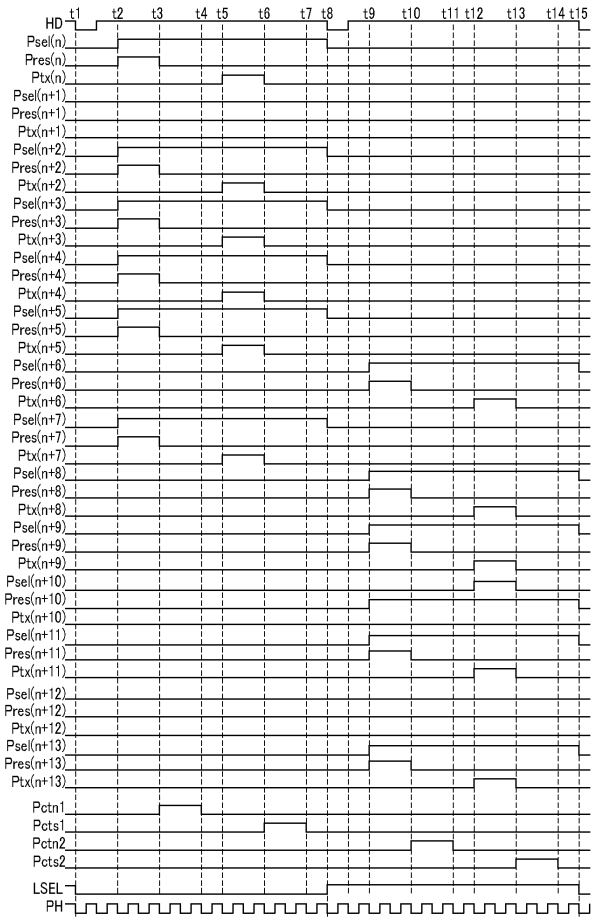
【図６】


t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15
HD
Psel(n)
Pres(n)
Ptx(n)
Psel(n+1)
Pres(n+1)
Ptx(n+1)
Psel(n+2)
Pres(n+2)
Ptx(n+2)
Psel(n+3)
Pres(n+3)
Ptx(n+3)
Psel(n+4)
Pres(n+4)
Ptx(n+4)
Psel(n+5)
Pres(n+5)
Ptx(n+5)
Psel(n+6)
Pres(n+6)
Ptx(n+6)
Psel(n+7)
Pres(n+7)
Ptx(n+7)
Psel(n+8)
Pres(n+8)
Ptx(n+8)
Psel(n+9)
Pres(n+9)
Ptx(n+9)
Psel(n+10)
Pres(n+10)
Ptx(n+10)
Psel(n+11)
Pres(n+11)
Ptx(n+11)
Pctn1
Pcts1
Pctn2
Pcts2
LSEL
PH

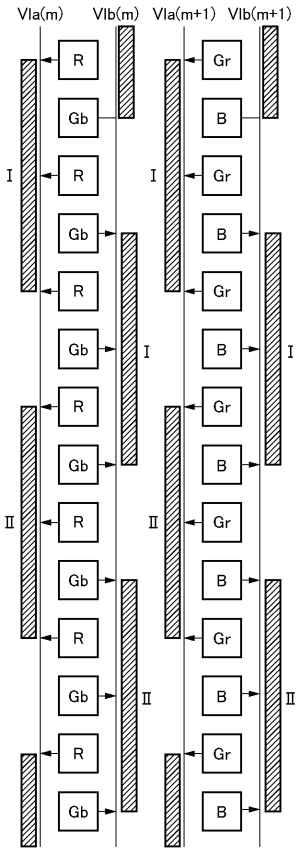
【図７】


Vla(m)
Vlb(m)
Vla(m+1)
Vlb(m+1)
R
Gb
R
Gb
R
Gb
R
Gb
Gr
B
Gr
B
Gr
B
Gr
B

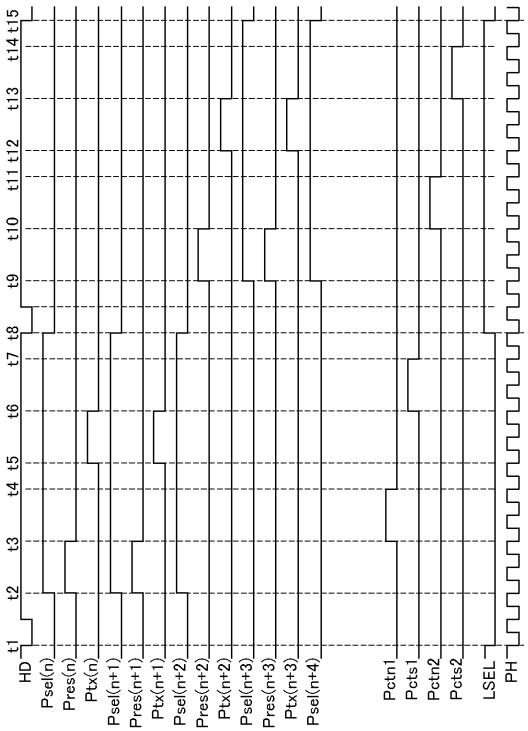
【図８】


t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15
HD
Psel(n)
Pres(n)
Ptx(n)
Psel(n+1)
Pres(n+1)
Ptx(n+1)
Psel(n+2)
Pres(n+2)
Ptx(n+2)
Psel(n+3)
Pres(n+3)
Ptx(n+3)
Psel(n+4)
Pres(n+4)
Ptx(n+4)
Psel(n+5)
Pres(n+5)
Ptx(n+5)
Psel(n+6)
Pres(n+6)
Ptx(n+6)
Psel(n+7)
Pres(n+7)
Ptx(n+7)
Psel(n+8)
Pres(n+8)
Ptx(n+8)
Psel(n+9)
Pres(n+9)
Ptx(n+9)
Psel(n+10)
Pres(n+10)
Ptx(n+10)
Psel(n+11)
Pres(n+11)
Ptx(n+11)
Psel(n+12)
Pres(n+12)
Ptx(n+12)
Psel(n+13)
Pres(n+13)
Ptx(n+13)
Pctn1
Pcts1
Pctn2
Pcts2
LSEL
PH

【図９】


Vla(m)
Vlb(m)
Vla(m+1)
Vlb(m+1)
I
II
R
Gb
Gr
B

【図１０】


t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
HD
Psel(n)
Pres(n)
Ptx(n)
Psel(n+1)
Pres(n+1)
Ptx(n+1)
Psel(n+2)
Pres(n+2)
Ptx(n+2)
Psel(n+3)
Pres(n+3)
Ptx(n+3)
Psel(n+4)
Pctn1
Pcts1
Pctn2
Pcts2
LSEL
PH

フロントページの続き

(72)発明者　大嶋　孝治
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　竹田　伸弘
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Ｆターム(参考) 4M118 AA10 AB01 BA14 CA02 DD04 FA06 GC08 GC14
5C024 AX01 CX41 EX52 GY31 GY35 GY37 GY39 GZ27 GZ29 HX35