

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6736531号
(P6736531)

(45) 発行日 令和2年8月5日 (2020. 8. 5)

(24) 登録日 令和2年7月17日 (2020. 7. 17)

(51) Int. Cl.	F I
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 5 G
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 3 C
HO 1 L 21/8234 (2006. 01)	HO 1 L 29/78 6 5 7 D
HO 1 L 27/06 (2006. 01)	HO 1 L 29/78 6 5 2 S
HO 1 L 29/861 (2006. 01)	HO 1 L 27/06 1 0 2 A
請求項の数 9 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2017-176263 (P2017-176263)	(73) 特許権者	000003078
(22) 出願日	平成29年9月14日 (2017. 9. 14)		株式会社東芝
(65) 公開番号	特開2019-54070 (P2019-54070A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成31年4月4日 (2019. 4. 4)	(73) 特許権者	317011920
審査請求日	令和1年8月7日 (2019. 8. 7)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100119035
			弁理士 池上 徹真
		(74) 代理人	100141036
			弁理士 須藤 章
		(74) 代理人	100088487
			弁理士 松山 允之
		(72) 発明者	下條 亮平
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の面と第2の面を有する半導体層の中に設けられた第1導電型の第1のアノード領域と、

前記第1のアノード領域と前記第2の面との間に設けられた第2導電型の第1のカソード領域と、

前記第1のアノード領域と前記第1のカソード領域との間に設けられ、前記第1のカソード領域よりも第2導電型の不純物濃度の低い第2導電型のドリフト領域と、

前記半導体層の中に設けられて第1の方向に伸長する第1のトレンチと、

前記第1のトレンチの中に設けられた第1のトレンチ絶縁膜と、

前記第1のトレンチの中であって、前記第1のトレンチ絶縁膜の上に設けられ、前記第1のアノード領域に電氣的に接続された第1のトレンチ電極と、を有する第1のダイオード部と、

前記半導体層の中に設けられた第1導電型の第2のアノード領域と、

前記第2のアノード領域と前記第2の面との間に設けられた第2導電型の第2のカソード領域と、

前記第2のアノード領域と前記第2のカソード領域との間に設けられた前記ドリフト領域と、

前記半導体層の中に設けられて前記第1の方向に伸長する第2のトレンチと、

前記第2のトレンチの中に設けられた第2のトレンチ絶縁膜と、

10

20

第2のトレンチの中であって、前記第2のトレンチ絶縁膜の上に設けられ、前記第2のアノード領域に電氣的に接続された第2のトレンチ電極と、を有し、

前記第1の方向の幅が、前記第1のダイオード部の前記第1の方向に直交する第2の方向の幅よりも大きく、

前記第1のダイオード部の前記第1の方向に隣り合って設けられた第2のダイオード部と、

前記半導体層の中に設けられた第2導電型の第1のエミッタ領域と、

前記第1のエミッタ領域と前記第2の面との間に設けられた第1導電型の第1のコレクタ領域と、

前記第1のエミッタ領域と前記第1のコレクタ領域との間に設けられた前記ドリフト領域と、 10

前記第1のエミッタ領域と前記ドリフト領域との間に設けられた第1導電型の第1のベース領域と、

前記半導体層の中に設けられて前記第1の方向に伸長する第3のトレンチと、

前記第3のトレンチの中に設けられた第1のゲート絶縁膜と、

前記第3のトレンチの中であって、前記第1のゲート絶縁膜の上に設けられた第1のゲート電極と、を有し、

前記第1のダイオード部の前記第2の方向に隣り合って設けられ、前記第2のダイオード部の前記第1の方向に隣り合って設けられた第1のIGBT部と、
を備える半導体装置。 20

【請求項2】

前記第2のダイオード部の前記第1の方向の幅が60 μm以上である請求項1記載の半導体装置。

【請求項3】

前記第1のトレンチと前記第2のトレンチは連続している請求項1又は請求項2記載の半導体装置。

【請求項4】

前記第2のトレンチと前記第3のトレンチは離間している請求項1乃至請求項3いずれか一項記載の半導体装置。

【請求項5】

前記第1のコレクタ領域が前記第1のダイオード部に設けられた請求項1乃至請求項4いずれか一項記載の半導体装置。 30

【請求項6】

前記第1のカソード領域が前記第1のIGBT部に設けられた請求項5記載の半導体装置。

【請求項7】

前記第1の方向に隣り合う2つの前記第1のコレクタ領域の間に前記第1のカソード領域が設けられ、前記第1のコレクタ領域と前記第1のカソード領域が接続されている請求項6記載の半導体装置。

【請求項8】

第2のIGBT部を更に、備え、

前記第2のIGBT部は、

前記第1のダイオード部及び前記第2のダイオード部の前記第2の方向に隣り合って設けられ、

前記半導体層の中に設けられた第2導電型の第2のエミッタ領域と、

前記第2のエミッタ領域と前記第2の面との間に設けられた第1導電型の第2のコレクタ領域と、

前記第2のエミッタ領域と前記第2のコレクタ領域との間に設けられた前記ドリフト領域と、

前記第2のエミッタ領域と前記ドリフト領域との間に設けられた第1導電型の第2のベ 50

ース領域と、

前記半導体層の中に設けられて前記第 1 の方向に伸長する第 4 のトレンチと、

前記第 4 のトレンチの中に設けられた第 2 のゲート絶縁膜と、

前記第 4 のトレンチの中であって、前記第 2 のゲート絶縁膜の上に設けられた第 2 のゲート電極と、を有し、

前記第 2 のコレクタ領域と前記第 1 のコレクタ領域が接続され、

前記第 2 のコレクタ領域の前記第 2 の方向の幅が前記第 1 のコレクタ領域の前記第 1 の方向の幅よりも大きい請求項 1 乃至請求項 7 いずれか一項記載の半導体装置。

【請求項 9】

前記第 2 のコレクタ領域の前記第 2 の方向の幅が 6 0 0 μm 以上である請求項 8 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

RC (Reverse Conducting) - IGBT (Insulated Gate Bipolar Transistor) は、IGBT が形成された IGBT 部と、IGBT 部に隣接しダイオードが形成されたダイオード部とが、同一の半導体層に形成される。RC - IGBT では、ダイオードが順方向動作する際に、隣接する IGBT 部のゲート電極に電圧が印加されるとチャンネルが形成されて、キャリアが排出される。このため、ダイオードの電流電圧特性にスナップバックが生じるおそれがある。ダイオード部でスナップバックが生じると、例えば、複数の RC - IGBT を並列接続している場合に、特定の RC - IGBT に電流が集中し、特定の RC - IGBT が破壊するおそれがある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 5 0 4 5 7 3 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、ダイオードのスナップバックを抑制することが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

一つの実施形態の半導体装置は、第 1 の面と第 2 の面を有する半導体層の中に設けられた第 1 導電型の第 1 のアノード領域と、前記第 1 のアノード領域と前記第 2 の面との間に設けられた第 2 導電型の第 1 のカソード領域と、前記第 1 のアノード領域と前記第 1 のカソード領域との間に設けられ、前記第 1 のカソード領域よりも第 2 導電型の不純物濃度の低い第 2 導電型のドリフト領域と、前記半導体層の中に設けられて第 1 の方向に伸長する第 1 のトレンチと、前記第 1 のトレンチの中に設けられた第 1 のトレンチ絶縁膜と、前記第 1 のトレンチの中であって前記第 1 のトレンチ絶縁膜の上に設けられ、前記第 1 のアノード領域に電気的に接続された第 1 のトレンチ電極と、を有する第 1 のダイオード部と、前記半導体層の中に設けられた第 1 導電型の第 2 のアノード領域と、前記第 2 のアノード領域と前記第 2 の面との間に設けられた第 2 導電型の第 2 のカソード領域と、前記第 2 のアノード領域と前記第 2 のカソード領域との間に設けられた前記ドリフト領域と、前記半導体層の中に設けられて前記第 1 の方向に伸長する第 2 のトレンチと、前記第 2 のトレンチの中に設けられた第 2 のトレンチ絶縁膜と、前記第 2 のトレンチの中であって前記第 2

のトレンチ絶縁膜の上に設けられ、前記第2のアノード領域に電氣的に接続された第2のトレンチ電極と、を有し、前記第1の方向の幅が、前記第1のダイオード領域の前記第1の方向に直交する第2の方向の幅よりも大きく、前記第1のダイオード部の前記第1の方向に隣り合って設けられた第2のダイオード部と、前記半導体層の中に設けられた第2導電型の第1のエミッタ領域と、前記第1のエミッタ領域と前記第2の面との間に設けられた第1導電型の第1のコレクタ領域と、前記第1のエミッタ領域と前記第1のコレクタ領域との間に設けられた前記ドリフト領域と、前記第1のエミッタ領域と前記ドリフト領域との間に設けられた第1導電型の第1のベース領域と、前記半導体層の中に設けられて前記第1の方向に伸長する第3のトレンチと、前記第3のトレンチの中に設けられた第1のゲート絶縁膜と、前記第3のトレンチの中であって前記第1のゲート絶縁膜の上に設けられた第1のゲート電極と、を有し、前記第1のダイオード部の前記第2の方向に隣り合って設けられ、前記第2のダイオード部の前記第1の方向に隣り合って設けられた第1のIGBT部と、を備える。

10

【図面の簡単な説明】

【0006】

【図1】第1の実施形態の半導体装置の模式平面図。

【図2】第1の実施形態の半導体装置の活性領域の模式平面図。

【図3】第1の実施形態の半導体装置の活性領域の一部の模式断面図。

【図4】第1の実施形態の半導体装置の活性領域の一部の模式断面図。

【図5】第1の実施形態の半導体装置の活性領域の模式平面図。

20

【図6】第1の実施形態の半導体装置の活性領域の模式平面図。

【図7】比較例の半導体装置の活性領域の模式平面図。

【図8】比較例の半導体装置の電流電圧特性を示す図。

【図9】比較例の半導体装置の活性領域の一部の模式断面図。

【図10】第2の実施形態の半導体装置の活性領域の模式平面図。

【図11】第3の実施形態の半導体装置の活性領域の模式平面図。

【図12】第3の実施形態の半導体装置の活性領域の一部の模式断面図。

【図13】第3の実施形態の半導体装置の活性領域の模式平面図。

【発明を実施するための形態】

【0007】

30

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0008】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記で、各導電型における不純物濃度の相対的な高低を表す場合がある。すなわち、 n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

40

【0009】

(第1の実施形態)

第1の実施形態の半導体装置は、第1の面と第2の面を有する半導体層の中に設けられた第1導電型の第1のアノード領域と、第1のアノード領域と第2の面との間に設けられた第2導電型の第1のカソード領域と、第1のアノード領域と第1のカソード領域との間に設けられ、第1のカソード領域よりも第2導電型の不純物濃度の低い第2導電型のドリフト領域と、半導体層の中に設けられて第1の方向に伸長する第1のトレンチと、第1のトレンチの中に設けられた第1のトレンチ絶縁膜と、第1のトレンチの中であって、第1のトレンチ絶縁膜の上に設けられ、第1のアノード領域に電氣的に接続された第1のトレンチ電極と、を有する第1のダイオード部と、半導体層の中に設けられた第1導電型の第

50

2のアノード領域と、第2のアノード領域と第2の面との間に設けられた第2導電型の第2のカソード領域と、第2のアノード領域と第2のカソード領域との間に設けられたドリフト領域と、半導体層の中に設けられて第1の方向に伸長する第2のトレンチと、第2のトレンチの中に設けられた第2のトレンチ絶縁膜と、第2のトレンチの中であって、第2のトレンチ絶縁膜の上に設けられ、第2のアノード領域に電氣的に接続された第2のトレンチ電極と、を有し、第1の方向の幅が、第1のダイオード領域の第1の方向に直交する第2の方向の幅よりも大きく、第1のダイオード部の第1の方向に隣り合って設けられた第2のダイオード部と、半導体層の中に設けられた第2導電型の第1のエミッタ領域と、第1のエミッタ領域と第2の面との間に設けられた第1導電型の第1のコレクタ領域と、第1のエミッタ領域と第1のコレクタ領域との間に設けられたドリフト領域と、第1のエミッタ領域とドリフト領域との間に設けられた第1導電型の第1のベース領域と、半導体層の中に設けられて第1の方向に伸長する第3のトレンチと、第3のトレンチの中に設けられた第1のゲート絶縁膜と、第3のトレンチの中であって、第1のゲート絶縁膜の上に設けられた第1のゲート電極と、を有し、第1のダイオード部の第2の方向に隣り合って設けられ、第2のダイオード部の第1の方向に隣り合って設けられた第1のIGBT部と、を備える。

10

【0010】

図1は、第1の実施形態の半導体装置の模式平面図である。第1の実施形態の半導体装置は、トレンチ構造を備えるRC-IGBT100である。

【0011】

20

RC-IGBT100は、活性領域101と、活性領域101を囲む終端領域102を備える。活性領域101は、RC-IGBT100のオン動作時に電流を流す領域として機能する。終端領域102は、RC-IGBT100のオフ動作時に活性領域101の端部に印加される電界の強度を緩和し、RC-IGBT100の耐圧を向上させる領域として機能する。

【0012】

図2は、第1の実施形態の半導体装置の活性領域の模式平面図である。活性領域101は、複数のセルダイオード部111（第1のダイオード部）、リーディングダイオード部112（第2のダイオード部）、複数のセルIGBT部113（第1のIGBT部）を備える。なお、図2中の第1の方向と第2の方向は直交する。

30

【0013】

セルダイオード部111とセルIGBT部113は、第2の方向に隣り合って設けられる。セルダイオード部111とセルIGBT部113は、第2の方向に交互に配置される。

【0014】

リーディングダイオード部112は、セルダイオード部111の第1の方向に隣り合って設けられる。また、セルIGBT部113は、リーディングダイオード部112の第1の方向に隣り合って設けられる。

【0015】

図3は、第1の実施形態の半導体装置の活性領域の一部の模式断面図である。図2のA-A'断面を示す。図3は、セルダイオード部111とセルIGBT部113の断面図である。

40

【0016】

セルダイオード部111には、ダイオードが設けられる。セルダイオード部111は、半導体層10、p型のアノード領域12（第1のアノード領域）、p⁺型のコンタクト領域14、n⁺型のカソード領域16（第1のカソード領域）、n⁻型のドリフト領域18、第1の共通電極20、第2の共通電極22を備える。また、トレンチ24（第1のトレンチ）、トレンチ絶縁膜26（第1のトレンチ絶縁膜）、トレンチ電極28（第1のトレンチ電極）を備える。

【0017】

50

半導体層 10 は、第 1 の面 P 1（以後、表面 P 1 とも称する）と、第 1 の面に対向する第 2 の面 P 2（以後、裏面 P 2 とも称する）を備える。半導体層 10 は、例えば、単結晶シリコンである。

【0018】

p 型のアノード領域 12 は、半導体層 10 の中に設けられる。アノード領域 12 は、p 型不純物を含有する。p 型不純物は、例えば、ボロン（B）である。

【0019】

p⁺ 型のコンタクト領域 14 は、半導体層 10 の表面 P 1 に接して設けられる。コンタクト領域 14 は、p 型不純物を含有する。p 型不純物は、例えば、ボロン（B）である。コンタクト領域 14 の p 型不純物濃度は、アノード領域 12 の p 型不純物濃度より高い。コンタクト領域 14 は、第 1 の共通電極 20 のコンタクト抵抗を低減する機能を備える。

10

【0020】

n⁺ 型のカソード領域 16 は、アノード領域 12 と半導体層 10 の裏面 P 2 との間に設けられる。カソード領域 16 は半導体層 10 の裏面 P 2 に接して設けられる。カソード領域 16 は、n 型不純物を含有する。n 型不純物は、例えば、リン（P）又はヒ素（As）である。カソード領域 16 は、第 2 の共通電極 22 のコンタクト抵抗を低減する機能を備える。

【0021】

n⁻ 型のドリフト領域 18 は、アノード領域 12 とカソード領域 16 との間に設けられる。ドリフト領域 18 は、n 型不純物を含有する。n 型不純物は、例えば、リン（P）である。

20

【0022】

トレンチ 24 は、半導体層 10 の中に設けられる。トレンチ 24 は、半導体層 10 の第 1 の面側に設けられる。トレンチ 24 は、第 1 の方向に伸長する。トレンチ 24 は、アノード領域 12 を貫通し、底部はドリフト領域 18 に位置する。

【0023】

トレンチ絶縁膜 26 は、トレンチ 24 の中に設けられる。トレンチ絶縁膜 26 は、例えば、酸化シリコンである。

【0024】

トレンチ電極 28 は、トレンチ 24 の中に設けられる。トレンチ電極 28 は、トレンチ絶縁膜 26 の上に設けられる。トレンチ電極 28 は、第 1 の共通電極 20 に接する。トレンチ電極 28 は、第 1 の共通電極 20 及びアノード領域 12 に電氣的に接続される。トレンチ電極 28 は、例えば、導電性不純物を含む多結晶シリコンである。

30

【0025】

第 1 の共通電極 20 は、半導体層 10 の表面 P 1 に設けられる。第 1 の共通電極 20 は、金属電極である。第 1 の共通電極 20 は、トレンチ電極 28 に接する。第 1 の共通電極 20 は、セルダイオード部 111 では、ダイオードのアノード電極として機能する。第 1 の共通電極 20 とコンタクト領域 14 との間のコンタクトは、オーミックコンタクトである。

【0026】

第 2 の共通電極 22 は、半導体層 10 の裏面 P 2 に設けられる。第 2 の共通電極 22 は、金属電極である。第 2 の共通電極 22 は、セルダイオード部 111 では、ダイオードのカソード電極として機能する。第 2 の共通電極 22 とカソード領域 16 との間のコンタクトは、オーミックコンタクトである。

40

【0027】

セル IGBT 部 113 には、IGBT が設けられる。セル IGBT 部 113 は、半導体層 10、n⁺ 型のエミッタ領域 30（第 1 のエミッタ領域）、p⁺ 型のコンタクト領域 32、p 型のベース領域 34（第 1 のベース領域）、p⁺ 型のコレクタ領域 36（第 1 のコレクタ領域）、n⁻ 型のドリフト領域 18、第 1 の共通電極 20、第 2 の共通電極 22 を備える。また、トレンチ 44（第 3 のトレンチ）、ゲート絶縁膜 46（第 1 のゲート絶縁

50

膜)、ゲート電極48(第1のゲート電極)、絶縁層49を備える。

【0028】

n⁺型のエミッタ領域30は、半導体層10の中に設けられる。n⁺型のエミッタ領域30は、半導体層10の表面P1に接して設けられる。n⁺型のエミッタ領域30は、n型不純物を含有する。n型不純物は、例えば、リン(P)又はヒ素(As)である。

【0029】

p⁺型のコンタクト領域32は、半導体層10の表面P1に接して設けられる。コンタクト領域32は、p型不純物を含有する。p型不純物は、例えば、ボロン(B)である。コンタクト領域32のp型不純物濃度は、ベース領域34のp型不純物濃度より高い。コンタクト領域32は、第1の共通電極20のコンタクト抵抗を低減する機能を備える。また、コンタクト領域32は、ドリフト領域18に注入され蓄積された正孔を掃き出す機能を備える。

10

【0030】

p⁺型のコレクタ領域36は、エミッタ領域30と半導体層10の裏面P2との間に設けられる。コレクタ領域36は半導体層10の裏面P2に接して設けられる。コレクタ領域36は、p型不純物を含有する。p型不純物は、例えば、ボロン(B)である。コレクタ領域36は、ホールをドリフト領域18に注入するとともに、第2の共通電極22のコンタクト抵抗を低減する機能を備える。

【0031】

n⁻型のドリフト領域18は、エミッタ領域30とコレクタ領域36との間に設けられる。ドリフト領域18は、n型不純物を含有する。n型不純物は、例えば、リン(P)である。

20

【0032】

p型のベース領域34は、エミッタ領域30とドリフト領域18との間に設けられる。p型のベース領域34は、p型不純物を含有する。p型不純物は、例えば、ボロン(B)である。p型のベース領域34は、IGBTのオン動作時に、反転層が形成され、チャネル領域として機能する。

【0033】

p型のベース領域34は、例えば、セルダイオード部111のアノード領域12と同時に形成される。ベース領域34は、例えば、アノード領域12と略同一の不純物濃度、略同一の深さである。

30

【0034】

なお、本明細書中、「深さ」とは、第1の面P1から、各領域の第2の面P2側の端部までの距離を意味する。

【0035】

なお、ここで、トレンチ44は、半導体層10の中の第1の方向(深さ方向)に伸長して設けられた、半導体層10の領域の一部を指す。トレンチ44は、半導体層10の第1の面P1側から、ベース領域34を貫通し、底部はドリフト領域18に達するように設けられる。

【0036】

ゲート絶縁膜46は、トレンチ24の中に設けられる。ゲート絶縁膜46は、例えば、酸化シリコンである。

40

【0037】

ゲート電極48は、トレンチ44の中に設けられる。ゲート電極48は、ゲート絶縁膜46の上に設けられる。ゲート電極48に印加されるゲート電圧を制御することにより、IGBTのオンオフ動作を制御する。ゲート電極48は、例えば、導電性不純物を含む多結晶シリコンである。

【0038】

第1の共通電極20は、セルIGBT部113では、IGBTのエミッタ電極として機能する。第1の共通電極20とエミッタ領域30との間のコンタクトは、オーミックコン

50

タクトである。

【0039】

第2の共通電極22は、セルIGBT部113では、IGBTのコレクタ電極として機能する。第2の共通電極22とコレクタ領域36との間のコンタクトは、オーミックコンタクトである。

【0040】

絶縁層49は、第1の共通電極20とゲート電極48との間に設けられる。絶縁層49は、第1の共通電極20とゲート電極48とを電氣的に分離する。

【0041】

図4は、第1の実施形態の半導体装置の活性領域の一部の模式断面図である。図2のB-B'断面を示す。図4は、リーディングダイオード部112の断面図である。

10

【0042】

リーディングダイオード部112には、ダイオードが設けられる。RC-IGBT100がゲート電極に正電圧が印加された状態で逆導通モードになる際に、リーディングダイオード部112のダイオードは、セルダイオード部111のダイオードに先行してオン動作する機能を有する。

【0043】

リーディングダイオード部112は、半導体層10、p型のアノード領域52（第2のアノード領域）、p⁺型のコンタクト領域54、n⁺型のカソード領域56（第2のカソード領域）、n⁻型のドリフト領域18、第1の共通電極20、第2の共通電極22を備える。また、トレンチ64（第2のトレンチ）、トレンチ絶縁膜66（第2のトレンチ絶縁膜）、トレンチ電極68（第2のトレンチ電極）を備える。

20

【0044】

リーディングダイオード部112のp型のアノード領域52（第2のアノード領域）、p⁺型のコンタクト領域54、n⁺型のカソード領域56（第2のカソード領域）、トレンチ64（第2のトレンチ）、トレンチ絶縁膜66（第2のトレンチ絶縁膜）、トレンチ電極68（第2のトレンチ電極）は、それぞれ、セルダイオード部111のp型のアノード領域12（第1のアノード領域）、p⁺型のコンタクト領域14、n⁺型のカソード領域16（第1のカソード領域）、トレンチ24（第1のトレンチ）、トレンチ絶縁膜26（第1のトレンチ絶縁膜）、トレンチ電極28（第1のトレンチ電極）と同様の構成及び機能を有する。

30

【0045】

第1の共通電極20は、リーディングダイオード部112では、ダイオードのアノード電極として機能する。第2の共通電極22は、リーディングダイオード部112では、ダイオードのカソード電極として機能する。

【0046】

リーディングダイオード部112の第1の方向の幅（図2中のW2）は、セルダイオード部111の第2の方向の幅（図2中のW1）よりも大きい。リーディングダイオード部112の第1の方向の幅（図2中のW2）は、例えば、60μm以上である。

【0047】

図5は、第1の実施形態の半導体装置の活性領域の模式平面図である。図5は、セルダイオード部111のトレンチ24（第1のトレンチ）、リーディングダイオード部112のトレンチ64（第2のトレンチ）、セルIGBT部113のトレンチ44（第3のトレンチ）のレイアウトパターンを示す図である。

40

【0048】

トレンチ24、トレンチ64、トレンチ44は、第1の方向に伸長する。トレンチ24とトレンチ64は連続している。トレンチ24とトレンチ64が連続することで、トレンチ24の中のトレンチ電極28と、トレンチ64の中のトレンチ電極68が接続されている。

【0049】

50

トレンチ 6 4 とトレンチ 4 4 は離間している。トレンチ 6 4 とトレンチ 4 4 が離間することで、トレンチ 6 4 の中のトレンチ電極 6 8 と、トレンチ 4 4 の中のゲート電極 4 8 が分離している。

【 0 0 5 0 】

図 6 は、第 1 の実施形態の半導体装置の活性領域の模式平面図である。図 6 は、セルダイオード部 1 1 1 の n^+ 型のカソード領域 1 6 (第 1 のカソード領域)、リーディングダイオード部 1 1 2 の n^+ 型のカソード領域 5 6 (第 2 のカソード領域)、セル I G B T 部 1 1 3 の p^+ 型のコレクタ領域 3 6 のレイアウトパターンを示す図である。

【 0 0 5 1 】

n^+ 型のカソード領域 1 6 と p^+ 型のコレクタ領域 3 6 は、第 2 の方向に交互に配置される。 n^+ 型のカソード領域 1 6 と p^+ 型のコレクタ領域 3 6 は、物理的に接続されている。

10

【 0 0 5 2 】

n^+ 型のカソード領域 5 6 は、 n^+ 型のカソード領域 1 6 の第 1 の方向に配置される。 n^+ 型のカソード領域 5 6 は、 p^+ 型のコレクタ領域 3 6 の第 1 の方向に配置される。 n^+ 型のカソード領域 5 6 と n^+ 型のカソード領域 1 6 は物理的に接続される。

【 0 0 5 3 】

次に、第 1 の実施形態の作用及び効果について説明する。

【 0 0 5 4 】

図 7 は、比較例の半導体装置の活性領域の模式平面図である。比較例の半導体装置は、トレンチ構造を備える R C - I G B T である。

20

【 0 0 5 5 】

比較例の R C - I G B T は、活性領域 9 0 1 を備える。活性領域 9 0 1 は、複数のセルダイオード部 1 1 1、複数のセル I G B T 部 1 1 3 を備える。比較例の R C - I G B T は、リーディングダイオード部 1 1 2 を備えない点で第 1 の実施形態の R C - I G B T 1 0 0 と異なる。セルダイオード部 1 1 1、セル I G B T 部 1 1 3 の構成は第 1 の実施形態の R C - I G B T 1 0 0 と同様である。

【 0 0 5 6 】

図 8 は、比較例の半導体装置の電流電圧特性を示す図である。図 8 は、比較例の R C - I G B T がゲート電極に正電圧が印加された状態で逆導通モードになる場合の電流電圧特性を示す。実線が比較例の場合の電流電圧特性、点線が理想的な電流電圧特性である。

30

【 0 0 5 7 】

R C - I G B T の逆導通モードでは、セルダイオード部 1 1 1 のダイオードが順方向動作する。理想的には、電流が順方向電圧 (V_f) で急速に立ち上がる。しかし、比較例の R C - I G B T では、一定の電圧まで電流の急速な立ち上がりが抑制される現象、いわゆるスナップバックが生じる。

【 0 0 5 8 】

セルダイオード部 1 1 1 で、スナップバックが生じると、例えば、複数の R C - I G B T を並列接続している場合に、それぞれの R C - I G B T を流れる電流のアンバランスが生じ得る。電流のアンバランスが生じると、特定の R C - I G B T に過剰な電流が流れて、特定の R C - I G B T が破壊するおそれがある。

40

【 0 0 5 9 】

図 9 は、比較例の半導体装置の活性領域の一部の模式断面図である。図 7 の C - C ' 断面を示す。図 9 は、セルダイオード部 1 1 1 とセル I G B T 部 1 1 3 の断面図である。

【 0 0 6 0 】

R C - I G B T の逆導通モードの場合は、第 2 の共通電極 2 2 に対し、第 1 の共通電極 2 0 に相対的に正電圧が印加される。R C - I G B T の逆導通モードでは、セル I G B T 部 1 1 3 のゲート電極 4 8 には、I G B T のオン動作時のゲート電圧が印加される場合がある。この場合、ベース領域 3 4 には、反転層が形成され、チャネル領域が形成される。

【 0 0 6 1 】

50

セル I G B T 部 1 1 3 の I G B T にチャネル領域が形成されることで、第 2 の共通電極 2 2 から、カソード領域 1 6、ドリフト領域 1 8、ベース領域 3 4、エミッタ領域 3 0 を経由して第 1 の共通電極 2 0 に至る電子のパスが形成される。したがって、セルダイオード部 1 1 1 の電子が、セル I G B T 部 1 1 3 から排出される。よって、セルダイオード部 1 1 1 のキャリア濃度が上昇せず、セルダイオード部 1 1 1 のダイオードの電流の立ち上がりが抑制され、スナップバックが生じると考えられる。

【 0 0 6 2 】

第 1 の実施形態の R C - I G B T 1 0 0 では、リーディングダイオード部 1 1 2 を新たに設ける。リーディングダイオード部 1 1 2 の第 1 の方向の幅 (図 2 中の W 2) は、セルダイオード部 1 1 1 の第 2 の方向の幅 (図 2 中の W 1) よりも大きい。リーディングダイオード部 1 1 2 は、セル I G B T 部 1 1 3 からの距離が遠い領域を備えている。

10

【 0 0 6 3 】

セル I G B T 部 1 1 3 からの距離が遠い領域では、逆導通モードの場合にセル I G B T 部 1 1 3 からの電子の排出が抑制され、ダイオードのスナップバックが抑制される。したがって、リーディングダイオード部 1 1 2 のダイオードは、図 8 に点線で示すような、電流が順方向電圧 (V f) で急速に立ち上がる理想的な電流電圧特性を備えることになる。

【 0 0 6 4 】

リーディングダイオード部 1 1 2 のダイオードの電流電圧特性が順方向電圧 (V f) で急速に立ち上がると、リーディングダイオード部 1 1 2 からリーディングダイオード部 1 1 2 に接続されるセルダイオード部 1 1 1 にキャリアが供給される。したがって、セルダイオード部 1 1 1 の電流も順方向電圧 (V f) で急速に立ち上がるようになる。言い換えれば、セルダイオード部 1 1 1 でのスナップバックも抑制され、セルダイオード部 1 1 1 でも、電流が順方向電圧 (V f) で急速に立ち上がる理想的な電流電圧特性を備えることになる。

20

【 0 0 6 5 】

リーディングダイオード部 1 1 2 の第 1 の方向の幅 (図 2 中の W 2) は、6 0 μ m 以上であることが好ましい。セル I G B T 部 1 1 3 から 6 0 μ m 以上離れると、ダイオードのスナップバックが十分に抑制されることが、デバイスシュミレーションの結果から明らかになっている。第 1 の実施形態の R C - I G B T 1 0 0 のようにリーディングダイオード部 1 1 2 の両側にセル I G B T 部 1 1 3 が存在する場合は、リーディングダイオード部 1 1 2 の第 1 の方向の幅 (図 2 中の W 2) は、1 2 0 μ m 以上であることが好ましい。

30

【 0 0 6 6 】

第 1 の実施形態によれば、逆導通モードの場合のダイオードのスナップバックが抑制された R C - I G B T 1 0 0 が実現できる。

【 0 0 6 7 】

(第 2 の実施形態)

第 2 の実施形態の半導体装置は、第 1 のコレクタ領域が第 1 のダイオード部に設けられた点で、第 1 の実施形態と異なる。以下、第 1 の実施形態と重複する内容については、一部記述を省略する。

【 0 0 6 8 】

第 2 の実施形態の R C - I G B T は、カソード領域 1 6、カソード領域 5 6、コレクタ領域 3 6 のレイアウトパターンが異なる以外は第 1 の実施形態と同様である。

40

【 0 0 6 9 】

図 1 0 は、第 2 の実施形態の半導体装置の活性領域の模式平面図である。第 2 の実施形態の半導体装置は、トレンチ構造を備える R C - I G B T である。

【 0 0 7 0 】

活性領域 2 0 1 は、複数のセルダイオード部 1 1 1 (第 1 のダイオード部)、リーディングダイオード部 1 1 2 (第 2 のダイオード部)、複数のセル I G B T 部 1 1 3 (第 1 の I G B T 部) を備える。

【 0 0 7 1 】

50

図10には、セルダイオード部111の n^+ 型のカソード領域16（第1のカソード領域）、リーディングダイオード部112の n^+ 型のカソード領域56（第2のカソード領域）、セルIGBT部113の p^+ 型のコレクタ領域36のレイアウトパターンを示す。

【0072】

セルIGBT部113の p^+ 型のコレクタ領域36が、セルダイオード部111にも設けられる。セルダイオード部111の裏面P2にも p^+ 型のコレクタ領域36が存在する。

【0073】

また、セルダイオード部111の n^+ 型のカソード領域16が、セルIGBT部113に設けられる。セルIGBT部113の裏面P2にも n^+ 型のカソード領域16が存在する。

10

【0074】

n^+ 型のカソード領域16と p^+ 型のコレクタ領域36は、第1の方向に交互に配置される。 n^+ 型のカソード領域16と p^+ 型のコレクタ領域36は、接続されている。

【0075】

第2の実施形態のRC-IGBTでは、セルダイオード部111の裏面P2にも p^+ 型のコレクタ領域36が存在する。これにより、セルIGBT部113のIGBTのオン動作時に、セルダイオード部111にもIGBTのオン電流が流れる。言い換えれば、セルダイオード部111もIGBTの有効領域として機能する。したがって、RC-IGBTのオン動作時のオン電流が増加する。

20

【0076】

第2の実施形態によれば、第1の実施形態同様、逆導通モードの場合のダイオードのスナップバックが抑制されたRC-IGBTが実現できる。更に、オン動作時のオン電流が増加したRC-IGBTが実現できる。

【0077】

（第3の実施形態）

第3の実施形態の半導体装置は、第2のIGBT部を更に、備え、第2のIGBT部は、第1のダイオード部及び第2のダイオード部の第2の方向に隣り合って設けられ、半導体層の中に設けられた第2導電型の第2のエミッタ領域と、第2のエミッタ領域と第2の面との間に設けられた第1導電型の第2のコレクタ領域と、第2のエミッタ領域と第2のコレクタ領域との間に設けられたドリフト領域と、第2のエミッタ領域とドリフト領域との間に設けられた第1導電型の第2のベース領域と、半導体層の中に設けられて第1の方向に伸長する第4のトレンチと、第4のトレンチの中に設けられた第2のゲート絶縁膜と、第4のトレンチの中であって第2のゲート絶縁膜の上に設けられた第2のゲート電極と、を有し、第2のコレクタ領域と第1のコレクタ領域が物理的に接続され、第2のコレクタ領域の第2の方向の幅が第1のコレクタ領域の第1の方向の幅よりも大きい点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

30

【0078】

図11は、第3の実施形態の半導体装置の活性領域の模式平面図である。第3の実施形態の半導体装置は、トレンチ構造を備えるRC-IGBTである。

40

【0079】

活性領域301は、複数のセルダイオード部111（第1のダイオード部）、リーディングダイオード部112（第2のダイオード部）、複数のセルIGBT部113（第1のIGBT部）、リーディングIGBT部114（第2のIGBT部）を備える。なお、第1の方向と第2の方向は直交する。

【0080】

セルダイオード部111とセルIGBT部113は、第2の方向に隣り合って設けられる。セルダイオード部111とセルIGBT部113は、第2の方向に交互に配置される。

50

【0081】

リーディングダイオード部112は、セルダイオード部111の第1の方向に隣り合って設けられる。また、セルIGBT部113は、リーディングダイオード部112の第1の方向に隣り合って設けられる。

【0082】

リーディングIGBT部114は、セルダイオード部111及びリーディングダイオード部112の第2の方向に隣り合って設けられる。

【0083】

図12は、第3の実施形態の半導体装置の活性領域の一部の模式断面図である。図12は、図11のD-D'断面を示す。図12は、リーディングIGBT部114の断面図である。

10

【0084】

リーディングIGBT部114には、IGBTが設けられる。リーディングIGBT部114は、半導体層10、 n^+ 型のエミッタ領域70（第2のエミッタ領域）、 p^+ 型のコンタクト領域72、 p 型のベース領域74（第2のベース領域）、 p^+ 型のコレクタ領域76（第2のコレクタ領域）、 n^- 型のドリフト領域18、第1の共通電極20、第2の共通電極22を備える。また、トレンチ84（第4のトレンチ）、ゲート絶縁膜86（第2のゲート絶縁膜）、ゲート電極88（第2のゲート電極）、絶縁層89を備える。

【0085】

リーディングIGBT部114の n^+ 型のエミッタ領域70（第2のエミッタ領域）、 p^+ 型のコンタクト領域72、 p 型のベース領域74（第2のベース領域）、 p^+ 型のコレクタ領域76（第2のコレクタ領域）、トレンチ84（第4のトレンチ）、ゲート絶縁膜86（第2のゲート絶縁膜）、ゲート電極88（第2のゲート電極）、絶縁層89は、セルIGBT部113の n^+ 型のエミッタ領域30（第1のエミッタ領域）、 p^+ 型のコンタクト領域32、 p 型のベース領域34（第1のベース領域）、 p^+ 型のコレクタ領域36（第1のコレクタ領域）、トレンチ44（第3のトレンチ）、ゲート絶縁膜46（第1のゲート絶縁膜）、ゲート電極48（第1のゲート電極）、絶縁層49と同様の構成及び機能を有する。

20

【0086】

図13は、第3の実施形態の半導体装置の模式平面図である。図13は、セルダイオード部111の n^+ 型のカソード領域16（第1のカソード領域）、リーディングダイオード部112の n^+ 型のカソード領域56（第2のカソード領域）、セルIGBT部113の p^+ 型のコレクタ領域36（第1のコレクタ領域）、リーディングIGBT部114の p^+ 型のコレクタ領域76（第2のコレクタ領域）のレイアウトパターンを示す図である。

30

【0087】

セルIGBT部113の p^+ 型のコレクタ領域36が、セルダイオード部111に伸長している。セルダイオード部111にも p^+ 型のコレクタ領域36が存在する。

【0088】

また、セルダイオード部111の n^+ 型のカソード領域16が、セルIGBT部113に伸長している。セルIGBT部113にも n^+ 型のカソード領域16が存在する。

40

【0089】

n^+ 型のカソード領域16と p^+ 型のコレクタ領域36は、第1の方向に交互に配置される。 n^+ 型のカソード領域16と p^+ 型のコレクタ領域36は、物理的に接続されている。

【0090】

p^+ 型のコレクタ領域76と p^+ 型のコレクタ領域36は物理的に接続される。 p^+ 型のコレクタ領域76と n^+ 型のカソード領域16は物理的に接続される。

【0091】

p^+ 型のコレクタ領域76の第2の方向の幅（図13中のW4）は、 p^+ 型のコレクタ

50

領域 3 6 の第 1 の方向の幅 (図 1 3 中の W 3) よりも大きい。

【 0 0 9 2 】

次に、第 3 の実施形態の作用及び効果について説明する。

【 0 0 9 3 】

例えば、第 2 の実施形態の R C - I G B T がオン動作する場合には、第 1 の共通電極 2 0 に対し、第 2 の共通電極 2 2 に相対的に正電圧が印加される。また、ゲート電極 4 8 には、ベース領域 3 4 にチャネル領域が形成されるように正のゲート電圧が印加される。

【 0 0 9 4 】

第 2 の実施形態の R C - I G B T では、セル I G B T 部 1 1 3 がオン動作をする際に、第 1 の共通電極 2 0 から、セル I G B T 部 1 1 3 のエミッタ領域 3 0 、ベース領域 3 4 、ドリフト領域 1 8 、カソード領域 1 6 を経由して第 2 の共通電極 2 2 に至る電子のパスが形成される。したがって、セル I G B T 部 1 1 3 の電子が、第 2 の共通電極 2 2 から排出される。よって、セル I G B T 部 1 1 3 のキャリア濃度が上昇せず、セル I G B T 部 1 1 3 の I G B T の電流の立ち上がりが抑制され、スナップバックが生じる。

【 0 0 9 5 】

セル I G B T 部 1 1 3 で、スナップバックが生じると、例えば、複数の R C - I G B T を並列接続している場合に、それぞれの R C - I G B T を流れる電流のアンバランスが生じ得る。電流のアンバランスが生じると、特定の R C - I G B T に過剰な電流が流れて、特定の R C - I G B T が破壊するおそれがある。

【 0 0 9 6 】

第 3 の実施形態の R C - I G B T では、第 2 の実施形態の R C - I G B T に対し、リーディング I G B T 部 1 1 4 を新たに設ける。リーディング I G B T 部 1 1 4 の p ⁺ 型のコレクタ領域 7 6 の第 2 の方向の幅 (図 1 3 中の W 4) は、セル I G B T 部 1 1 3 の p ⁺ 型のコレクタ領域 3 6 の第 1 の方向の幅 (図 1 3 中の W 3) よりも大きい。リーディング I G B T 部 1 1 4 は、n ⁺ 型のカソード領域 1 6 からの距離が遠い p ⁺ 型のコレクタ領域 7 6 を有する領域を備えている。

【 0 0 9 7 】

リーディング I G B T 部 1 1 4 のカソード領域 1 6 からの距離が遠い p ⁺ 型のコレクタ領域 7 6 を有する領域では、I G B T がオン動作する際に、第 2 の共通電極 2 2 からの電子の排出が抑制される。したがって、リーディング I G B T 部 1 1 4 の I G B T のスナップバックが抑制される。

【 0 0 9 8 】

リーディング I G B T 部 1 1 4 の I G B T がオン動作し、電流が急速に流れるようになると、リーディング I G B T 部 1 1 4 に p ⁺ 型のコレクタ領域 3 6 で接続されるセル I G B T 部 1 1 3 にキャリアが供給される。これにより、セル I G B T 部 1 1 3 の I G B T もオン動作し電流が急速に立ち上がることになる。したがって、セル I G B T 部 1 1 3 の I G B T のスナップバックも抑制される。

【 0 0 9 9 】

リーディング I G B T 部 1 1 4 の p ⁺ 型のコレクタ領域 7 6 の第 2 の方向の幅 (図 1 3 中の W 4) は、6 0 0 μ m 以上であることが好ましい。p ⁺ 型のコレクタ領域 7 6 が、n ⁺ 型のカソード領域 1 6 から 6 0 0 μ m 以上離れると、I G B T のスナップバックが十分に抑制されることが、デバイスシュミレーションの結果から明らかになっている。

【 0 1 0 0 】

第 3 の実施形態によれば、第 1 の実施形態同様、逆導通モードの場合のダイオードのスナップバックが抑制された R C - I G B T が実現できる。また、第 2 の実施形態同様、オン動作時のオン電流が増加した R C - I G B T が実現できる。更に、I G B T のスナップバックが抑制された R C - I G B T が実現できる。

【 0 1 0 1 】

以上、実施形態では、半導体層 1 0 がシリコンである場合を例に説明したが、半導体層 1 0 は、S i C 、G a N 系半導体など、その他の半導体であってもかまわない。

10

20

30

40

50

【 0 1 0 2 】

また、実施形態では、第 1 導電型が p 型、第 2 導電型が n 型の場合を例に説明したが、第 1 導電型を n 型、第 2 導電型を p 型とすることも可能である。

【 0 1 0 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【 符号の説明 】

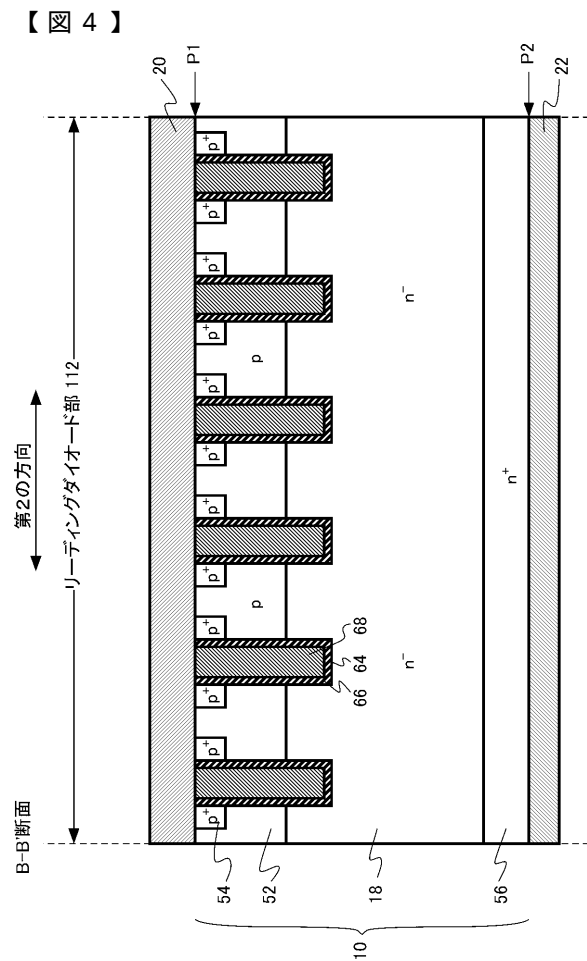
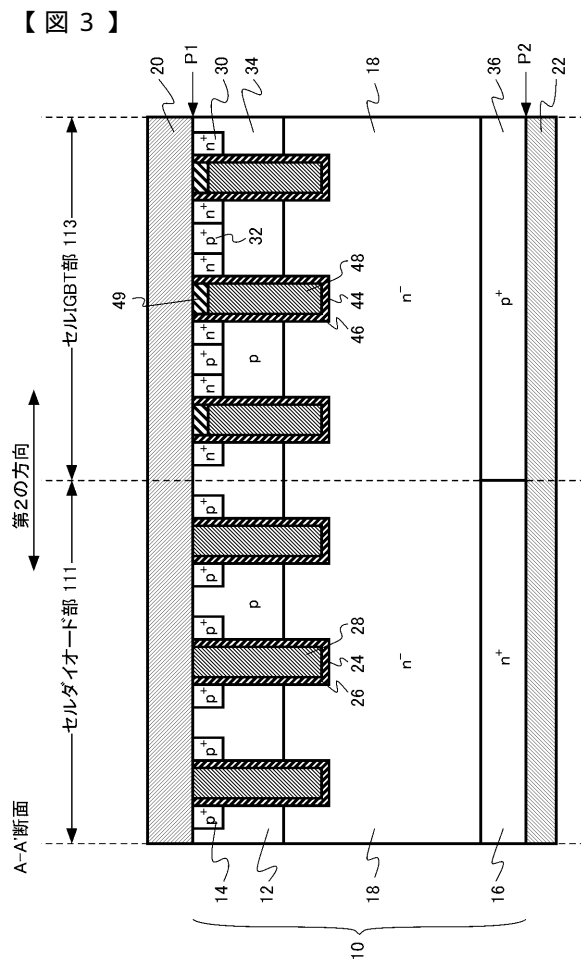
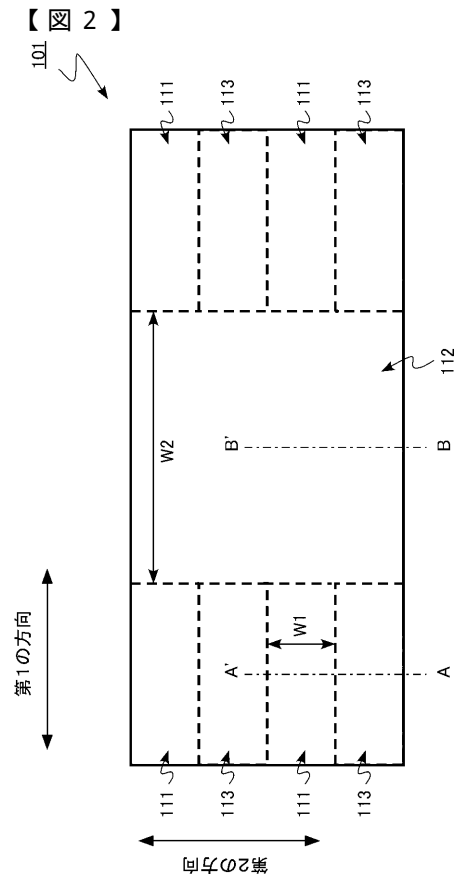
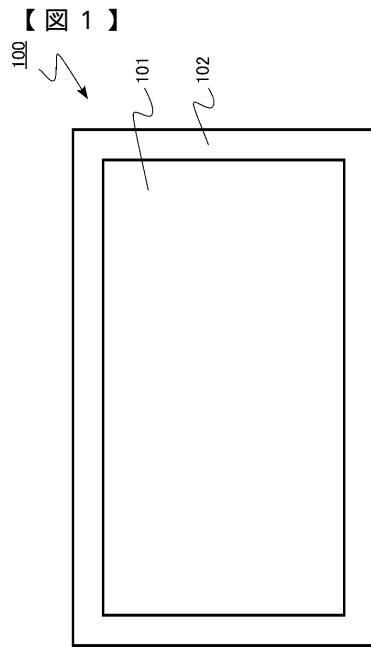
【 0 1 0 4 】

1 0	半 導 体 層
1 2	p 型のアノード領域 (第 1 のアノード領域)
1 6	n ⁺ 型のカソード領域 (第 1 のカソード領域)
1 8	n ⁻ 型のドリフト領域
2 4	トレンチ (第 1 のトレンチ)
2 6	トレンチ絶縁膜 (第 1 のトレンチ絶縁膜)
2 8	トレンチ電極 (第 1 のトレンチ電極)
3 0	n ⁺ 型のエミッタ領域 (第 1 のエミッタ領域)
3 4	p 型のベース領域 (第 1 のベース領域)
3 6	p ⁺ 型のコレクタ領域 (第 1 のコレクタ領域)
4 4	トレンチ (第 3 のトレンチ)
4 6	ゲート絶縁膜 (第 1 のゲート絶縁膜)
4 8	ゲート電極 (第 1 のゲート電極)
5 2	p 型のアノード領域 (第 2 のアノード領域)
5 6	n ⁺ 型のカソード領域 (第 2 のカソード領域)
6 4	トレンチ (第 2 のトレンチ)
6 6	トレンチ絶縁膜 (第 2 のトレンチ絶縁膜)
6 8	トレンチ電極 (第 2 のトレンチ電極)
7 0	n ⁺ 型のエミッタ領域 (第 2 のエミッタ領域)
7 4	p 型のベース領域 (第 2 のベース領域)
7 6	p ⁺ 型のコレクタ領域 (第 2 のコレクタ領域)
8 4	トレンチ (第 4 のトレンチ)
8 6	ゲート絶縁膜 (第 2 のゲート絶縁膜)
8 8	ゲート電極 (第 2 のゲート電極)
1 0 0	R C - I G B T (半 導 体 装 置)
1 1 1	セルダイオード部 (第 1 のダイオード部)
1 1 2	リーディングダイオード部 (第 2 のダイオード部)
1 1 3	セル I G B T 部 (第 1 の I G B T 部)
1 1 4	リーディング I G B T 部 (第 2 の I G B T 部)

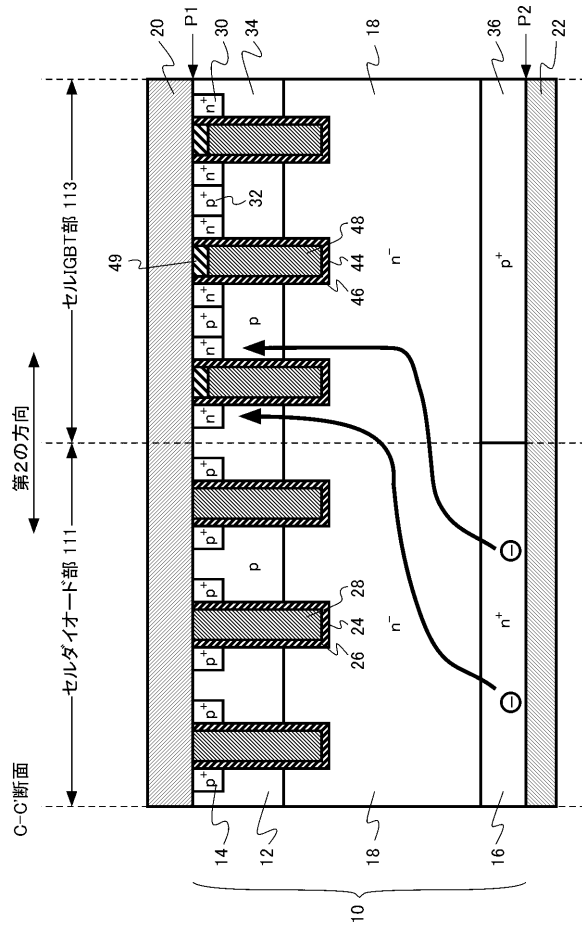
20

30

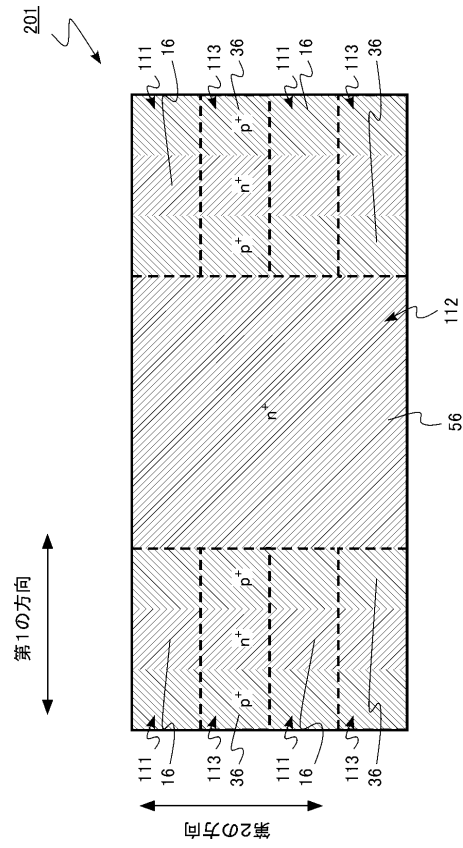
40



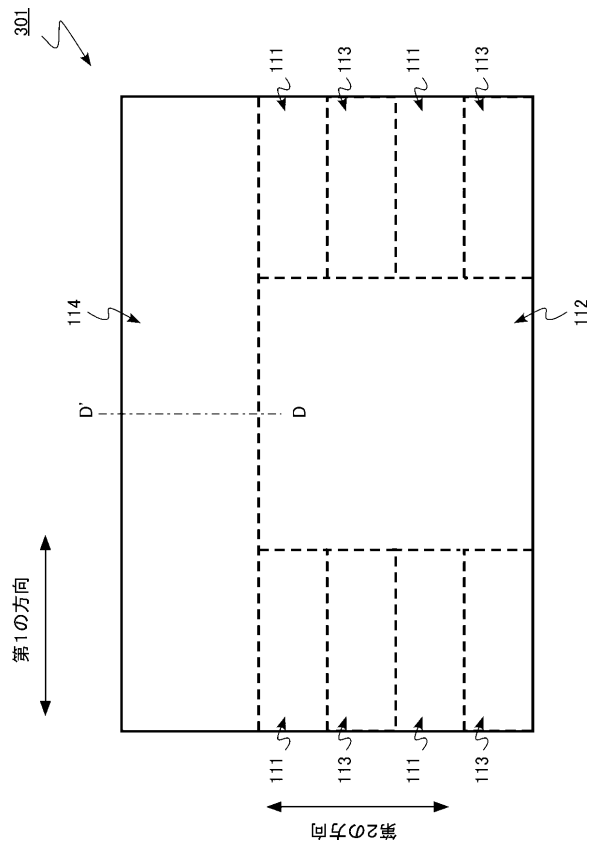
【図 9】



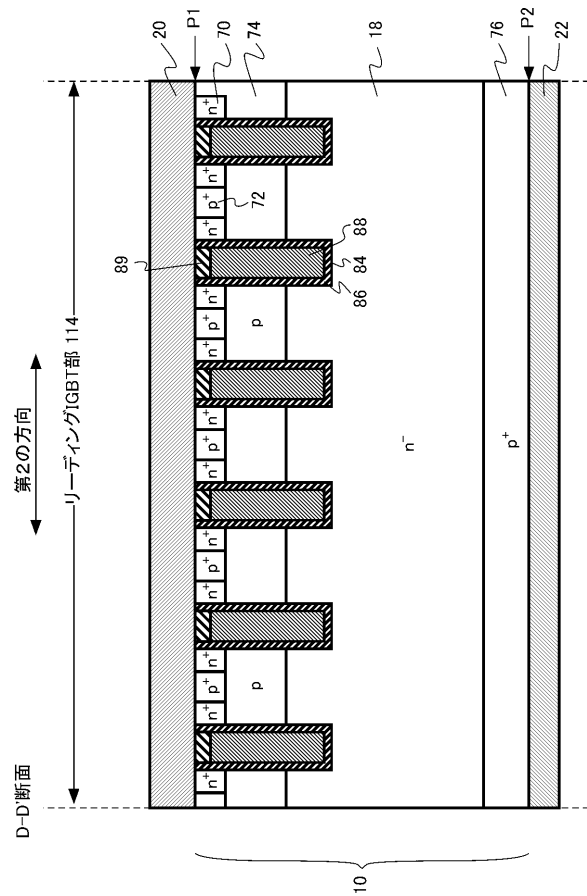
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/868 (2006.01) H 0 1 L 29/91 C

- (72)発明者 中村 和敏
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 安原 紀夫
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 玉城 朋宏
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 杉山 芳弘

- (56)参考文献 特開2017-022381(JP,A)
特開2008-053648(JP,A)
特開2014-220519(JP,A)
特開2009-267394(JP,A)
特開2010-135646(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 9 / 8 6 8