(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 5 月 26 日 (26.05.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/078112 A1

(51) 国际专利分类号:
*H01L 21/77* (2006.01) *H01L 29/786* (2006.01)

(21) 国际申请号: PCT/CN2014/092504

(22) 国际申请日: 2014 年 11 月 28 日 (28.11.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410677405.9 2014 年 11 月 21 日 (21.11.2014) CN

(71) 申请人: **深圳市华星光电技术有限公司** **(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **吕晓文 (LV, Xiaowen)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **李文辉 (LI, Wenhui)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **石龙强 (SHI, Longqiang)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 **苏智昱 (SU, Chih-yu)**; 中国广东省深圳市光明新区塘明大道 9-2 号 , Guangdong 518132 (CN) 。 **曾志远 (TSENG, Chih-yuan)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市威世博知识产权代理事务所（普通合伙） (CHINA WISPRO INTELLECTUAL PROPERTY LLP.)**; 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) **Title**: MANUFACTURING METHOD AND DEVICE FOR THIN FILM TRANSISTOR SUBSTRATE

(54) **发明名称** : 薄膜晶体管基板的制作方法及制造设备

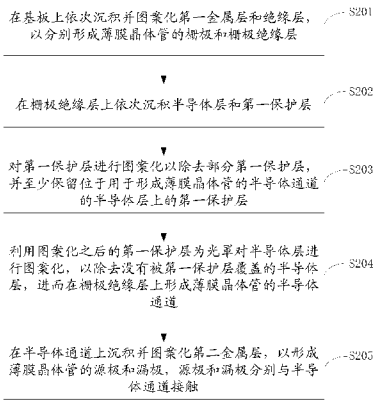



图 2/Fig. 2

S201 A first metal layer and the insulation layer are sequentially deposited and patterned on a substrate, in order to form grids and the grid insulation layer of a thin film transistor, respectively
S202 A semiconductor layer and a first protection layer are orderly deposited on the grid insulation layer
S203 The first protection layer is patterned to remove a part of the first protection layer, and at least the first protection layer located on the semiconductor layer for forming the semiconductor channel of the thin film transistor is reserved
S204 The patterned first protection layer is used as a photomask to pattern the semiconductor layer, in order to remove the semiconductor layer not covered by the first protection layer, and thus the semiconductor channel of the thin film transistor is formed on the grid insulation layer
S205 A second metal layer is deposited and patterned on the semiconductor channel, in order to form the source and the drain of the thin film transistor, and the source and the drain come into contact with the semiconductor channel, respectively

(57) **Abstract**: Disclosed are a method and equipment for manufacture of a thin film transistor substrate. In the method, after grids (31a, 31b) and a grid insulation layer (32) of a thin film transistor are formed, a semiconductor layer (33) and a first protection layer (34) are sequentially deposited; and after a first protection layer (34) is patterned, the patterned first protection layer (34) is used as a photomask to pattern the semiconductor layer (33), in order to form the semiconductor channel of the thin film transistor. In this way, the number of photomasks can be reduced, and the method and device is conducive to lower cost.

(57) **摘要**: 一种薄膜晶体管基板的制作方法及制造设备，所述方法中，在形成薄膜晶体管的栅极（31a，31b）和栅极绝缘层（32）之后，依次沉积半导体层（33）和第一保护层（34），在对第一保护层（34）图案化之后，利用图案化之后的第一保护层（34）为光罩对半导体层（33）进行图案化，以形成薄膜晶体管的半导体通道。通过上述方式，能够减少光罩数目，有利于降低成本。

WO 2016/078112 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布**:

— 包括国际检索报告(条约第 21 条(3))。

# 说明书

## 发明名称: 薄膜晶体管基板的制作方法及制造设备

[1] 【技术领域】

[2] 本发明涉及显示技术领域，特别是涉及一种薄膜晶体管基板的制作方法及制造设备。

[3] 【背景技术】

[4] 目前，显示器主要分为LCD（Liquid Crystal Display，液晶显示）液晶显示器和OLED（Organic Light Emitting Display，有机电激光显示）显示器，两种主要的区别在于LCD液晶显示器需要背光源照射才能够显示，而OLED则是自发光。与LCD液晶显示器相比，OLED显示器具有宽视角、响应快、更轻薄、更省电等优点，将是继LCD显示技术之后的下一代显示技术的主流。

[5] 无论是LCD液晶显示器还是OLED显示器，通常都是采用TFT（Thin Film Transistor，薄膜晶体管）进行驱动，而氧化物半导体TFT具有较高的迁移率，同时是非晶结构，使得其与目前a-Si制程工艺兼容性高，因此在大尺寸显示面板中得到广泛应用。目前，氧化物半导体TFT常使用的结构为蚀刻阻止（ESL）结构。蚀刻阻止结构具有制作简单、器件稳定性较高的优点，但是在制造过程中需要较多的光罩数，制程复杂。

[6] 以OLED显示器为例，如图1所示，在制作蚀刻阻止结构的氧化物半导体TFT的过程中，步骤S101中，在基板10上沉积第一金属层11，并利用第一道光罩对第一金属层11进行图案化，以形成薄膜晶体管的栅极。步骤S102中，在栅极上沉积绝缘层12，并利用第二道光罩对绝缘层12进行图案化以形成薄膜晶体管的栅极绝缘层。步骤S103中，在栅极绝缘层上沉积半导体层13，并利用第三道光罩对半导体层13进行图案化以形成薄膜晶体管的半导体通道。步骤S104中，在半导体通道上沉积第一保护层14，并利用第四道光罩对第一保护层14进行图案化。步骤S105中，在半导体通道上沉积第二金属层15，并利用第五道光罩对第二金属层15进行图案化以形成源极和漏极。此外，步骤S106中，还分别需要一道

光罩形成第二保护层16和像素电极层17。因此，在形成薄膜晶体管的栅极、栅极绝缘层、半导体层、第一保护层以及源漏极的过程中，至少需要五道光罩，光罩数较多，制程复杂，不利于成本降低。

[7] 【发明内容】

[8] 本发明主要解决的技术问题是提供一种薄膜晶体管基板的制作方法及制造设备，能够减少光罩数目，降低工艺的复杂性。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种薄膜晶体管基板的制作方法，所述薄膜晶体管基板用于OLED显示面板，包括：在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层；在所述栅极绝缘层上依次沉积半导体层和第一保护层，所述第一保护层为蚀刻阻挡层，其材料为氮化硅；对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层，其中，使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层；对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[10] 其中，所述半导体层的材料为氧化铟镓锌；所述对所述第一保护层进行图案化的步骤包括：对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电

极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；所述对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻的步骤，还包括：除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，以暴露所述用于形成存储电容的第一电极的半导体层；所述利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化的步骤，还包括：利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[11] 其中，所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[12] 其中，所述在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极的步骤之后，包括：在形成所述源极和漏极的基板上形成第二保护层；在所述漏极之上的第二保护层中设置导通孔；在所述第二保护层上形成作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔与所述漏极连接。

[13] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种薄膜晶体管基板的制作方法，包括：在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层；在所述栅极绝缘层上依次沉积半导体层和第一保护层；对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层；利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[14] 其中，所述对所述第一保护层进行图案化的步骤包括：使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的

半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；在所述利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层的步骤之后，包括：对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道。

[15] 其中，所述半导体层的材料为氧化铟镓锌；所述对所述第一保护层进行图案化的步骤包括：对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；所述对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻的步骤，还包括：除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，以暴露所述用于形成存储电容的第一电极的半导体层；所述利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化的步骤，还包括：利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[16] 其中，所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[17] 其中，所述在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极的步骤之后，包括：在形成所述源极和漏极的基板上形成第二保护层；在所述漏极之上的第二保护层中设置导通孔；在所述第二保护层上形成作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔与所述漏极连接。

[18] 为解决上述技术问题，本发明采用的又一个技术方案是：提供一种薄膜晶体管基板的制造设备，包括：涂布机构；第一光罩，用于在所述涂布机构在基板上涂布第一金属层后对所述第一金属层进行图案化，以形成薄膜晶体管的栅极；第二光罩，用于在所述涂布机构在所述栅极上涂布绝缘层后，对所述绝缘层进行图案化，以形成所述薄膜晶体管的栅极绝缘层；第三光罩，用于在所述涂布机构在所述栅极绝缘层上依次涂布半导体层和第一保护层后，对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层，以利用保留的第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；第四光罩，用于在所述涂布机构在所述半导体通道上涂布第二金属层后，对所述第二金属层进行图案化，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[19] 其中，所述第三光罩用于对所述第一保护层进行图案化，以使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；所述制造设备还包括：蚀刻机构，用于对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；金属化机构，用于利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道。

[20] 其中，所述半导体层的材料为氧化铟镓锌；所述第三光罩还用于对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；所述蚀刻机构还用于对所述位于用于形成存储电容的第一电极的半导体层上的第一保护层进行蚀

刻，以除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，进而暴露所述用于形成存储电容的第一电极的半导体层；所述金属化机构还用于利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[21] 其中，所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[22] 其中，所述涂布机构还用于在形成所述源极和漏极的基板上涂布第二保护层；所述制造设备还包括第五光罩，用于对所述第二保护层进行图案化，以在所述漏极之上的第二保护层中形成导通孔；所述涂布机构还用于在所述第二保护层上涂布作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔与所述漏极连接。

[23] 本发明的有益效果是：区别于现有技术的情况，本发明薄膜晶体管基板的制作方法中，在形成薄膜晶体管的栅极和栅极绝缘层之后，依次沉积半导体层和第一保护层，在对第一保护层图案化之后，利用图案化之后的第一保护层为光罩对半导体层进行图案化，以形成薄膜晶体管的半导体通道，由此不需要增加另外的半导体通道光罩对半导体层进行曝光，能够减少光罩数目，有利于降低成本，同时能够减少对位误差和电容耦合。

[24] 【附图说明】

[25] 图1是现有技术中一种薄膜晶体管基板的制作方法示意图；

[26] 图2是本发明薄膜晶体管基板的制作方法一实施方式的流程图；

[27] 图3是本发明薄膜晶体管基板的制作方法一实施方式的截面图；

[28] 图4是本发明薄膜晶体管基板的制作方法另一实施方式的截面图；

[29] 图5是本发明薄膜晶体管基板的制作方法又一实施方式的截面图；

[30] 图6是本发明薄膜晶体管基板的制作方法又一实施方式的截面图；

[31] 图7是本发明薄膜晶体管基板的制造设备一实施方式的结构示意图；

[32] 图8是本发明薄膜晶体管基板的制造设备另一实施方式的结构示意图；

[33] 图9是本发明薄膜晶体管基板的制造设备又一实施方式的结构示意图。

[34] 【具体实施方式】

[35] 下面将结合附图及实施方式对本发明进行详细说明。

[36] 参阅图2，本发明薄膜晶体管基板的制作方法一实施方式中，薄膜晶体管基板为应用于OLED显示面板的薄膜晶体管基板。由于OLED为电流型驱动，因此每个像素需要两个薄膜晶体管驱动，一个薄膜晶体管作为开关作用，以进行开启、关闭的控制，另一薄膜晶体管作为像素发光的驱动电流的提供者，用以控制OLED的电流大小。因此，本实施方式中，薄膜晶体管基板上每个像素对应两个薄膜晶体管，其制作过程包括如下步骤：

[37] 步骤S201：在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层。

[38] 结合图3，图3是本发明薄膜晶体管基板的制作方法的示意图。如图3所示的步骤S301，该步骤为第一道光罩制程，在基板30上首先沉积第一金属层，并利用具有形成栅极图案的光罩对第一金属层进行曝光，以分别形成两个薄膜晶体管的栅极31a、31b，其中栅极31a为用于开关的薄膜晶体管Q1的栅极，栅极31b为用于控制OLED电流的薄膜晶体管Q2的栅极。第一金属层可以为铜金属层。

[39] 步骤S302为第二道光罩制程，在栅极31a、31b上沉积绝缘层，并利用具有形成栅极绝缘层图案的光罩对绝缘层进行曝光，以形成薄膜晶体管Q1、Q2的栅极绝缘层32，且在栅极31a上方的栅极绝缘层32上形成导通孔32a。栅极绝缘层32覆盖栅极31a、31b。

[40] 步骤S202：在栅极绝缘层上依次沉积半导体层和第一保护层。

[41] 如图3所示的步骤S303，在栅极绝缘层32上依次沉积半导体层33和第一保护层34。半导体层33覆盖栅极绝缘层32，第一保护层34覆盖半导体层33。其中，半导体层33用于形成薄膜晶体管Q1、Q2的有源层，即半导体通道，第一保护层34为蚀刻阻挡层（ES，Etch-Stopper），具体可以为氮化硅材料层，当然，也可以是二氧化硅等其他材料层。

[42] 步骤S203：对第一保护层进行图案化以除去部分第一保护层，并至少保留位于用于形成薄膜晶体管的半导体通道的半导体层上的第一保护层。

[43] 对应于图3所示的步骤S304，该步骤为第三道光罩制程，本步骤中，利用第三

道光罩对第一保护层34进行曝光，以除去部分第一保护层34，且保留位于用于形成薄膜晶体管Q1、Q2的半导体通道的半导体层上的第一保护层34a、34b。其中，除了位于用于形成薄膜晶体管Q1、Q2的半导体通道的半导体层上的第一保护层34a、34b之外，其他第一保护层34均去除。

[44] 步骤S204：利用图案化之后的第一保护层为光罩对半导体层进行图案化，以除去没有被第一保护层覆盖的半导体层，进而在栅极绝缘层上形成薄膜晶体管的半导体通道。

[45] 对应于图3所示的步骤S305，该步骤相当于第四道光罩制程，但在本步骤中，并不需要另外的光罩对半导体层33进行曝光。在步骤S303中，对第一保护层34进行曝光后，在基板上保留了位于用于形成半导体通道的半导体层上的第一保护层34a、34b，而半导体层33则是用于形成半导体通道，即在基板上只需保留用于形成半导体通道的半导体层即可。因此，本实施方式中，利用保留的第一保护层34a、34b为自对准光罩对半导体层33进行曝光，以将没有被第一保护层34覆盖的半导体层33除去，而保留了被第一保护层34a、34b所覆盖的半导体层33，从而分别形成了两个薄膜晶体管Q1、Q2的半导体通道33a、33b。而第一保护层34a、34b为蚀刻阻挡层，例如可以为氮化硅层，对半导体通道33a、33b形成保护作用，有利于防止半导体通道33a、33b的腐蚀和凹陷，且能够提高击穿电压和器件可靠性。

[46] 步骤S205：在半导体通道上沉积并图案化第二金属层，以形成薄膜晶体管的源极和漏极，源极和漏极分别与半导体通道接触。

[47] 对应于图3所示的步骤S306，利用具有源极和漏极图案的光罩对第二金属层进行曝光，以形成薄膜晶体管Q1的源极35b和漏极35a，以及形成薄膜晶体管Q2的源极35b’和35a’。其中，源极35b和漏极35a与相对应的薄膜晶体管Q1的半导体通道33a接触，源极35b’和35a’与相对应的薄膜晶体管Q2的半导体通道33b接触。此外，作为开关作用的薄膜晶体管Q2的漏极35a’通过导通孔32a与用于控制OLED的薄膜晶体管Q1的栅极31连接。通过半导体通道33a、33b的作用可分别实现两个薄膜晶体管的源极和漏极电性连接或电性绝缘。

[48] 现有技术中，在形成薄膜晶体管的过程中，首先利用一道光罩来形成半导体通

道，然后在半导体通道上沉积蚀刻阻止层，并利用另一道光罩对蚀刻阻止层进行曝光，因此现有技术形成栅极、栅极绝缘层、半导体通道、蚀刻阻止层、源漏极的过程中共需要五道光罩，所需光罩数目较多。与现有技术相比，本实施方式中，在形成半导体通道时利用图案化之后的第一保护层34a、34b作为自对准光罩对半导体层33进行曝光，以形成半导体通道33a、33b，由此不需要单独的光罩对半导体层进行曝光，可减少半导体层的光罩，因此能够减少光罩数目，有利于降低成本，同时还能够减少光罩对位误差及电容耦合。

[49] 上述实施方式中，源极35b、35b'和漏极35a、35a'与半导体通道33a、33b的侧面相接触。为了提高半导体通道和源漏极之间接触的可靠性，在本发明薄膜晶体管基板的制作方法另一实施方式中，采用half-tone mask（半色调光罩）技术对第一保护层34进行图案化，以增大源漏极和半导体通道之间的接触面积。参阅图4，其中，相同的步骤可参考上述实施方式进行，此处不进行一一赘述，本实施方式中，使源极35b、35b'和漏极35a、35a'与半导体通道33a、33b靠近第一保护层34a、34b的上表面相接触，以增大接触面积。具体地，在步骤S404中，采用半色调光罩作为第三道光罩对第一保护层34进行曝光，使得保留的位于用于形成半导体通道的半导体层33上的第一保护层34a、34b中，覆盖用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度。进一步而言，对第一保护层34曝光时，需要保留的位于用于形成半导体通道的半导体层33上的第一保护层34a、34b中，中间部分的第一保护层34为全不曝光，厚度保留最厚，两端的第一保护层34为一定程度的曝光以除去部分厚度的第一保护层，以保留具有一定厚度的第一保护层在半导体层33上。其中，两端的第一保护层即为覆盖用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层的第一保护层，其在半导体层33上的位置即为源极和漏极与半导体通道的上表面相接触的位置

[50] 接着在步骤S405中利用图案化之后的第一保护层34a、34b为光罩对半导体层33进行曝光，以除去没有被第一保护层34a、34b覆盖的半导体层，而保留了被第一保护层34a、34b所覆盖的半导体层，保留的半导体层即形成半导体通道33a、34b。在步骤S406中，对覆盖用于形成半导体通道的半导体层33的第一保护层34a、

34b进行蚀刻，以除去覆盖用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层。由于覆盖用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层的第一保护层的厚度小于中间的第一保护层的厚度，因此在对半导体通道33a、33b上的第一保护层34a、34b进行蚀刻时，通过控制蚀刻条件可以将两端较小厚度的第一保护层完全去除，进而暴露两端的半导体通道，而中间厚度较厚的第一保护层仅是被除去一部分，被除去的量与厚度较小的第一保护层的量基本相同，因此中间的第一保护层仍能保留部分在半导体通道33a、33b上，以保护半导体通道33a、33b。

[51] 在步骤S407中，在半导体通道33a、33b上沉积并图案化第二金属层，以形成源极35b、35b'和漏极35a、35a'。其中，在薄膜晶体管Q1中，第一保护层34a位于源极35b和漏极35a之间，源极35b和漏极35a均与半导体通道33a的靠近第一保护层34a的上表面相接触；在薄膜晶体管Q2中，第一保护层34b位于源极35b'和漏极35a'之间，源极35b'和漏极35a'均与半导体通道33b的靠近第一保护层34b的上表面相接触，由此可以增大接触面积，有利于提高器件的可靠性。

[52] 在本发明薄膜晶体管基板的制造方法的实施方式中，半导体层为非晶IGZO（氧化铟镓锌）材料层，从而可以提高载流子迁移率，进而可大大提高像素电极的充放电速率。当然，在其他实施方式中，半导体层也可以是非晶硅（a-Si）材料层。

[53] 在使用非晶IGZO材料形成半导体层时，由于氧化物半导体和金属材料接触处有势垒的存在，影响器件电子传输，因此，在本发明薄膜晶体管基板的制造方法的又一实施方式中，如图5所示，与图4所示的实施方式不同的是，增加了一道金属化制程，即图5所示的步骤S507。在步骤S506中，对第一保护层34a、34b进行蚀刻以除去覆盖用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层的第一保护层之后，执行步骤S507，利用蚀刻之后的第一保护层34a、34b为光罩对暴露的用于形成与源极35b、35b'和漏极35a、35a'接触的半导体通道的半导体层进行金属化，进而形成半导体通道33a、33b。在对暴露的半导体通道进行金属化之后，沉积并图案化第二金属层以形成源极和漏极。其中，

源极和漏极与金属化之后的半导体层接触。

[54] 通过对半导体层进行金属化，能够降低半导体通道和源极35b、35b'和漏极35a、35a'接触处的阻抗，从而进一步提高器件的性能。此外，在本实施方式中，利用蚀刻之后的第一保护层34a、34b为自对准光罩对半导体层进行金属化，不需要增加额外的光罩来进行金属化，与单独增加一道光罩进行金属化的方案相比，能够减少光罩数目，有利于降低制造成本。

[55] 在薄膜晶体管的制作过程中，通常会设置存储电容，用以保持电位，以使得显示面板能够正常显示。现有技术中，通常是以金属电极夹置绝缘层制作，然而金属为不透光材料，会造成面板开口率降低。本发明薄膜晶体管基板的制作方法的实施方式中，采用透明的IGZO形成半导体层和存储电容的一个电极，以提高开口率。具体地，参阅图6，其中步骤S601为形成栅极31a、31b，步骤S602为形成栅极绝缘层32，步骤S603为依次沉积半导体层33和第一保护层34。

[56] 在步骤S604中，对第一保护层34进行图案化。具体为利用半色调光罩对第一保护层34进行曝光，以除去部分第一保护层，且除了保留位于用于形成半导体通道的半导体层上的第一保护层外，还保留位于用于形成存储电容的第一电极的半导体层上的第一保护层。其中，覆盖在后续制程中需要完全除去的半导体层的第一保护层为全曝光，而覆盖在后续制程中用于形成与源极和漏极接触的半导体通道的半导体层的第一保护层以及位于用于形成存储电容的第一电极的半导体层上的第一保护层为部分程度曝光，覆盖在后续制程中用于形成保护半导体通道的半导体层的第一保护层为全不曝光。所述的用于形成保护半导体通道的半导体层即为位于用于形成半导体通道的半导体层中，除用于形成与源极和漏极接触的半导体通道的半导体层之外的其他半导体层。经过上述曝光之后，全曝光的第一保护层被完全除去，以使得对应的半导体层暴露，而全不曝光的第一保护层则保留原始的厚度，部分程度曝光的第一保护层被除去一部分，保留具有一定厚度的第一保护层，且该具有一定厚度的第一保护层的厚度小于全不曝光的第一保护层的厚度。

[57] 因此，如图6所示的步骤S604，曝光之后的第一保护层的图案包括位于用于形成半导体通道的半导体层33上的呈阶梯状的第一保护层34a、34b，以及位于用于

形成存储电容的第一电极的半导体层33上的第一保护层34c。呈阶梯状的第一保护层34a、34b中，厚度较小的第一保护层为覆盖用于形成与源极漏极接触的半导体通道的半导体层的第一保护层。

[58] 进一步地，为了更好地控制曝光条件，本实施方式中，部分程度曝光的第一保护层为半曝光，以除去一半厚度的第一保护层，从而使得覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极的半导体层的第一保护层的厚度为全不曝光的第一保护层的厚度的一半，即该具有一定厚度的第一保护层的厚度为原始厚度的一半。当然，在其他实施方式中，覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极的半导体层的第一保护层的厚度也可以不相等，且其厚度也可不限于为原始厚度的一半，可根据实际需要进行设定，只要满足其小于全不曝光的第一保护层的厚度且能够确保完全遮挡半导体层即可。

[59] 步骤S605中，以曝光之后的第一保护层34a、34b、34c为光罩对半导体层33进行曝光，从而除去没有被第一保护层34a、34b、34c覆盖的半导体层，并保留了被第一保护层34a、34b、34c覆盖的半导体层，以用于形成半导体通道和存储电容的第一电极。

[60] 步骤S606中，对第一保护层34a、34b、34c进行蚀刻，以除去覆盖用于形成与源极漏极接触的半导体通道的半导体层的第一保护层34a、34b和覆盖用于形成存储电容的第一电极的半导体层的第一保护层34c，以使得用于形成与源极漏极接触的半导体通道的半导体层和用于形成存储电容的第一电极的半导体层暴露。而由于覆盖用于形成保护半导体通道的半导体层的第一保护层34a、34b的厚度比其他第一保护层的厚度大，因此通过控制蚀刻条件，在其他厚度较小的第一保护层被蚀刻掉之后，覆盖用于形成保护半导体通道的半导体层的第一保护层34a、34b仍能保留部分在半导体通道上，以保护半导体通道。

[61] 步骤S607中，以蚀刻之后的第一保护层34a、34b为光罩，对暴露的半导体层进行金属化，从而形成薄膜晶体管Q1的半导体通道33a、薄膜晶体管Q2的半导体通道33b以及存储电容的第一电极33c。其中，可以通过H扩散、离子注入或Plasma电浆处理等方式对半导体层进行金属化。

[62] 步骤S608中，在半导体通道33a、33b上沉积并图案化第二金属层，以形成薄膜晶体管Q1的源极35b和漏极35a、薄膜晶体管Q2的源极35b'和漏极35a'。

[63] 更进一步地，本实施方式中，在形成源极35b、35b'和漏极35a、35a'之后，在步骤S608中，在形成源极35b、35b'和漏极35a、35a'的基板上形成第二保护层36，并利用光罩对第二保护层36进行图案化，以在薄膜晶体管Q2的漏极35a上的第二保护层36中形成导通孔36a。其中，第二保护层为绝缘层或钝化层，可以使用二氧化硅材料制成。之后，在第二保护层36上形成透明导电层37，该透明导电层37用于形成像素电极，其通过导通孔36a与薄膜晶体管Q2的漏极35a连接。此外，该透明导电层37作为存储电容的第二电极，与第一电极33c通过夹置第二保护层36而形成存储电容。

[64] 通过本实施方式，通过利用图案化之后的第一保护层34a、34b、34c作为自对准光罩对半导体层33进行曝光，由此能够减少半导体层33曝光的光罩，同时能减少对位误差和电容耦合，且利用蚀刻之后的第一保护层34a、34b为光罩进行金属化，能够进一步减少一道金属化光罩，有利于降低成本。此外，通过对与源漏极接触的部分半导体通道进行金属化，能够减少源漏极和半导体通道接触处的阻抗，有利于提高电子传输。并且，存储电容为使用透明的IGZO半导体层和透明导电层形成，与采用不透光的金属形成的存储电容相比，有利于提高开口率。

[65] 在本发明薄膜晶体管基板的制造方法的另一实施方式中，薄膜晶体管基板还可以是用于液晶显示面板的阵列基板，其与上述用于OLED的薄膜晶体管基板的实施方式不同的是，基板中的薄膜晶体管的数量为1个，即用于开关作用的薄膜晶体管Q1，此时用于形成像素电极的透明导电层与薄膜晶体管Q1的漏极连接，具体的制作过程与上述各实施方式相类似，此处不进行一一赘述。

[66] 本发明还提供薄膜晶体管基板的一实施方式，所述薄膜晶体管基板为通过利用上述任一实施方式所述的薄膜晶体管基板的制作方法所制成。其中，薄膜晶体管基板包括存储电容，该存储电容的第一电极为利用氧化铟镓锌制成，第二电极为作为像素电极的透明导电层形成。

[67] 参阅图7，本发明薄膜晶体管基板的制作设备一实施方式中，包括涂布机构70

、第一光罩71、第二光罩72、第三光罩73以及第四光罩74。其中，涂布机构70用于涂布第一金属层、绝缘层、半导体层、第一保护层以及第二金属层。第一光罩71用于在涂布机构70在基板上涂布第一金属层后对第一金属层进行图案化，以形成薄膜晶体管的栅极。第二光罩72用于在涂布机构在栅极上涂布绝缘层后，对绝缘层进行图案化，以形成薄膜晶体管的栅极绝缘层。第三光罩73用于在涂布机构在栅极绝缘层上依次涂布半导体层和第一保护层之后，对第一保护层进行图案化以除去部分第一保护层，并至少保留用于形成薄膜晶体管的半导体通道的半导体层上的第一保护层，以利用保留的第一保护层为光罩对半导体层进行图案化，以除去没有被第一保护层覆盖的半导体层，进而在栅极绝缘层上形成薄膜晶体管的半导体通道。其中，第一保护层为蚀刻阻挡层（ES）。第四光罩74用于在涂布机构在半导体通道上涂布第二金属层后，对第二金属层进行图案化，以形成薄膜晶体管的源极和漏极，源极和漏极分别与半导体通道接触。

[68] 通过上述方式，在形成栅极、栅极绝缘层、半导体通道、第一保护层以及源极漏极的过程中，与现有的需要五道光罩相比，本实施方式中，通过利用图案化之后的第一保护层为自对准光罩对半导体层进行图案化，由此只需四道光罩即可完成上述过程，能够减少光罩数目，同时可以减少对位误差和电容耦合。

[69] 在本发明薄膜晶体管基板的制造设备另一实施方式中，如图8所示，与上述实施方式的主要不同之处在于，制造设备还包括蚀刻机构85和金属化机构86。第三光罩83用于对第一保护层进行图案化，并使得所保留的位于用于形成半导体通道的半导体层上的第一保护层中，覆盖用于形成与源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度。在利用图案化之后的第一保护层对半导体层进行图案化以除去没有被第一保护层覆盖的半导体层之后，蚀刻机构85用于对覆盖用于形成半导体通道的半导体层的第一保护层进行蚀刻，以除去覆盖用于形成与源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与源极、漏极接触的半导体通道的半导体层。金属化机构86用于利用蚀刻之后的第一保护层为光罩对暴露的用于形成与源极、漏极接触的半导体通道的半导体层进行金属化，进而在

栅极绝缘层上形成薄膜晶体管的半导体通道。对暴露的半导体层进行金属化之后，涂布机构80在所形成的半导体通道上涂布第二金属层，第四光罩84用于对第二金属层进行图案化以形成源极和漏极。其中，源极和漏极与金属化之后的半导体层接触。通过对半导体层进行金属化，能够减小半导体通道与源极和漏极接触处的阻抗，有利于提高电子传输效率。

[70] 在本发明薄膜晶体管基板的制造设备又一实施方式中，薄膜晶体管基板上还形成存储电容，本实施方式中，半导体层的材料为氧化铟镓锌，利用半导体层形成存储电容，由此可提高开口率。具体地，参阅图9，与上述实施方式不同的是，在利用第三光罩93对第一保护层进行图案化时，除了保留位于用于形成半导体通道的半导体层上的第一保护层之外，还保留位于用于形成存储电容的第一电极的半导体层上的第一保护层。其中，覆盖在后续制程中需要完全除去的半导体层的第一保护层为全曝光，而覆盖在后续制程中用于形成与源极和漏极接触的半导体通道的半导体层的第一保护层以及位于用于形成存储电容的第一电极的半导体层上的第一保护层为部分程度曝光，覆盖在后续制程中用于形成保护半导体通道的半导体层的第一保护层为全不曝光。所述的用于形成保护半导体通道的半导体层即为位于用于形成半导体通道的半导体层中，除用于形成与源极和漏极接触的半导体通道的半导体层之外的其他半导体层。经过上述曝光之后，全曝光的第一保护层被完全除去，以使得对应的半导体层暴露，而全不曝光的第一保护层则保留原始的厚度，部分程度曝光的第一保护层被除去一部分，保留具有一定厚度的第一保护层，且该具有一定厚度的第一保护层的厚度小于全不曝光的第一保护层的厚度。

[71] 曝光之后的第一保护层的图案包括位于用于形成半导体通道的半导体层上的呈阶梯状的第一保护层，以及位于用于形成存储电容的第一电极的半导体层上的第一保护层。呈阶梯状的第一保护层中，厚度较小的第一保护层为覆盖用于形成与源极漏极接触的半导体通道的半导体层的第一保护层。

[72] 进一步地，为了更好地控制曝光条件，本实施方式中，部分程度曝光的第一保护层为半曝光，以除去一半厚度的第一保护层，从而使得覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极

的半导体层的第一保护层的厚度为全不曝光的第一保护层的厚度的一半，即该具有一定厚度的第一保护层的厚度为原始厚度的一半。当然，在其他实施方式中，覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极的半导体层的第一保护层的厚度也可以不相等，且其厚度也可不限于为原始厚度的一半，可根据实际需要进行设定，只要满足其小于全不曝光的第一保护层的厚度且能够确保完全遮挡半导体层即可。

[73] 此外，为了更好地控制曝光条件，本实施方式中，部分程度曝光的第一保护层为半曝光，以除去一半厚度的第一保护层，从而使得覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极的半导体层的第一保护层的厚度为全不曝光的第一保护层的厚度的一半，即该具有一定厚度的第一保护层的厚度为原始厚度的一半。当然，在其他实施方式中，覆盖用于形成与源极漏极接触的半导体层的第一保护层的厚度和覆盖用于形成存储电容的第一电极的半导体层的第一保护层的厚度也可以不相等，且其厚度也可不限于为原始厚度的一半，可根据实际需要进行设定，只要满足其小于全不曝光的第一保护层的厚度且能够确保完全遮挡半导体层即可。

[74] 在利用图案化之后的第一保护层对半导体层进行图案化之后，蚀刻机构95用于对覆盖用于形成与源极漏极接触的半导体层的第一保护层和覆盖用于形成存储电容的第一电极的半导体层进行蚀刻，以除去覆盖用于形成与源极漏极接触的半导体层的第一保护层和覆盖用于形成存储电容的第一电极的半导体层，进而暴露用于形成与源极漏极接触的半导体层和用于形成存储电容的第一电极的半导体层。金属化机构96用于利用蚀刻之后的第一保护层为光罩对暴露的半导体层进行金属化，从而形成薄膜晶体管的半导体通道和存储电容的第一电极。

[75] 形成薄膜晶体管的半导体通道和存储电容的第一电极之后，涂布机构90在半导体通道上涂布第二金属层，第四光罩94用于对第二金属层进行图案化以形成薄膜晶体管的源极和漏极。

[76] 此外，本实施方式中，制造设备进一步还包括第五光罩97。在形成薄膜晶体管的源极和漏极之后，涂布机构90用于在源极和漏极上涂布第二保护层，该第二保护层可以为绝缘层或钝化层，可以使用二氧化硅材料制成。第五光罩97用于

对第二保护层进行图案化，以在薄膜晶体管的漏极上的第二保护层中形成导通孔。涂布机构90还用于在第二保护层上涂布作为存储电容的第二电极的透明导电层，并使该透明导电层通过导通孔与漏极连接。其中，该透明导电层同时也作为像素电极以实现显示。

[77] 本实施方式中，通过使用透明的氧化铟镓锌和透明导电层通过夹置第二保护层以形成存储电容，与现有的采用不透光的金属形成存储电容的技术相比，能够提高开口率。同时，本实施方式利用图案化之后的第一保护层为自对准光罩对半导体层进行曝光，能够减少半导体层的光罩，且减少对位误差和电容耦合，且利用蚀刻之后的第一保护层为自对准光罩对半导体层进行金属化，能够减少金属化所需的光罩，进一步减少光罩数目。

[78] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

# 权利要求书

[权利要求 1] 一种薄膜晶体管基板的制作方法，其中，所述薄膜晶体管基板用于OLED显示面板，包括：

在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层；

在所述栅极绝缘层上依次沉积半导体层和第一保护层，所述第一保护层为蚀刻阻挡层，其材料为氮化硅；

对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层，其中，使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；

利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层；

对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；

利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；

在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[权利要求 2] 根据权利要求1所述的制作方法，其中，

所述半导体层的材料为氧化铟镓锌；

所述对所述第一保护层进行图案化的步骤包括：

对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；

所述对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻的步骤，还包括：

除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，以暴露所述用于形成存储电容的第一电极的半导体层；

所述利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化的步骤，还包括：

利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[权利要求 3] 根据权利要求2所述的制作方法，其中，

所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[权利要求 4] 根据权利要求2所述的制作方法，其中，

所述在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极的步骤之后，包括：

在形成所述源极和漏极的基板上形成第二保护层；

在所述漏极之上的第二保护层中设置导通孔；

在所述第二保护层上形成作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔与所述漏极连接。

[权利要求 5] 一种薄膜晶体管基板的制作方法，其中，包括：

在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层；

在所述栅极绝缘层上依次沉积半导体层和第一保护层；

对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层；

利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；

在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[权利要求 6] 根据权利要求5所述的制作方法，其中，

所述对所述第一保护层进行图案化的步骤包括：

使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；

在所述利用图案化之后的所述第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层的步骤之后，包括：

对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；

利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道。

[权利要求 7] 根据权利要求6所述的制作方法，其中，

所述半导体层的材料为氧化铟镓锌；

所述对所述第一保护层进行图案化的步骤包括：

对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；

所述对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻的步骤，还包括：

除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，以暴露所述用于形成存储电容的第一电极的半导体层；

所述利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化的步骤，还包括：

利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[权利要求 8] 根据权利要求7所述的制作方法，其中，

所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[权利要求 9] 根据权利要求7所述的制作方法，其中，

所述在所述半导体通道上沉积并图案化第二金属层，以形成所述薄膜晶体管的源极和漏极的步骤之后，包括：

在形成所述源极和漏极的基板上形成第二保护层；

在所述漏极之上的第二保护层中设置导通孔；

在所述第二保护层上形成作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔与所述漏极连接。

[权利要求 10] 一种阵列基板的制造设备，其中，包括：

涂布机构；

第一光罩，用于在所述涂布机构在基板上涂布第一金属层后对所述第一金属层进行图案化，以形成薄膜晶体管的栅极；

第二光罩，用于在所述涂布机构在所述栅极上涂布绝缘层后，对所述绝缘层进行图案化，以形成所述薄膜晶体管的栅极绝缘层；

第三光罩，用于在所述涂布机构在所述栅极绝缘层上依次涂布半导体层和第一保护层后，对所述第一保护层进行图案化以除去部分所述第一保护层，并至少保留位于用于形成所述薄膜晶体管的半导体通道的半导体层上的第一保护层，以利用保留的第一保护层为光罩对所述半导体层进行图案化，以除去没有被所述第一保护层覆盖的半导体层，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道；

第四光罩，用于在所述涂布机构在所述半导体通道上涂布第二金属层后，对所述第二金属层进行图案化，以形成所述薄膜晶体管的源极和漏极，所述源极和所述漏极分别与所述半导体通道接触。

[权利要求 11] 根据权利要求10所述的制造设备，其中，

所述第三光罩用于对所述第一保护层进行图案化，以使覆盖用于形成所述半导体通道的半导体层的第一保护层中，覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度小于覆盖其他半导体层的第一保护层的厚度；

所述制造设备还包括：

蚀刻机构，用于对所述覆盖用于形成所述半导体通道的半导体层的第一保护层进行蚀刻，以除去所述覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层，进而暴露用于形成与所述源极、漏极接触的半导体通道的半导体层；

金属化机构，用于利用蚀刻之后的第一保护层为光罩对暴露的所

述用于形成与所述源极、漏极接触的半导体通道的半导体层进行金属化，进而在所述栅极绝缘层上形成所述薄膜晶体管的半导体通道。

[权利要求 12] 根据权利要求11所述的制造设备，其中，

所述半导体层的材料为氧化铟镓锌；

所述第三光罩还用于对所述第一保护层进行图案化，以保留位于用于形成存储电容的第一电极的半导体层上的第一保护层，且所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度小于所述覆盖其他半导体层的第一保护层的厚度；

所述蚀刻机构还用于对所述位于用于形成存储电容的第一电极的半导体层上的第一保护层进行蚀刻，以除去所述位于用于形成存储电容的第一电极的半导体层上的第一保护层，进而暴露所述用于形成存储电容的第一电极的半导体层；

所述金属化机构还用于利用蚀刻之后的第一保护层为光罩对暴露的所述用于形成存储电容的第一电极的半导体层进行金属化，以形成所述存储电容的第一电极。

[权利要求 13] 根据权利要求12所述的制造设备，其中，

所述位于用于形成存储电容的第一电极的半导体层上的第一保护层的厚度和覆盖用于形成与所述源极、漏极接触的半导体通道的半导体层的第一保护层的厚度相同，且为所述覆盖其他半导体层的第一保护层的厚度的二分之一。

[权利要求 14] 根据权利要求12所述的制造设备，其中，

所述涂布机构还用于在形成所述源极和漏极的基板上涂布第二保护层；

所述制造设备还包括第五光罩，用于对所述第二保护层进行图案化，以在所述漏极之上的第二保护层中形成导通孔；

所述涂布机构还用于在所述第二保护层上涂布作为所述存储电容的第二电极的透明导电层，并使所述透明导电层通过所述导通孔

与所述漏极连接。

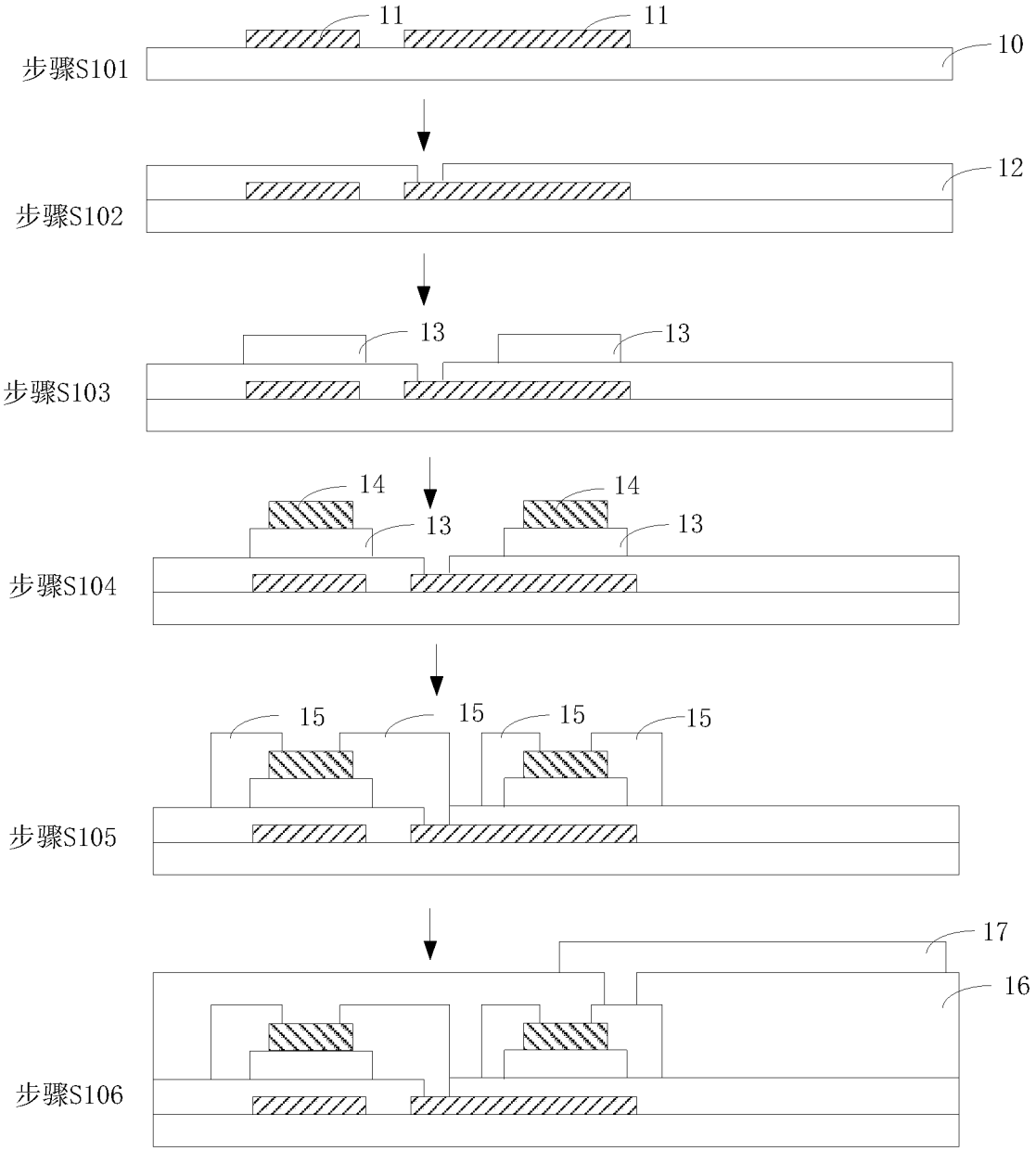

步骤S101
11
11
10
步骤S102
12
步骤S103
13
13
步骤S104
14
14
13
13
步骤S105
15
15
15
15
步骤S106
17
16

图 1

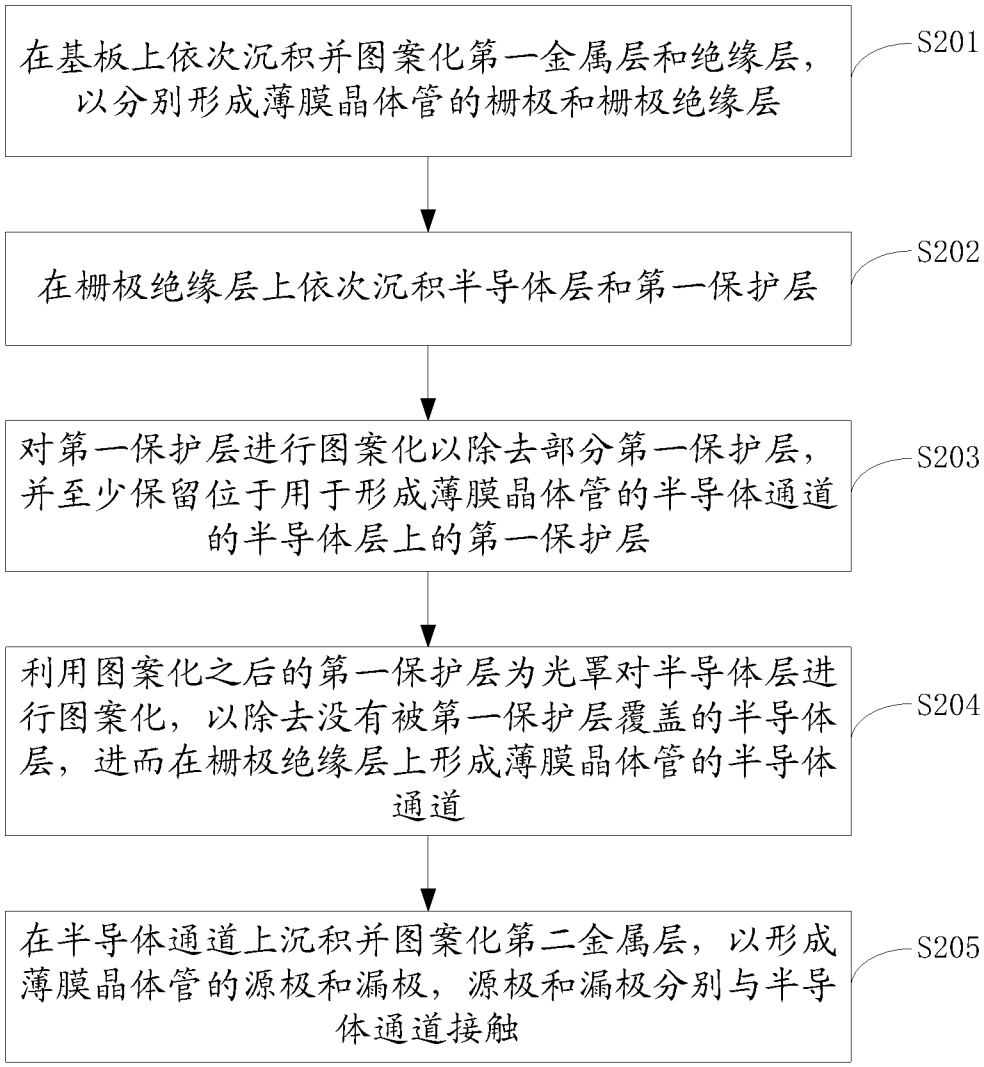

在基板上依次沉积并图案化第一金属层和绝缘层，以分别形成薄膜晶体管的栅极和栅极绝缘层
S201
在栅极绝缘层上依次沉积半导体层和第一保护层
S202
对第一保护层进行图案化以除去部分第一保护层，并至少保留位于用于形成薄膜晶体管的半导体通道的半导体层上的第一保护层
S203
利用图案化之后的第一保护层为光罩对半导体层进行图案化，以除去没有被第一保护层覆盖的半导体层，进而在栅极绝缘层上形成薄膜晶体管的半导体通道
S204
在半导体通道上沉积并图案化第二金属层，以形成薄膜晶体管的源极和漏极，源极和漏极分别与半导体通道接触
S205

图 2

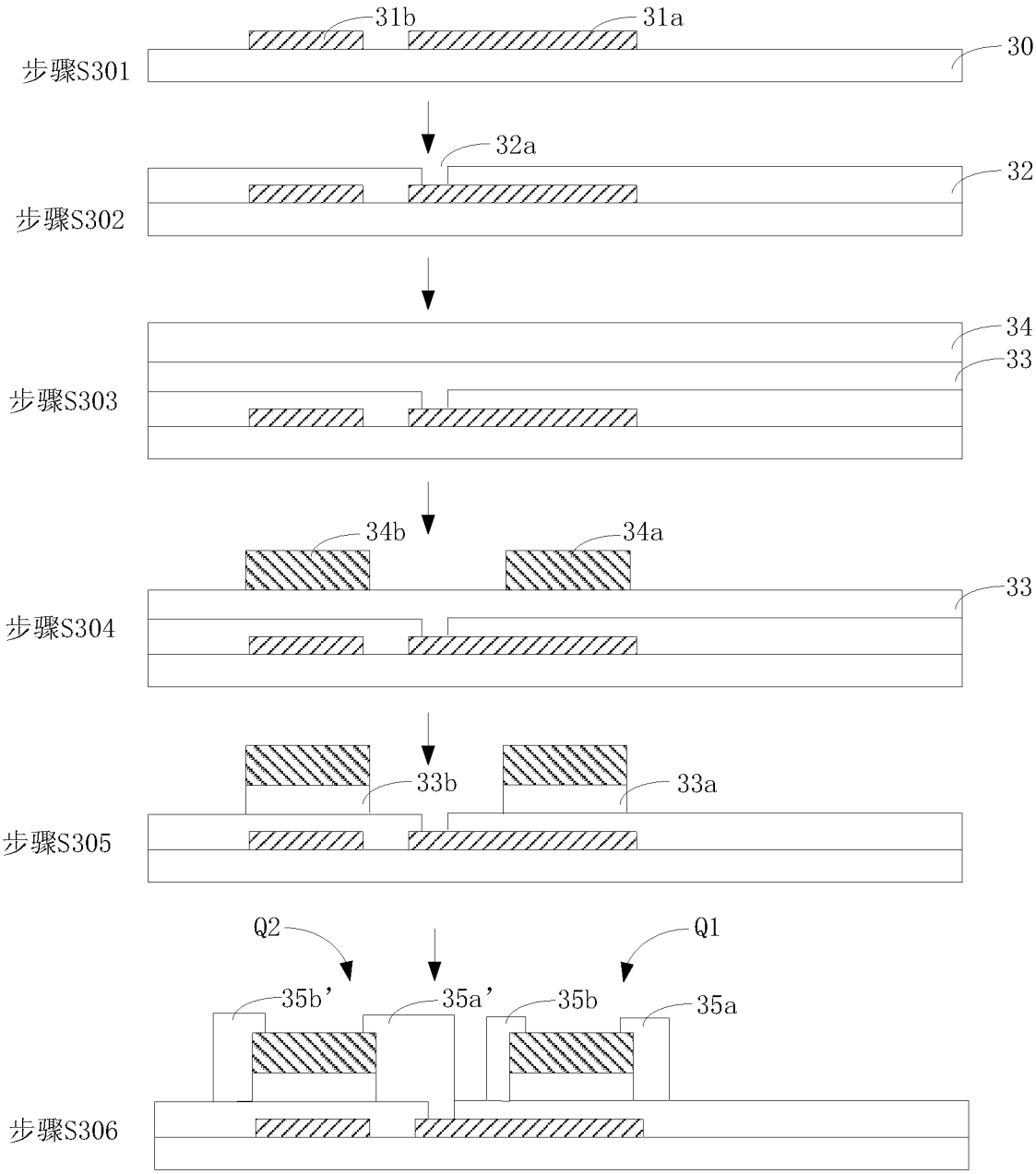

步骤S301
31b
31a
30
步骤S302
32a
32
步骤S303
34
33
步骤S304
34b
34a
33
步骤S305
33b
33a
步骤S306
Q2
Q1
35b'
35a'
35b
35a

图 3

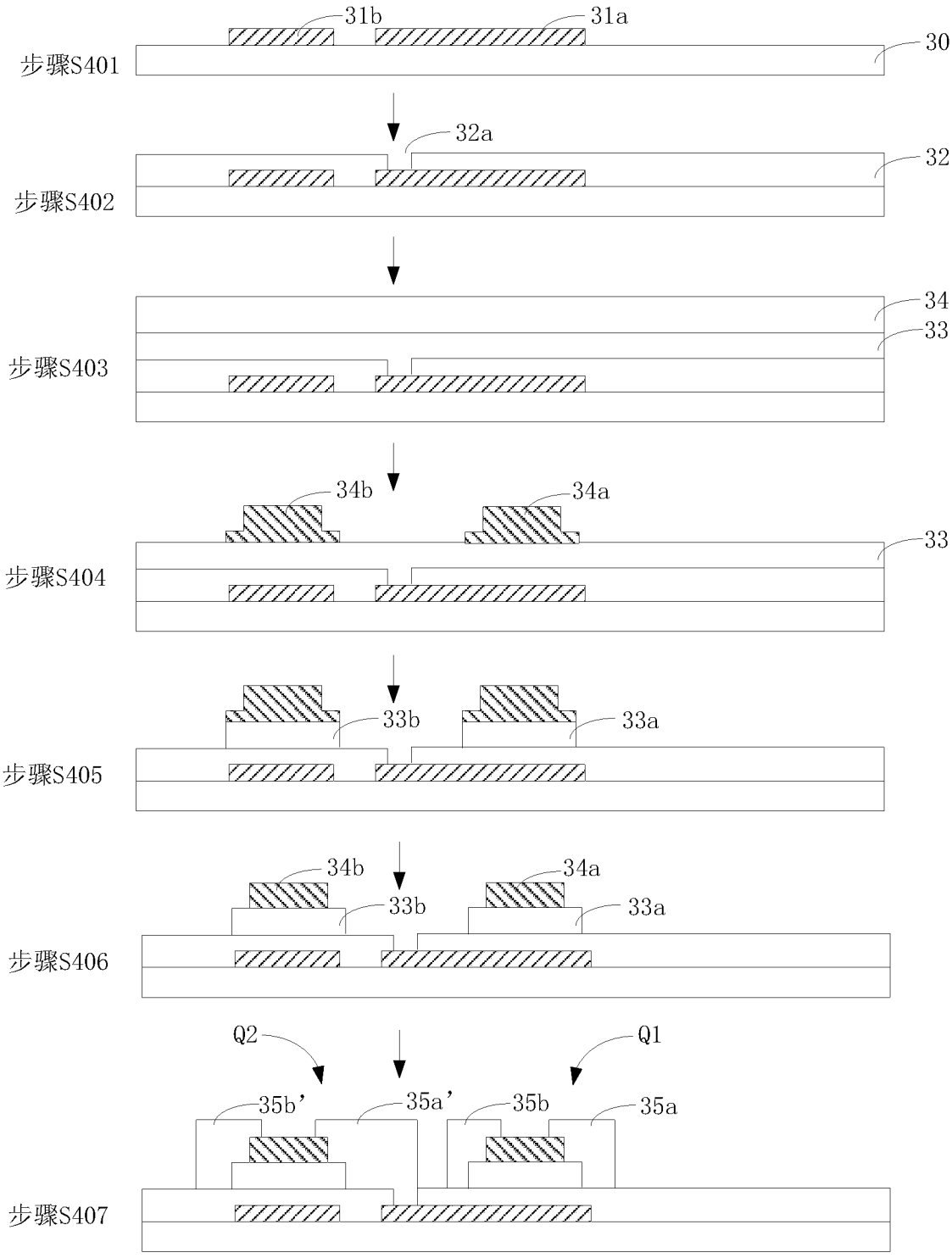

步骤S401
31b
31a
30
步骤S402
32a
32
步骤S403
34
33
步骤S404
34b
34a
33
步骤S405
33b
33a
步骤S406
34b
34a
33b
33a
步骤S407
Q2
Q1
35b'
35a'
35b
35a

图 4

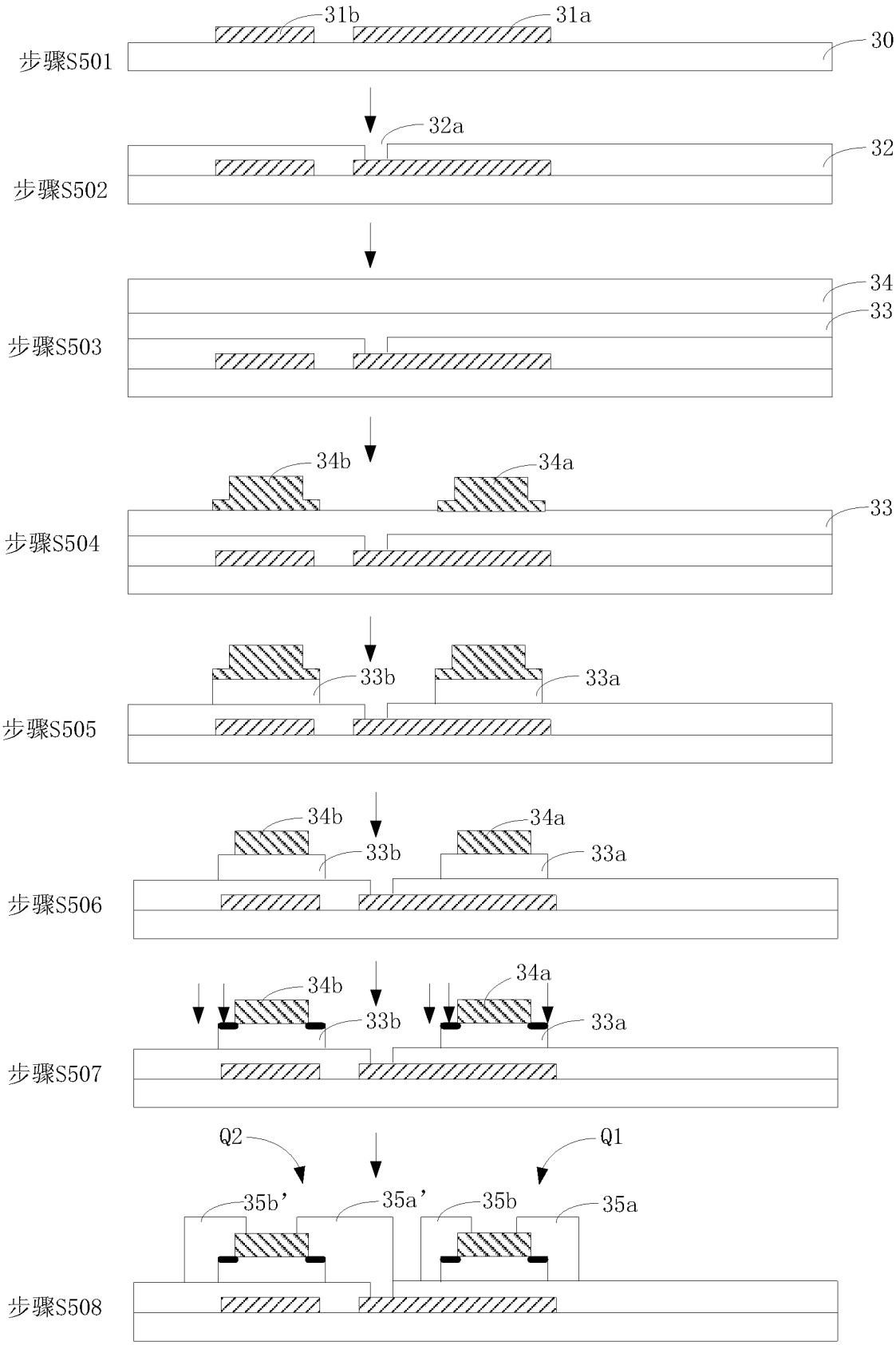

步骤S501
31b
31a
30
步骤S502
32a
32
步骤S503
34
33
步骤S504
34b
34a
33
步骤S505
33b
33a
步骤S506
34b
34a
33b
33a
步骤S507
34b
34a
33b
33a
步骤S508
Q2
Q1
35b'
35a'
35b
35a

图 5

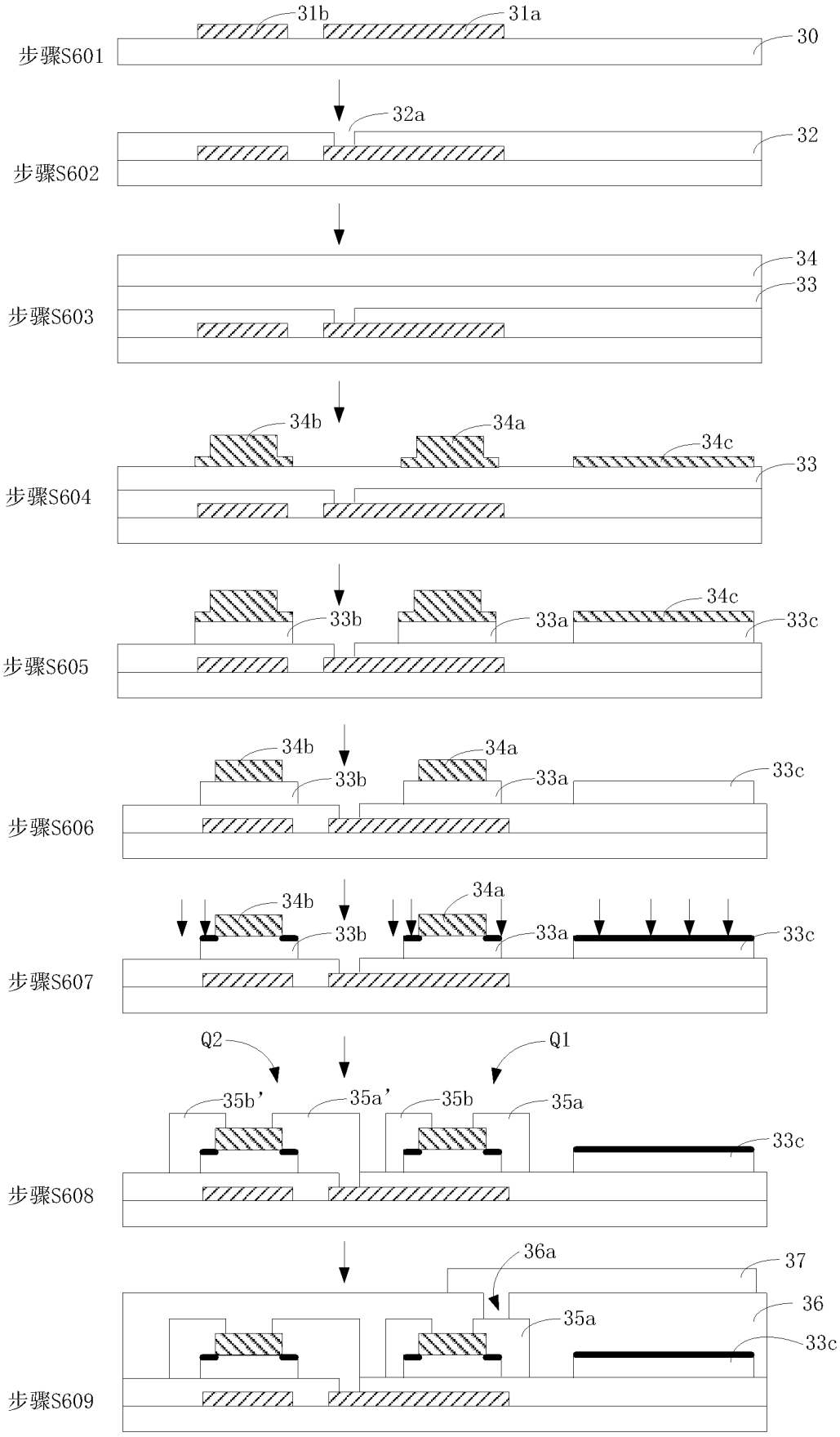

步骤S601
31b
31a
30
步骤S602
32a
32
步骤S603
34
33
步骤S604
34b
34a
34c
33
步骤S605
33b
33a
34c
33c
步骤S606
34b
34a
33b
33a
33c
步骤S607
34b
34a
33b
33a
33c
步骤S608
Q2
Q1
35b'
35a'
35b
35a
33c
步骤S609
36a
37
36
35a
33c

图 6

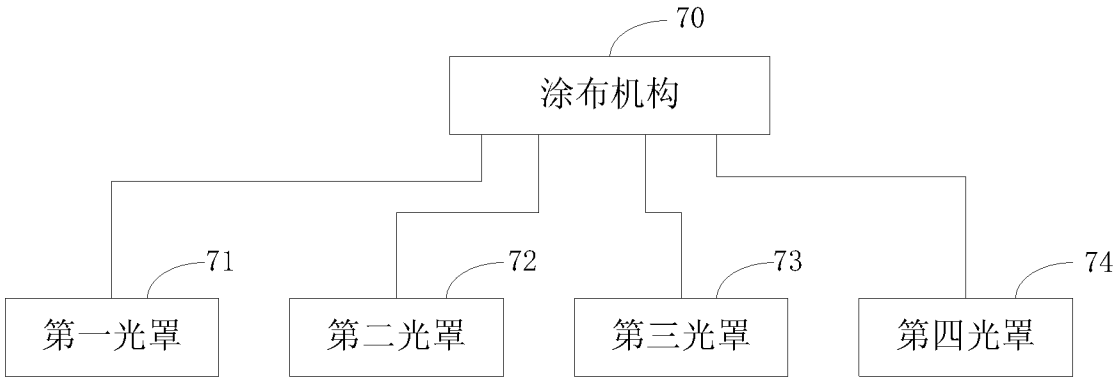

70
涂布机构
71
72
73
74
第一光罩
第二光罩
第三光罩
第四光罩

图 7

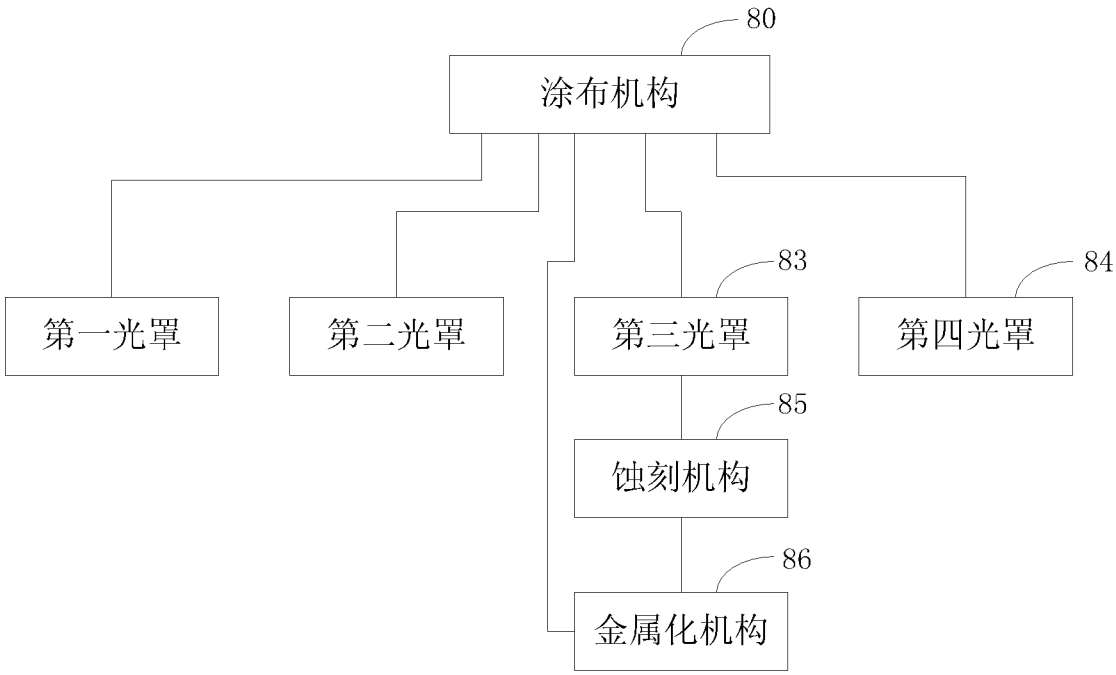

80
涂布机构
83
84
第一光罩
第二光罩
第三光罩
第四光罩
85
蚀刻机构
86
金属化机构

图 8

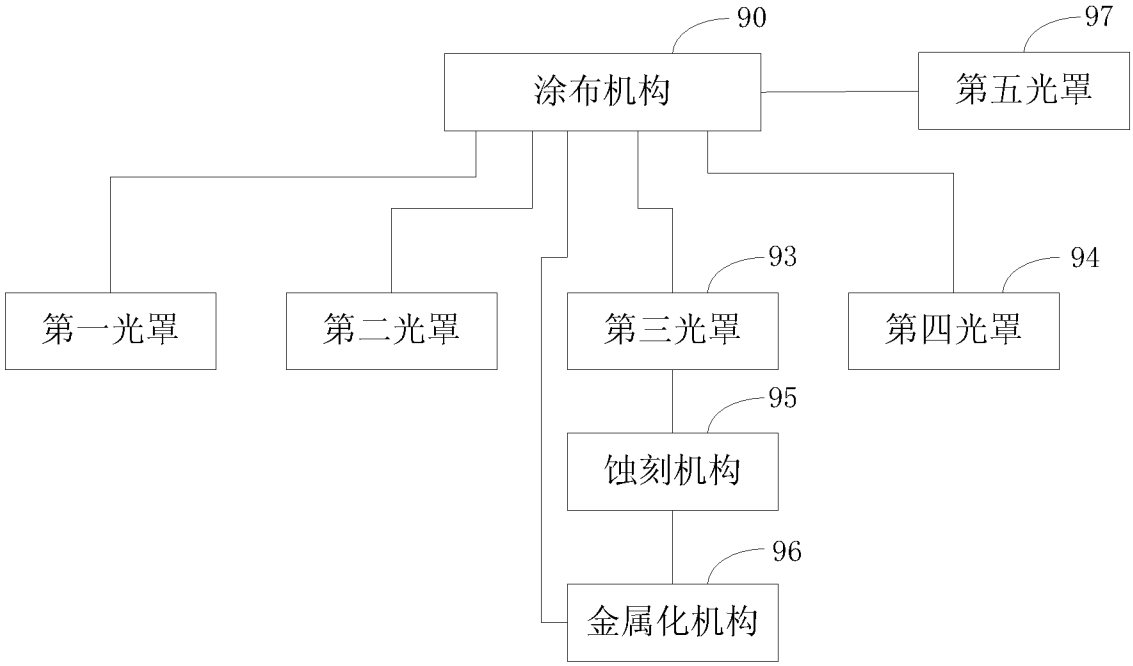



图 9

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2014/092504**

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/77 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, WPI, EPODOC: (LV, Xiaowen OR LI, Wenhui OR SHI, Longqiang OR SU, Zhiyu OR ZENG, Zhiyuan)/in, CHINA STAR OPTOELECTRONICS/PA, thin film transistor OR TFT, gate OR gate insulator, photomask OR mask, etch stopping layer OR ESL, semiconductor layer OR active layer, source OR electrode, transistor?, gate?, OLED? or (organic+ w light+), mask?, etch 5d stop+, drain, source, electrode

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | CN 103178004 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 26 June 2013 (26.06.2013), description, paragraphs [0005] and [0043]-[0064], and figures 1-4 | 1, 5-6, 10-11 |
| A | CN 103928343 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 July 2014 (16.07.2014), the whole document | 1-14 |
| A | CN 102723279 A (SOUTH CHINA UNIVERSITY OF TECHNOLOGY et al.), 10 October 2012 (10.10.2012), the whole document | 1-14 |
| A | CN 104022079 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 03 September 2014 (03.09.2014), the whole document | 1-14 |
| A | US 2014117323 A1 (AHN, K.W.), 01 May 2014 (01.05.2014), the whole document | 1-14 |
| A | US 2008131985 A1 (SAMSUNG ELECTRONICS CO., LTD.), 05 June 2008 (05.06.2008), the whole document | 1-14 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 29 July 2015 (29.07.2015) | **14 August 2015 (14.08.2015)** |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br>**LI, Pengfei**<br>Telephone No.: (86-10) **010-61648470** |

Form PCT/ISA/210 (second sheet) (July 2009)

# INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
**PCT/CN2014/092504**

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN 103178004 A | 26 June 2013 | None | |
| CN 103928343 A | 16 July 2014 | None | |
| CN 102723279 A | 10 October 2012 | None | |
| CN 104022079 A | 03 September 2014 | None | |
| US 2014117323 A1 | 01 May 2014 | KR 20140056565 A | 12 May 2014 |
| | | US 8946008 B2 | 03 February 2015 |
| US 2008131985 A1 | 05 June 2008 | US 7767477 B2 | 03 August 2010 |
| | | KR 101133766 B1 | 09 April 2012 |
| | | JP 2006279049 A | 12 October 2006 |
| | | KR 20060104133 A | 09 October 2006 |
| | | US 2006223210 A1 | 05 October 2006 |
| | | US 7335524 B2 | 26 February 2008 |

# 国际检索报告

国际申请号 PCT/CN2014/092504

A. 主题的分类

H01L 21/77(2006.01)i；H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-；H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS，CNTXT，CNKI，WPI，EPODOC：( 吕晓文 OR 李文辉 OR 石龙强 OR 苏智昱 OR 曾志远 )/in，华星光电/PA，薄膜晶体管 OR TFT，栅极 OR 栅绝缘层，OLED OR 有机发光，光罩 OR 掩膜，刻蚀阻挡层 OR ESL，半导体层 OR 有源层，刻蚀阻止 OR 蚀刻阻止，源 OR 漏，transistor?，gate?，OLED? or (organic+ w light+)，mask?，etch 5d stop+，drain，source，electrode

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| X | CN 103178004 A (群康科技深圳有限公司 等) 2013年 6月 26日 (2013-06-26)<br>说明书第[0005]段，第[0043]-[0064]段、附图1-4 | 1，5-6，10-11 |
| A | CN 103928343 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014-07-16)<br>全文 | 1-14 |
| A | CN 102723279 A (华南理工大学 等) 2012年 10月 10日 (2012-10-10)<br>全文 | 1-14 |
| A | CN 104022079 A (深圳市华星光电技术有限公司) 2014年 9月 3日 (2014-09-03)<br>全文 | 1-14 |
| A | US 2014117323 A1 (AHN，KI-WAN) 2014年 5月 1日 (2014-05-01)<br>全文 | 1-14 |
| A | US 2008131985 A1 (SAMSUNG ELECTRONICS CO.，LTD.) 2008年 6月 5日 (2008-06-05)<br>全文 | 1-14 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2015年 7月 29日 | 2015年 8月 14日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中华人民共和国国家知识产权局(ISA/CN)<br>北京市海淀区蓟门桥西土城路6号<br>100088 中国<br>传真号 (86-10)62019451 | 李鹏飞<br>电话号码 (86-10)010-61648470 |

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/092504

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| CN | 103178004 | A | 2013年 6月 26日 | 无 | | | |
| CN | 103928343 | A | 2014年 7月 16日 | 无 | | | |
| CN | 102723279 | A | 2012年 10月 10日 | 无 | | | |
| CN | 104022079 | A | 2014年 9月 3日 | 无 | | | |
| US | 2014117323 | A1 | 2014年 5月 1日 | KR | 20140056565 | A | 2014年 5月 12日 |
| | | | | US | 8946008 | B2 | 2015年 2月 3日 |
| US | 2008131985 | A1 | 2008年 6月 5日 | US | 7767477 | B2 | 2010年 8月 3日 |
| | | | | KR | 101133766 | B1 | 2012年 4月 9日 |
| | | | | JP | 2006279049 | A | 2006年 10月 12日 |
| | | | | KR | 20060104133 | A | 2006年 10月 9日 |
| | | | | US | 2006223210 | A1 | 2006年 10月 5日 |
| | | | | US | 7335524 | B2 | 2008年 2月 26日 |