

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95146244

※ 申請日期： 95.10.31

※IPC 分類：H01L 25/04, G06K 19/07

一、發明名稱：(中文/英文)

多晶粒積體電路封裝

MULTIPLE DIE INTEGRATED CIRCUIT PACKAGE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登
VAN ORDEN, CHARLES

2. 梅根 康普特
COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道 601 號
601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

羅伯特 華勒斯
WALLACE, ROBERT

國 籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年11月01日；11/264,112

2. 美國；2005年11月01日；11/264,556

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明及所說明的各具體實施例一般係關於製造包含多個積體電路裝置的封裝式半導體裝置，且更特定言之係關於製造具有多個積體裝置的封裝以形成一封裝式系統、記憶體或記憶體卡儲存裝置。

【先前技術】

在電子技術中，將半導體裝置提供在保護並提供與積體電路的外部連接之封裝中。對裝置的整合及先進功能的需求已產生單一封裝中提供的多個積體電路，其有時係稱為晶片或晶粒。封裝可以採用各種方式及各種材料加以形成，該等材料包含使用熱硬化或熱固化材料形成的模製封裝(例如"液態封膠"或環氧封裝)、預形成的塑膠或陶瓷或者金屬主體及類似物。所用的材料保護較小且易碎的半導體積電路或"晶粒"免遭實體及某程度的濕氣損壞，並且保護導電線或線路，其係用於將外部端子(通常為金屬或其他導電接點)與積體電路上的導電焊墊(其為積體電路之外部電性連接)耦合。

通常而言，將引線框架用於半導體封裝技術，以提供機械支撐並在積體電路與封裝式裝置之外部電性接點或引線之間進行電性連接。引線框架由導電材料(通常為銅或合金，或諸如合金42之鐵鎳合金，其係通常塗布成增加與諸如金、鈦、鈹等材料的導電性及可焊性)組成，並且額外塗層或鎳、銅或其他材料之合金可用於改良連接之可焊性及

可製造性。導電材料上的塑膠塗層可用於形成引線框架。引線可加以焊接或電鍍以在裝配前或裝配成品封裝之前或之後進行焊接。引線框架係通常提供成整合帶形式，並可進行蝕刻或衝壓成形，引線框架帶為以帶形式進行連接以便於裝配及製造的若干引線框架，並接著在後來製造階段中進行分離。

引線框架通常提供複數個引線(通常為手指形狀，雖然使用其他形狀)，其從將為所需成品封裝之外部邊界的區域外側伸延至配置成接收積體電路的內部區域。在先前技術中，應瞭解使用一配置，其中引線框架之一區域提供一中心支撐，其係稱為用於接收矩形或正方形半導體晶粒的"晶粒墊"，並且引線指狀物在晶粒墊之一或多個側上延伸至接近於積體電路晶粒之外側邊緣的區域。將引線框架指狀物固定成遠離晶粒並透過囊封式封裝之計劃外部邊界而延伸。在先前技術之其他配置中，引線指狀物可在晶粒上(晶片上引線或"LOC"型引線框架)或晶粒下(晶片下引線或"LUC"型引線框架)延伸，同時引線提供機械支撐及電性路徑。

以塗層或膠帶形式的絕緣體黏結劑可以用於將晶粒與引線固定，或藉由將引線固定在一起並在裝配程序期間維持其位置而使引線穩定。可使用晶粒附著黏結劑將晶粒黏結於晶粒墊，該黏結劑可以為導電或絕緣材料並可以為樹脂或熱硬化材料。

不管所用的引線框架之類型，必須提供耦合機制以將積

體電路與引線框架電性耦合。通常使用焊絲。藉由絲焊程序將該等微型焊絲應用於半導體裝置；通常在透過毛細管應用焊絲時分配焊絲。絲焊程序使用熱及壓力且有時使用其他能量(例如超聲波能量)以藉由將焊絲附於積體電路焊墊而形成焊接，並接著使焊絲在積體電路上且遠離積體電路而延伸至引線框架之引線指狀物之端部上的一區域，接著毛細管再次使用熱及壓力以形成焊絲與引線框架的第二連接。或者，焊絲可以在相反方向上形成，從而首先附於引線框架指狀物並延伸至積體電路上而且附於焊墊。切割的焊絲係通常加熱成於焊絲之端部上形成一球，其係接著用於對積體電路晶粒的下次焊接("球"焊接)，在不採用球的情況下附於引線框架的焊絲之端部可稱為"點焊"。若需要，則多個焊絲可以從積體電路之不同墊延伸至引線框架之單一引線，例如可採用此方式對積體電路進行電源或接地連接。焊絲可以為金或其他已知的導體材料，其具有足夠的可鍛性及柔性以提供此類處理並可用於球焊及點焊步驟而無不必要的中斷。絲焊程序可以高度自動化，並通常在很高速率下加以執行。

於裝配程序中，在將積體電路晶粒與引線框架絲焊之後，可將引線框架及晶粒放置於模製裝備(例如傳送模製機器)中，其中分散液體或熔化模製化合物材料以將引線框架與積體電路囊封在一起，以便提供機械保護及對晶粒之某程度的濕氣抵抗力，如以上所說明。其他替代性方式包含使用注射模製、環氧與樹脂(例如"液態封膠")材料並且可使

用其他已知用於積體電路密封的材料。代替模製的係，可改為將引線與晶粒裝配件安裝於陶瓷、金屬或塑膠主體中，接著可使用蓋子或黏結劑或其他物品，藉由囊封劑而後來密封該主體。引線框架之引線的外端可自己形成封裝式裝置(例如DIP、四重平面包裝、SOP或其他引線式封裝)之外部接點，或者可使用額外連通技術，例如球格柵陣列("BGA")或接針格柵陣列("PGA")封裝等。引線框架可結合其他互連插入物技術來使用，該等技術如印刷電路板、基於以膜為基礎的材料之柔性電路、用於半導體製造的商用膜(例如Kapton、Upilex、Mylar等)，或可使用陶瓷基板材料。為可在先前技術中使用複雜的基板配置，通常將多層插入物與所形成的金屬層一起使用，從而將外部連接器與積體電路耦合。例如，底部表面上的一端子可透過基板或插入物中的多層及通道與插入物之上表面上的引線框架或絲焊平台端子耦合。該等插入物或基板通常為層壓結構，其中絕緣體層係形成於各導電層上。一旦完成裝配，則可對該等層壓物進行過模製以提供密封的封裝式裝置或可將裝配件放置於所密封的一主體中。

隨著不斷需要在封裝式裝置中增加整合，在該技術中還應瞭解提供MCM或多晶片模組，其中在一封裝式裝置內提供多個積體電路晶粒。例如，可將一記憶體裝置與一控制器封裝在一起以形成此模組。一處理器與記憶體也可形成一模組。該等裝置可另外為相同裝置以(例如)形成一較大記憶體積體電路(例如商品DRAM或非揮發性記憶體裝置)，可

將多個相同晶粒放置於一個封裝中，其中將此類裝置的共同端子與封裝的外部接點並聯耦合在一起。

使用各種技術以便在系統組態中將多個積體電路耦合在一起。形成柔性電路，其具有提供在柔性基板之一或兩側上的金屬化圖案，該等圖案因此作為用於將兩個積體電路連接在一起的互連位準。層壓物(例如FR-4或BT樹脂卡)可以採用多個金屬層及層間通道技術加以形成，該等層壓插入物再次作為用於將積體電路連接在一起的微型電路板並提供用於外部連通的跡線(例如端子)。

當欲將相同裝置耦合在一起以增加整合(例如在DRAM裝置情況下)時，可使用晶粒堆疊。焊絲可從引線框架之引線延伸至若干晶粒，例如DRAM封裝之位址引線可與堆疊的若干DRAM積體電路連接。晶粒之堆疊可包含晶粒之間的間隔物以使絲焊裝備能存取個別堆疊式整合晶粒之晶粒墊。

當欲將相同裝置耦合在一起以增加整合(例如在DRAM裝置情況下)時，可使用晶粒堆疊。可以使用各種方法，例如在"朝上"配置中提供多個晶粒，並且可形成絲焊以使用焊絲將每個晶粒與共同引線框架耦合從而將其並聯耦合。應瞭解採用背對背關係將晶粒放置於引線框架上，然而，為維持共同的焊墊覆蓋區域，在使用背對背關係時，通常需要"鏡射晶粒"，以便將朝上的晶粒之一側上的端子定位在與朝下之對應晶粒上相同的位置及順序中。對"鏡射晶粒"的需求會在較大程度上增加製造的複雜性、發明控制與成

本，並需要每個封裝式裝置包含具有相同功能的兩個不同晶粒。或者，可以使用一插入物或層壓電路以致動兩個相同功能晶粒之背對背固定，此層壓插入物也會對成品裝置增加成本及複雜性。

近年來增加商用重要性的特定封裝式裝置類型為可移除非揮發性儲存卡，其允許在各種電子裝置之間進行資料傳送。此非揮發性記憶體或儲存卡可用於各種格式，包含 Compact FLASH、安全數位或SD、迷你型SD、記憶體棒、USB驅動器、多媒體卡或MMC及其他格式。為提供強固可靠且穩定的資料儲存格式，在單一封裝式裝置中連同智慧控制器一起提供非揮發性EEPROM或快閃記憶體裝置。智慧控制器提供資料錯誤校正與偵測、測試、快取及冗餘支援功能，以便即使非揮發性記憶體裝置內的某些儲存位置係預期會出現故障且在產品的使用壽命期間確實出現故障，仍正確地儲存並擷取使用者資料並且使用者或系統不知曉未再使用記憶體陣列內的某些位置；智慧控制器採用冗餘記憶體位置取代該等位置並維持可用位置之一映射，其係用於維持資料之適當儲存及一致性。對於使用者系統而言，裝置看似較大記憶體陣列，控制器與自動錯誤校正特徵及冗餘支援為使用者提供透明自動記憶體控制操作，其不會影響裝置的使用。該等可移除儲存卡已得到使用並將繼續用於其中儲存資料的許多應用，尤其對於蜂巢式電話、數位相機、數位媒體儲存(例如用於音樂播放機、視訊播放機、電子遊戲、個人數位助理或PDA裝置的MP3音樂

及視訊)、病歷儲存、智能卡、信用卡等而言。

圖1描述一典型可移除儲存卡封裝之外部表面。此卡可以為(例如)至該申請案之發明者Wallace的美國專利第號6,410,355中所說明的類型，該申請案係以引用的方式併入本文中。在圖1a中，採用配置成接觸封裝100內的積體電路之導電端子101來描述卡(例如安全數位或SD格式卡)之一接觸側。圖1b描述封裝100之相對側，其沒有電性接點，但是通常承載具有用於使用者之視覺檢查及參考的資訊、頻帶名稱、媒體大小等之標識。端子之數目及所用的連接之類型隨格式而發生變化，例如對於安全數位或SD而言，圖1a所示的端子為典型端子，並且僅使用少數外部端子。對於通常用於數位相機的小型快閃記憶體或"CF"卡而言，端子之數目為較大，並且端子為定位在封裝之側面之一端上的陰插頭。相機或卡讀取器具有一插座，其用於採用插座內的陽端子或接針接收CF封裝之同一端，當將小型快閃記憶體卡插入插座時，該等陽端子或接針進入對應的陰插頭，從而完成連接。可使用其他連接，例如可將USB埠用作連接。

用於可移除儲存卡裝置的先前技術封裝通常包含以多層層壓印刷電路板或"PC板"之形式的複雜插入物或基板，其為控制器積體電路與記憶體裝置或各裝置提供實體支撐及裝置間的連通。可以為BT樹脂、FR4或玻璃纖維或類似物的板通常為一層壓結構，其併入金屬層，該等金屬層得到圖案化以形成導體跡線、耦合各層以進行電性連接的通

第5,147,815號(其係以引用的方式併入本文中)描述兩個積體電路晶粒及兩個引線框架，其係裝配並提供在單一模製雙列直插塑膠或"DIP"封裝中。將積體電路晶粒及其個別引線框架配置成背對背關係並且藉由使用焊絲而將每個晶粒與個別引線框架耦合，或者，在一插入物之相對側上將積體電路配置成面對面關係並且在覆晶配置中將該等積體電路與其個別引線框架耦合，將兩個積體電路與配置在封裝式裝置之相對側上的外部引線獨立地耦合而且該等積體電路並非彼此進行電性通信。至Yoshida等人的美國專利第6,603,197號(也係以引用的方式併入本文中)提供與至少兩個不同積體電路裝置耦合的多個引線框架，將該等積體電路裝置與引線框架之各引線耦合以形成一模組，其中在封裝的外部(例如電源引線)將某些共同引線實體及電性耦合在一起，以便兩個積體電路裝置可接收信號。同樣，至Park等人的美國專利第6,316,825號(也係以引用的方式併入本文中)提供一堆疊封裝以採用在封裝之外部得到實體耦合的兩個引線框架在模製封裝中堆疊兩個相同積體電路裝置(例如記憶體裝置)，以便將與外部引線耦合的每個信號與以並聯方式加以連接的兩個相同記憶體裝置之每個實體及電性耦合。

該技術中已知的其他配置提供與多位準引線框架耦合的單一積體電路，例如至McShane的美國專利第5,220,195號(也係以引用的方式併入本文中)提供單一積體電路，其係與多層引線框架絲焊並包含封裝內的多層引線框架之部分之

間的實體連接，以及採用焊絲形成的穿透孔通道，該等焊絲延伸至通道中以與固定在積體電路下面的引線框架層進行實體接觸，從而致動封裝式裝置內的多電壓平面之形成。

雖然存在用於多個積體電路的先前技術封裝，但是不斷需要多晶粒封裝，其在維持封裝之可靠性的同時提供減少的生產成本。

因此需要一改良式多積體電路封裝及用於封裝多個積體電路之一方法，其係簡單且可靠，允許各積體電路裝置之間進行任意連接，不需要昂貴的插入物、印刷電路板或基板，並且製造成本係少於現有封裝及方法。

【發明內容】

本發明之各較佳具體實施例提供一種用於多半導體積體電路或晶粒的封裝，其電性連接一或多個積體電路，提供對該等積體電路的機械支撐，提供設施以在該等積體電路之間進行任意連接，並且提供與封裝式裝置之外部連接的電性連通。本發明之封裝不需要先前技術中使用的類型之插入物或基板，並且材料使用與半導體處理行業中已知的現有裝備及自動化工廠機器相容之傳統絲焊及引線框架技術，以便使用及實施本發明不需要重組或專用裝備。

在本發明之第一具體實施例中，提供第一引線框架並將其固定成覆蓋一簡單的絕緣體層。該絕緣體層具有為形成於某些位置中的開口之通道以及覆蓋該等通道的引線框架之某些引線。引線框架之其他引線可延伸至絕緣體之外部邊界或絕緣體之邊緣以外。引線框架之某些引線可以不延

伸至外部連接器。提供第一積體電路晶粒並將其固定成接近於引線框架之內部端，在某些具體實施例中，引線框架可具有提供在內部的一開口並且可將晶粒放置在內部開口中。在其他具體實施例中，晶粒可座落在引線框架之引線上或在引線框架之引線下。在一較佳具體實施例中，將晶粒與引線框架絲焊以將積體電路之該等引線之一或多個引線與引線框架之引線電性連接。在其他較佳具體實施例中，可使用覆晶技術將引線框架之引線與晶粒連接，此在該技術中已為人所知。

接著將第二引線框架放置成覆蓋絕緣體之第二且為相對的表面上。至於第一引線框架之某些引線且與該等引線一致的係，將第二引線框架之某些引線固定成覆蓋絕緣體之穿透孔通道。第二引線框架之其他引線可延伸至絕緣體層的外部以與成品裝置進行外部電性連接，並可延伸至絕緣體之外部邊界以外。將第二積體電路晶粒放置成接近於第二引線框架之內部引線。第二引線框架可具有鄰近於引線框架之引線的內部端以接收晶粒的中心部分，或者可使用晶片下的一引線或晶片引線框架配置上的引線。從第二積體電路上的晶粒墊端子至第二引線框架之該等引線的至少一個引線進行電性連接，例如焊絲連接或覆晶連接。在一典型應用中，存在若干且有時存在許多焊絲，其從積體電路延伸至引線框架。或者，可將第一及第二引線框架彼此附著，然後將任一晶粒附於其對應引線框架。

有利的係，透過絕緣體中的通道來電性耦合第一及第二

引線框架之某些引線。本發明之此方面可以透過在兩個引線框架之間透過絕緣體進行電性連接的設施於任意位置中電性耦合第一及第二積體電路晶粒。在第一較佳具體實施例中，藉由使第一及第二引線之引線框架引線在絕緣體中的通道內之空間中實體變形，並接著在通道內的兩個引線之間進行實體接觸，可進行連接。在一較佳具體實施例中，因此在兩個引線框架之間進行導電焊接。可採用(例如)藉由熱施加的能量、電能量、超聲波能量、雷射能量等進行焊接。在其他較佳具體實施例中，可藉由提供固定於通道內的導電材料(例如作為電性連接的導電膏並且可使用熱或電能量來完成該連接)而在兩個引線框架之間進行電性連接。

在其他較佳具體實施例中，絕緣體可由各向異性導電材料形成，該材料最初在所有方向上作為絕緣體，但是當在一區域中施加壓力或熱能量或兩者，同時使絕緣體保持在平面方向上時，該材料在垂直方向上變為選擇性導電。一般而言，一通道為一區域，其中在鄰近於絕緣體之頂部表面的一導體與鄰近於絕緣體之底部表面的一導體之間達到電性連通。

可將積體電路晶粒固定成覆蓋絕緣體之相對表面，以便積體電路晶粒可以為背對背關係。不像先前技術之背對背配置一樣，當使用本發明時不需要鏡射晶粒，因為透過藉由本發明提供的絕緣體形成電性連接的方法允許任意連接兩個裝置的端子。至於先前技術封裝之某些，不需要對準

或反射兩個積體電路晶粒的端子。

此外，在某些具體實施例中，對於DRAM、EEPROM、快閃或其他動態或非揮發性記憶體裝置而言，積體電路晶粒可以係相同的，在該等裝置中，可藉由將多個相同積體電路晶粒耦合在一起而建立一較大封裝式裝置。在其他較佳具體實施例中，晶粒可具有不同功能，例如記憶體控制器與記憶體裝置、類比電路與數位裝置、感測器與控制器裝置等，以在成品封裝式裝置中提供整合功能。

在替代性較佳具體實施例中，本發明可提供具有形成於選擇位置中的通道之一絕緣體、覆蓋絕緣體層之一表面的第一引線框架、覆蓋相對絕緣體層的第二引線框架、使用已知的覆晶技術與第一引線框架耦合的第一積體電路，其中將積體電路焊墊固定成實體上接近於所需引線並且形成焊料之球或墊，接著使用能量來回流該等球或墊以在晶粒墊與引線的內部之間形成機械及電性連接，如以前成品裝置具有透過絕緣體中的通道在第一積體電路與第二積體電路之間進行的電性連接一樣，可使用覆晶技術同樣地將第二積體電路與第二引線框架耦合。因為使用覆晶技術將此較佳具體實施例中的第一及第二晶粒皆與引線框架耦合，所以可將積體電路裝置配置成面對面關係。

在本發明及所附申請專利範圍內預期的替代性具體實施例，包含組合覆晶連接與絲焊連接以便可使用覆晶技術將一個晶粒與第一引線框架耦合，並且可使用(例如)絲焊將第二晶粒與第二引線框架耦合。

在另一較佳具體實施例中，使用本發明之封裝設備及方法形成可移除儲存卡；一絕緣體層具有形成於選擇位置中的通道，第一引線框架係固定成覆蓋絕緣體並具有覆蓋絕緣體中的通道之某些引線，將為非揮發性記憶體裝置的第一積體電路固定成接近於第一引線框架並且在非揮發性積體電路與引線框架之間進行至少一個電性連接，將第二積體電路提供成接近於第二引線框架，其係固定成覆蓋絕緣體之相對表面並具有某些引線，該等引線覆蓋絕緣體中的通道，第二積體電路為用於操作非揮發性記憶體裝置的控制器電路，將第二積體電路與第二引線框架電性連接。

藉由使用本發明之方法，透過絕緣體中的通道在第一引線框架與第二引線框架之間形成電性連接，在記憶體控制器與非揮發性記憶體之間進行電性連接。可藉由下列方式完成儲存卡：過模製或密封絕緣體、第一及第二積體電路與第一及第二引線框架之部分，將該等引線框架之其餘外部部分用於形成成品儲存卡之外部連接。

有利的係，用於本發明之較佳具體實施例的絕緣體可包括各種已知材料。因為在絕緣體內或上不需要電性連接、複雜的多層選路或金屬化圖案，所以絕緣體可採用將第一及第二引線框架彼此電性絕緣的任何材料形成並且還可具有形成於其內的穿透孔通道。可使用塑膠、玻璃、陶瓷、玻璃纖維、樹脂、PC板、膠帶、膜、紙及其他絕緣體。化學蝕刻光微影、雷射鑽孔或機械鑽孔程序可形成通道。可將塑膠或樹脂模製用於形成其中形成通道的絕緣體。絕緣

體可以形成為具有較大範圍的厚度並可按需要而為剛性或柔性材料。可對絕緣體進行過模製以完成封裝式裝置，或者可將絕緣體、積體電路及引線框架裝配件固定在外殼之空腔中或預形成的主體結構內，該結構係後來使用蓋子或層以黏結劑或密封劑進行密封。

在另一較佳具體實施例中，可藉由併入絕緣體之任一側上的多個積體電路晶粒而在單一封裝中提供整合系統，將多個晶粒與透過絕緣體中的通道所耦合的引線框架絲焊以在積體電路之間進行任意連接，其中用於系統的封裝式裝配件包含被動元件，例如電阻器、電容器或感應器。接著可以將整個裝配件過模製成使用本發明之方法加以提供的成品封裝式系統。

本發明之具體實施例的優點包含使用與現有工具相容的傳統絲焊或覆晶技術與封裝模製方法，並使用與現有自動化半導體封裝基礎構造相容的材料，提供形成包含得到彼此電性耦合的多積體電路裝置之多積體電路模組而無需先前技術之複雜插入物、柔性電路、層壓基板或圖案化印刷電路板的設備與方法。

以上說明已更廣泛地概述本發明之具體實施例的特徵與技術優點以便可較佳地瞭解以下本發明之詳細說明。熟習技術人士應瞭解可將揭示的概念及特定具體實施例輕易地用作修改或設計其他結構或程序以實行本發明之相同目的之依據。熟習技術人士應瞭解此類等效構造並不脫離如所附申請專利範圍提出的本發明之精神與範疇。

【實施方式】

以下說明目前較佳具體實施例的操作與製造。然而，所說明的具體實施例及範例並非本發明所預期的僅有應用或使用。所說明的特定具體實施例僅說明用於實施及使用本發明的特定方式，而不限制本發明之範疇。該等圖係用於說明之目的而非按比例繪製。

圖3描述用於本發明之一較佳具體實施例的一絕緣體層300之俯視圖。絕緣體層300可包括與半導體處理步驟相容的許多絕緣材料之任何絕緣材料，例如Mylar、Upilex、Kapton及其他膜、絕緣紙、樹脂、聚醯亞胺、玻璃、玻璃纖維等，其在該技術中已為人所知。層300具電性絕緣性且較佳具有與某些熱程序(例如傳送模製)相容的實體特徵。絕緣層中的穿透孔通道301係形成於預定位置處，如以下詳細說明，並提供形成於絕緣層300中的穿透孔。穿透孔通道可以具有任何大小但在一較佳具體實施例中為約3至10 mil的直徑且較佳為約5 mil的直徑。在欲加以說明的第一較佳具體實施例中，通道為開放式穿透孔；在以下說明的其他具體實施例中，通道可採用導電膏或黏結劑加以填充。

圖4以斷面圖描述圖3之絕緣層。在圖4中，穿透孔通道301係顯示為延伸穿過絕緣層300。可採用(例如)雷射鑽孔、機械鑽孔、蝕刻、衝孔或使用其他措施來形成穿透孔通道301以在材料(例如模製)中形成孔。可將光微影用於採用定界孔之位置及尺寸所使用的陽或陰光阻來圖案化表面上的蝕刻阻抗層，可應用選擇性蝕刻來移除材料，並接著可剝離圖

案層，此在該技術中已為人所知。

圖5描述在已完成若干裝配步驟之後，本發明之一較佳具體實施例的俯視圖。在圖5中，絕緣體層300已具有形成於選擇位置中的穿透孔通道301。一引線框架具有引線502並包含覆蓋穿透孔通道位置301的某些引線。將積體電路晶粒303固定成接近於引線502之內部端。焊絲505得以形成並將焊墊507與引線502電性耦合。雖然在圖5中所描述的視圖中不可見，但是執行對稱操作以定位絕緣體層300之相對表面上的第二引線框架及第二積體電路晶粒，其中將第二引線框架之某些引線定位在穿透孔通道301下面。

圖6描述本發明之一較佳具體實施例在裝配之中間階段的斷面圖。在圖6中，積體電路晶粒303係顯示成固定在絕緣體層300之第一表面上。引線框架502係以斷面圖顯示，並且焊絲505係顯示成將積體電路晶粒之焊墊與引線框架引線502連接。穿透孔通道301係顯示為形成於絕緣層300中的選擇位置處。

引線框架601係顯示成固定在絕緣體層300下面並在穿透孔通道301下面延伸。使用焊絲605將積體電路晶粒604從焊墊603耦合至引線框架601引線。

如圖6所說明，可將引線框架引線耦合在一起以透過穿透孔通道位置301內的絕緣體形成實體及電性連接。在圖6中，將焊接工具607用於在穿透孔通道301中將引線502及602擠壓在一起並使其變形，而且將施加能量以使兩個引線變為焊接在一起。可將超聲波、電性及/或熱能量用於形成

焊接，所預期的方法包含使用電阻焊接、電容放電或雷射焊接。在某些具體實施例中，可在裝配前使用材料藉由點電鍍或其他方法而塗布引線框架引線以協助形成焊接。在每個穿透孔通道位置301中執行此耦合操作。藉由適當地設計引線框架及絕緣體層300，可以在兩個積體電路之間的任何所需位置處進行電性連接，如圖5及6所示。

在一較佳方法中，將一工具(例如圖6中的工具607)用於在上與下引線框架引線之間形成焊接並同時在絕緣體層300中形成穿透孔通道301，即絕緣體最初並沒有形成於其中的孔，在任一側上將引線框架固定成彼此相對，而且在所需位置處將自上與下引線框架的引線耦合在一起。在此較佳方法中，焊接工具607係用於將能量(例如熱)施加於在需要連接之位置處的引線，絕緣體材料會熔化或蒸發以回應能量，並且在移除絕緣體材料時形成穿透孔通道301，使引線在穿透孔通道301中實體變形並接著在單一連續操作中將該等引線焊接在一起。以此方法，因為絕緣體不需要圖案化或設計，所以可在較大程度上減少絕緣體層的成本。

圖7a與7b描述用於在絕緣體層300中的穿透孔通道位置301處連接上與下引線框架引線的替代性方法。在圖7a中，以採用導電材料705加以填充的穿透孔通道301來描述用於本發明之封裝的絕緣體層300之一部分。將導電材料(例如引線膏)沉積在穿透孔通道301中並後來隨裝配程序的繼續而將該材料固定在引線框架引線之間。導電材料完成如圖6所示的兩個積體電路裝置之間的電性連接。導電材料可以

體電路晶粒並且執行絲焊或覆晶處理以在採用或不採用黏結劑或膠帶的情況下將積體電路與引線框架耦合；接著將引線框架裝配件固定在絕緣體層300之個別相對表面上，藉由提前圖案化絕緣體層300而已經提供穿透孔通道301，並接著藉由焊接，使用如以上說明的導電膏或焊料或各向性導體連接而將引線框架耦合在一起。最後，可對成品裝配件進行過模製或液態封膠囊封，從而完成封裝。可採用另一替代性方法提供如以上說明的絕緣體層300而無形成於其內的穿透孔通道301，並可將工具用於焊接且同時形成絕緣體層300中的穿透孔通道301。

雖然在本文中詳細說明本發明之較佳具體實施例及其優點，但是應瞭解可對所說明的具體實施例進行各種改動、替換及變更而不脫離如所附申請專利範圍定義的本發明之精神與範疇。此外，本發明之範疇並非意欲限於該說明書中說明的電路、結構、方法及步驟之特定具體實施例。因此，所附申請專利範圍係欲意在其範疇內包含利用本發明的該等程序、機器、製造、事件的組成、構件、方法或步驟以及利用本發明的該等變動與解決方法，其為熟習技術人士所明白。

【圖式簡單說明】

為更完全地瞭解本發明及其優點，現在參考以上結合附圖所作的說明，該等附圖為代表性說明，其係提供以便於瞭解而非按比例繪製，在該等附圖中：

圖1以圖1a之俯視圖及圖1b之仰視圖描述一先前技術可

移除儲存卡封裝；

圖2描述包含一記憶體裝置及一控制器裝置的一先前技術可移除儲存卡(例如圖1所說明)之斷面圖；

圖3描述具有可併入本發明之一較佳具體實施例中的穿透孔通道之一絕緣體層的俯視圖；

圖4描述圖3之該絕緣體層之斷面圖；

圖5描述一絕緣體層(例如圖3、4所說明且具有固定在該絕緣體層上的一引線框架及一積體電路)之俯視圖；

圖6以斷面圖描述圖5之裝置，後隨額外的處理步驟；

圖7a、7b以斷面圖描述本發明之該絕緣體層之額外較佳具體實施例；

圖8描述為本發明之一較佳具體實施例的一成品封裝式裝置之斷面圖；

圖9描述為本發明之另一較佳具體實施例的另一成品封裝式裝置之斷面圖；

圖10描述圖9之裝置的俯視圖，以及

圖11描述為本發明之另一較佳具體實施例的另一成品封裝式裝置之斷面圖。

不同圖中的對應數字及符號一般指對應的部件，除非另有指示。該等圖係繪製成清楚地說明較佳具體實施例之相關方面而不必按比例繪製。

【主要元件符號說明】

100	封裝
101	端子

200	儲存卡
201	外殼
203	焊絲
204	積體電路晶粒
205	積體電路晶粒
206	平台
208	層壓基板
209	晶粒附著材料
211	囊封劑
300	絕緣體層
301	穿透孔通道
303	積體電路晶粒
502	引線
505	焊絲
507	焊墊
601	引線框架
602	引線
603	焊墊
604	積體電路晶粒
605	焊絲
607	焊接工具
609	附著物
705	導電材料
801	封裝

803	微 囊
807	焊 接
809	積 體 電 路
901	封 裝
902	囊 封 區 域
903	囊 封 劑

五、中文發明摘要：

本發明揭示一種用於積體電路之多晶粒封裝。提供一絕緣體層並且在該層內形成一或多個通道。可以提供該絕緣體而無通道，並且後來形成通道。提供至少一個積體電路並將其與覆蓋在該絕緣體層之一表面上的一第一引線框架之至少一個引線電性耦合。提供至少一個第二積體電路並將其與覆蓋在該絕緣體層之一第二表面上的一第二引線框架電性耦合。藉由使該等第一及第二引線框架之至少一個引線彼此耦合，在選擇的位置處透過該絕緣體進行該等兩個引線框架與該等第一及第二積體電路之間的電性連接。藉由該絕緣體中通道內的一焊接程序可實體上耦合該等第一及第二引線框架之該等引線。還說明一可移除儲存卡封裝。

六、英文發明摘要：

十一、圖式：

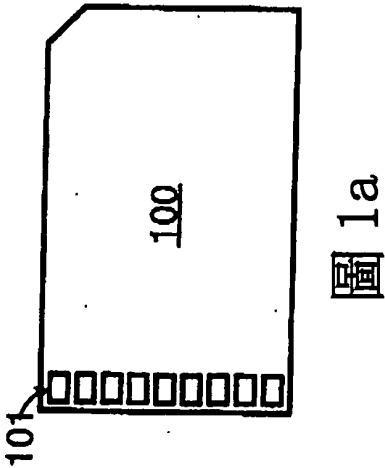


圖 1a

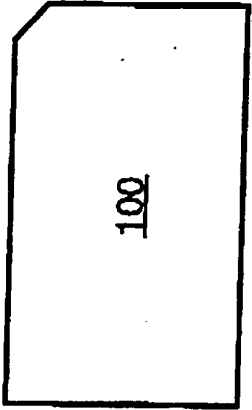


圖 1b

先前技術

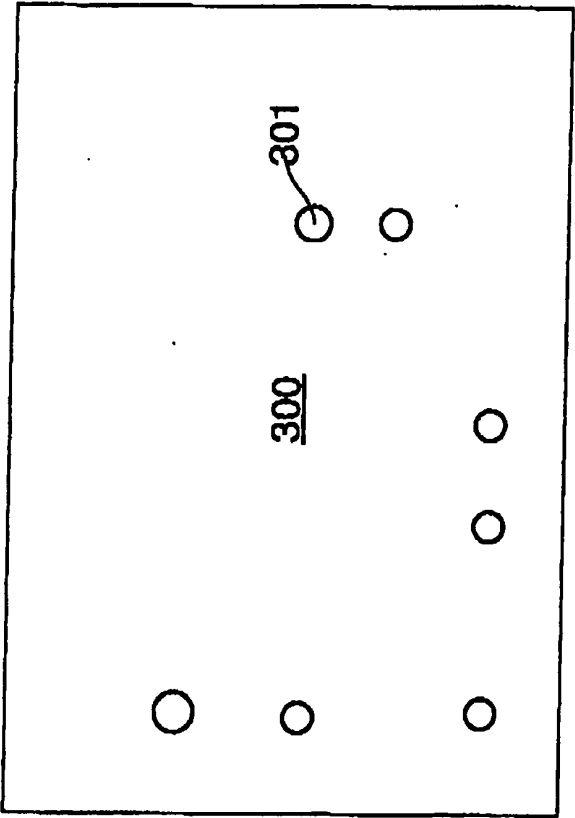


圖 3

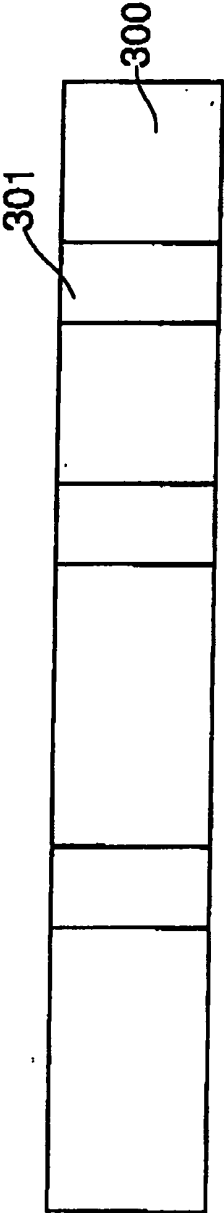


圖 4

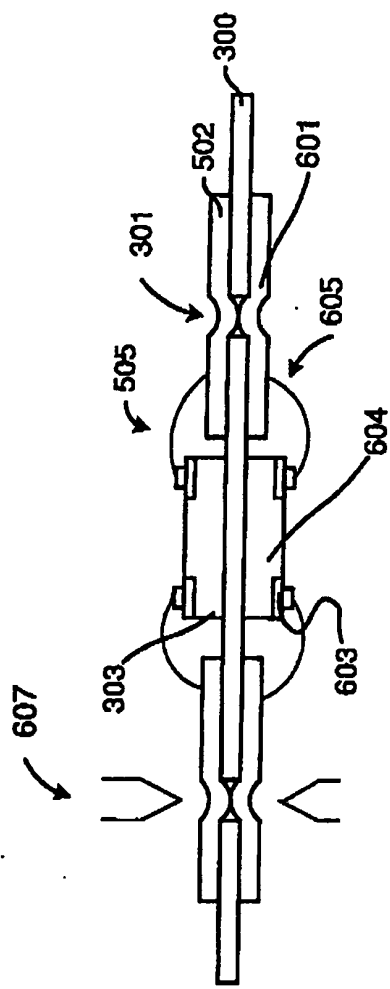


圖 6

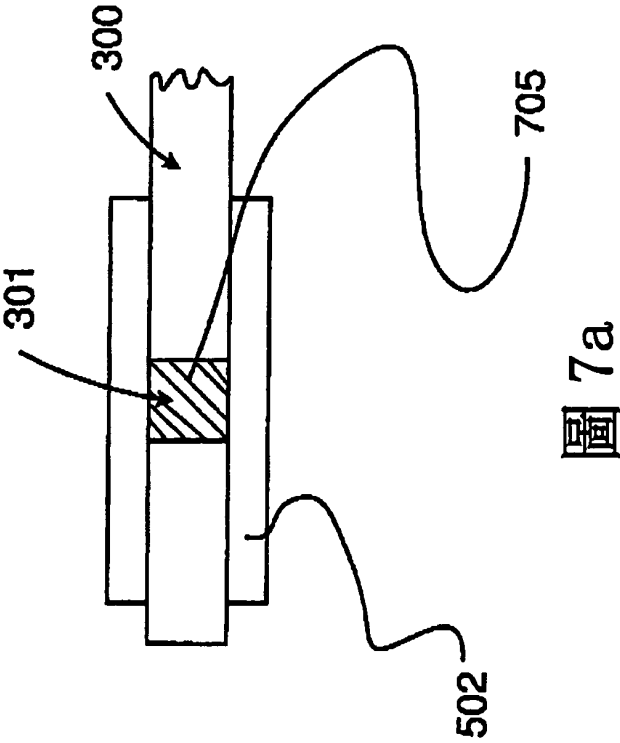


圖 7a

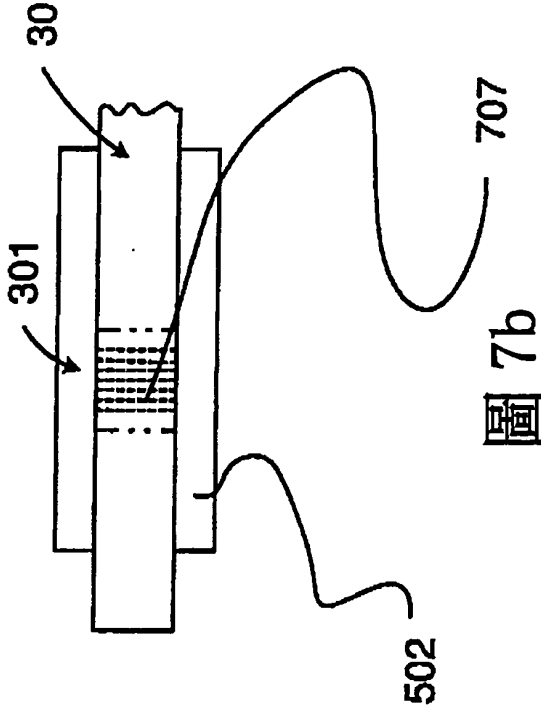


圖 7b

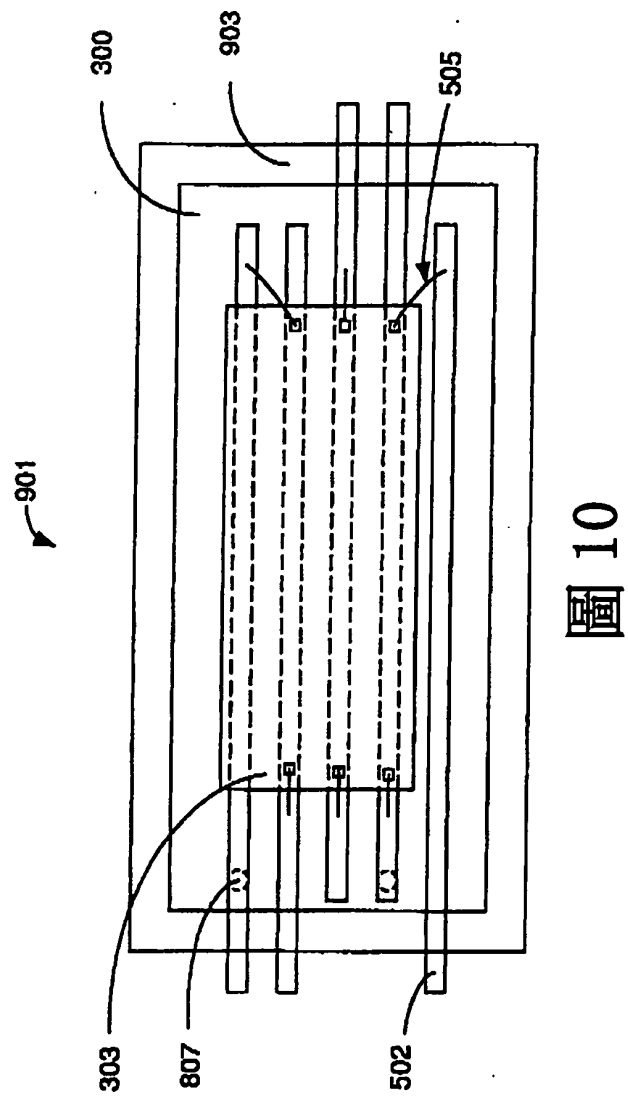


圖 10

七、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

300	絕緣體層
301	穿透孔通道
303	積體電路晶粒
502	引線
801	封裝
803	微囊
807	焊接
809	積體電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

道、及用於絲焊以將板表面上的跡線與積體電路晶粒或其他組件、黏著於板上的封裝式或裸晶粒組件耦合的平台。可將多個記憶體裝置提供成並列式或堆疊式，或可使用單一記憶體裝置，但在任何情況下如先前技術中封裝的儲存卡為複雜封裝式裝置，其中至少兩個裝置得以封裝並耦合在一起。圖 2 以斷面視圖形式描述一典型配置。在圖 2 中，先前技術之儲存卡 200 係說明為具有黏著於層壓基板 208 之同一表面上的積體電路晶粒 204 及 205。焊絲 203 將活動表面或積體電路晶粒之表面上的焊墊與基板之上表面上的導電區域或平台 206 連接。兩個此類焊絲係顯示為藉由在平台 206 上進行連接而電性耦合積體電路之兩個晶粒墊，該等積體電路因此得到電性耦合並可以為(例如)一記憶體及一控制器積體電路。將晶粒附著材料 209 用於將晶粒 204、205 與基板 208 固定。在形成焊絲 203 並將其附於積體電路晶粒 204 及 205 與基板上的平台 206 之傳統半導體封裝裝配程序之後，在可以為熱硬化或室溫模製化合物或其他密封材料的囊封劑 211 中囊封焊絲與積體電路晶粒。封裝係與可以為塑膠的外殼 201 一起完成，從而覆蓋基板與模製材料。在另一方法中，至本發明之發明者 Wallace 的美國專利第 6,639,309 號(也係以引用的方式併入本文中)描述一可移除儲存卡，其採用焊接連接及過模製密封而於多層 PC 板材料之相對表面上併入一記憶體裝置及一控制器裝置。

封裝半導體積體電路的其他方法可併入耦合在一起的多個引線框架或多位準引線框架。例如，至 Casto 的美國專利

為篩分於通道中的導電膏，此在該技術中已為人所知；或導電墨水，例如在自聖荷西州 Rocky Hill 市 Parelec 的商品名 Parmod VLT 下可用之導電墨水材料；並且此材料可藉由網版印刷、雷射研磨及填充或噴墨印刷程序加以應用。可施加熱其他能量以完成導電路徑並將引線與導電材料實體焊接。

圖 7b 描述將各向異性導電材料用作絕緣體層 300。此材料最初在平面水平及垂直方向上係絕緣的。材料包含導電絲，其在經歷壓力及/或熱或其他能量時會在選擇性區域中於垂直方向上變為導電性。因此，在圖 7b 中，將導電路徑 707 形成於處在兩個引線框架引線之間的一位置處，一個引線用於上引線框架並且一個引線用於下引線框架，此引線路徑係代替圖 5 及 6 之穿透孔通道 301 而使用以在任意選擇位置處連接引線框架引線。明尼蘇達州的聖保羅之 3M 有限公司提供壓敏黏結劑傳送帶，其為各向異性導體，3M 膠帶 9703 為可加以使用的一示範性產品。用於具體實施例的各向異性膜及導電膏(例如圖 7b (膜)或圖 7a (膏))也可從其他商業賣主(例如德國杜塞爾多夫的漢高(Henkel)技術公司)購得。該等材料可與其他膜一起使用或單獨使用以提供絕緣體層 300。

圖 8 描述使用覆晶技術以將積體電路晶粒與引線框架耦合的一替代性較佳具體實施例。在圖 8 中，採用覆蓋絕緣體層 300 之任一側並保護其內的裝置及引線框架之微囊 803 來形成封裝 801。穿透孔通道 301 係形成於絕緣體層 300 中並耦

合自上與下引線框架的引線 502，如以上所說明。藉由下列方式將可以為記憶體控制器裝置的積體電路晶粒 303 與上引線框架覆晶焊接：首先執行熟知的晶粒或晶圓幫浦程序，其在積體電路之晶粒墊上形成焊料塊、球或行，接著將焊料塊狀晶粒與引線框架引線之內部端對準並將該晶粒固定成"朝下"以將晶粒墊與引線框架引線耦合，將熱能量用於回流焊料並完成與引線框架的連接。同樣地，亦將可以為(例如)非揮發性記憶體(例如快閃記憶體裝置)的積體電路 809 覆晶黏著於下引線框架，並且形成焊接(例如 807)以在穿透孔通道 301 中將上與下引線框架耦合在一起。圖 8 還描述本發明在封裝內的兩或更多個積體電路之間進行任意定位連接的能力，晶粒不必相同或甚至幾乎大小相同。

圖 9 描述使用絲焊連接之一替代性較佳具體實施例的成品封裝 901，其將晶片下引線或"LUC"引線框架用於上與下引線框架。同樣地在圖 9 中，引線延伸穿過囊封劑邊界並提供與封裝的外部連接。封裝 901 係以斷面圖描述為具有提供在絕緣體層 300 之任一側上的囊封劑 903，再次說明，囊封劑保護積體電路晶粒、引線框架及焊絲免遭損壞及濕氣。積體電路晶粒 303 係提供成覆蓋上引線框架之引線 502 並可有利地使用膠帶或環氧晶粒附著物 609 而黏著於引線框架。使用如以前的絲焊將上與下積體電路之焊墊 606 與引線框架引線 502 絲焊連接，焊絲 505 會延伸並與引線框架引線耦合。焊接 807 係顯示為在耦合上與下引線框架引線的穿透孔通道 301 中。引線 502 延伸穿過囊封邊界以形成外部端子

並(例如)藉由使用插座裝置來致動與封裝 901 的外部連接。在此具體實施例中，自封裝之一側上的上引線框架之引線與自下引線框架的引線在封裝之另一側上合併。

圖 10 以俯視圖描述圖 9 之封裝 901。絕緣體層 300 係顯示為具有形成於其上的囊封 903。引線 502 係顯示成覆蓋絕緣體層 300。焊接 807 係顯示成位於在某些引線 502 下面形成的通道中。將積體電路晶粒 303 固定在引線 502 上，以便引線框架為 LUC 或晶片下引線配置，可藉由膠帶或環氧附著晶粒以提供支撐。藉由焊絲 505 將積體電路上的焊墊與引線框架引線 502 耦合。此視圖中不可見的係位於絕緣體層 300 下面並藉由焊接 807 而與上引線框架耦合的第二積體電路與引線框架裝配件。

圖 11 顯示另一較佳具體實施例，其中在封裝之一側上將引線 502 之某些形成為朝下，並且囊封劑 903 包圍整個裝配件，但是使選擇引線 502 之底部表面 101 上的一區域可得以曝露以進行外部電性連接。該等外部連接區域可加以固定，如圖 1 所示，或採用熟習技術人士所明白的其他類似圖案。

可以改變用於實施本發明的方法並且預期該等變動係在本發明及所附申請專利範圍之範疇內。例如，可將引線框架與絕緣體層 300 裝配在一起作為預形成的裝配件並將積體電路晶粒固定成鄰近於對應引線框架，將絲焊或覆晶耦合用於完成與晶粒的連接，並接著可以執行過模製或液態封膠囊封。或者，可採用帶形式提供引線框架，可固定積

十、申請專利範圍：

1. 一種多晶粒半導體封裝，其包括：

一絕緣體，其具有一第一表面、與該第一表面相對的第一第二表面、以及在預定位置處的一或多個穿透孔通道；

一第一引線框架，其至少部分地覆蓋該第一表面並具有複數個引線，覆蓋一或多個穿透孔通道之該等引線的部分偏轉入該或該等穿透孔通道；

一第一積體電路晶粒，其係鄰近於該第一引線框架之該複數個引線之至少一個引線且與該至少一個引線電性耦合；

一第二引線框架，其至少部分地覆蓋該第二表面並具有複數個引線；以及

一第二積體電路晶粒，其係鄰近於該第二引線框架之該複數個引線之至少一個引線且與該至少一個引線電性耦合；

其中透過該絕緣體中的該等穿透孔通道之一將該第一引線框架之該複數個引線之至少一個引線與該第二引線框架之該複數個引線之一對應引線電性耦合。

2. 如請求項1之封裝，其中該封裝進一步包括一囊封劑，其至少部分地密封該絕緣體層、該等第一及第二積體電路晶粒、以及該等第一及第二引線框架。

3. 如請求項1之封裝，其中該等第一及第二積體電路晶粒係相同的。

4. 如請求項1之封裝，其中該等第一及第二積體電路晶粒分

別包括一控制器積體電路及一記憶體陣列積體電路。

5. 如請求項4之封裝，其中該記憶體陣列積體電路包括一非揮發性記憶體裝置。
6. 如請求項1之封裝，其中藉由焊絲將該等第一及第二積體電路晶粒分別與該等第一及第二引線框架電性耦合。
7. 如請求項1之封裝，其中藉由覆晶連接將該等第一及第二積體電路晶粒分別與該等第一及第二引線框架電性耦合。
8. 如請求項6之封裝，其中該等第一及第二積體電路晶粒係背對背關係。
9. 如請求項7之封裝，其中該等第一及第二積體電路晶粒係面對面關係。
10. 如請求項1之封裝，其中該等穿透孔通道係採用導電材料填充，該材料實體接觸該第一引線框架之該至少一個引線。
11. 如請求項1之封裝，其中該等第一及第二引線框架之每個的至少一個引線在該絕緣體層中的該等穿透孔通道之至少一個通道內係彼此實體焊接。
12. 如請求項1之封裝，其中覆蓋穿透孔通道之一或多個該第二引線框架的該等引線的部分偏轉入該或該等穿透孔通道。
13. 一種製造一多晶粒積體電路封裝的方法，其包含步驟：
提供一絕緣層，其具有一第一表面及一第二相對表面；
在該絕緣層中的所需位置處形成一或多個穿透孔通

道；

提供一第一引線框架，其具有複數個引線至少部分地覆蓋該第一表面；

提供一第二引線框架，其具有複數個引線至少部分地覆蓋該第二表面；

將一第一積體電路晶粒耦合至該第一引線框架的至少一引線；

將一第二積體電路晶粒耦合至該第二引線框架的至少一引線；

在覆蓋一穿透孔通道的一位置，將該第一引線框架的一引線變形進入該穿透孔通道；

使變形進入該通道的該引線，在該絕緣層中經過該穿透孔通道，電性連結至該第二引線框架的一對應引線；

藉此該等第一及第二積體電路晶粒彼此電性耦合。

14. 如請求項13的方法，其進一步包含步驟：

至少部分地囊封該絕緣層、該等第一及第二積體電路晶粒及該等第一及第二引線框架。

15. 如請求項13的方法，其進一步包含形成該第二引線框架的該對應引線的一部份進入該穿透孔通道之步驟。

16. 如請求項15的方法，其中電性連結之步驟包含在該穿透孔通道內該等第一及第二引線框架間形成一實體焊接。

17. 如請求項15的方法，其中電性連結之步驟包含在該穿透孔通道內該等第一及第二引線框架間的第一及第二部分之間提供一導電黏結劑。

18. 如請求項13的方法，其中將第一及第二積體電路晶粒耦合至該等第一及第二引線框架的步驟包含耦合相同積體電路晶粒。
19. 如請求項13的方法，其中將第一及第二積體電路晶粒耦合至該等第一及第二引線框架的步驟包含將一記憶體陣列積體電路晶粒耦合至該第一引線框架，並將一控制器積體電路晶粒耦合至該第二引線框架。
20. 如請求項19的方法，其中將該記憶體陣列積體電路晶粒耦合至該第一引線框架之步驟包含耦合一非揮發性記憶體陣列積體電路晶粒。
21. 如請求項13的方法，進一步包含在非揮發性記憶體陣列積體電路晶粒上堆疊額外的非揮發性記憶體積體電路晶粒之步驟。
22. 如請求項13的方法，其中將該等第一及第二積體電路晶粒耦合至該等第一及第二引線框架之步驟包含在該等第一及第二積體電路晶粒與該等第一及第二引線框架間形成絲焊。
23. 如請求項15的方法，其中耦合該等第一及第二積體電路晶粒之步驟進一步包含將該等積體電路晶粒放置成背對背關係之步驟。
24. 如請求項13的方法，其中將該等第一及第二積體電路晶粒耦合至該等第一及第二引線框架之步驟包含在該等第一及第二積體電路晶粒與該等第一及第二引線框架之間形成覆晶連接。
25. 如請求項24的方法，其中將該等第一及第二積體電路晶

粒耦合至該等第一及第二引線框架之步驟進一步包含將該等第一及第二積體電路晶粒放置成面對面關係。

200

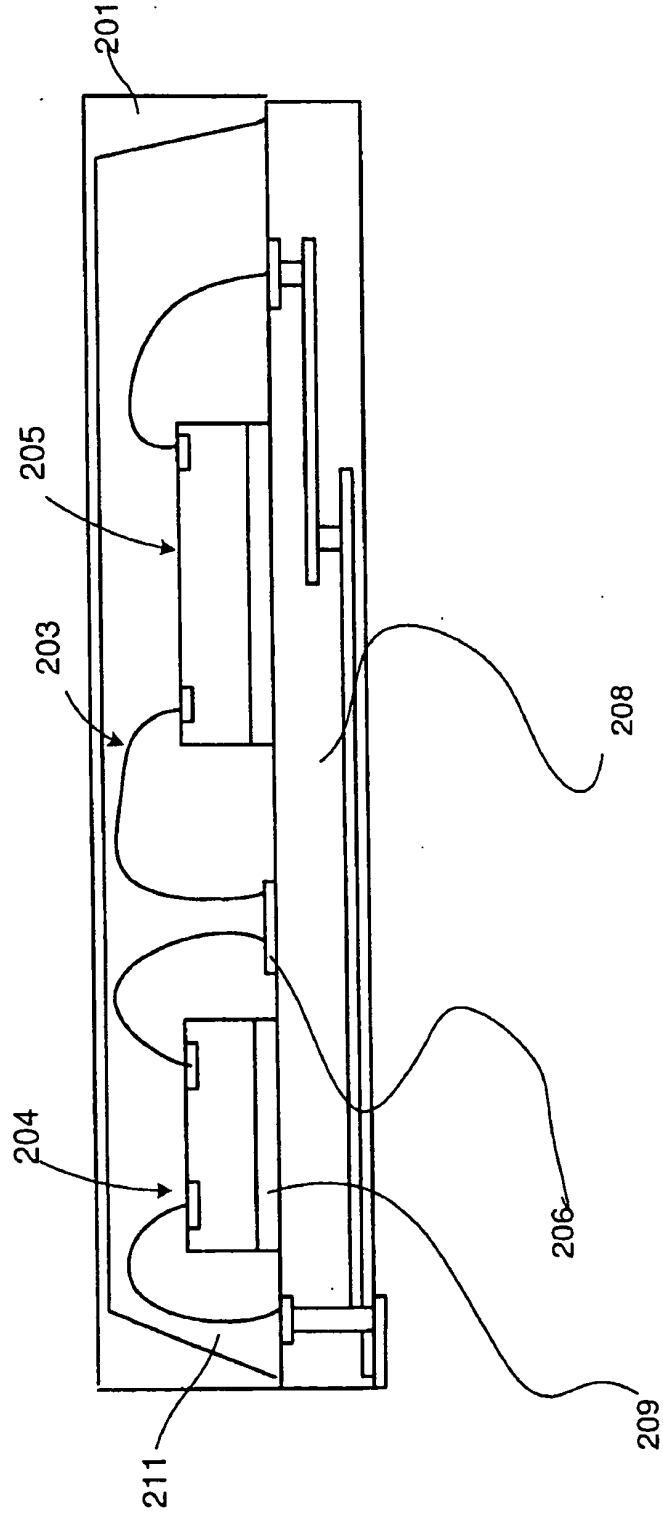


圖 2
先前技術

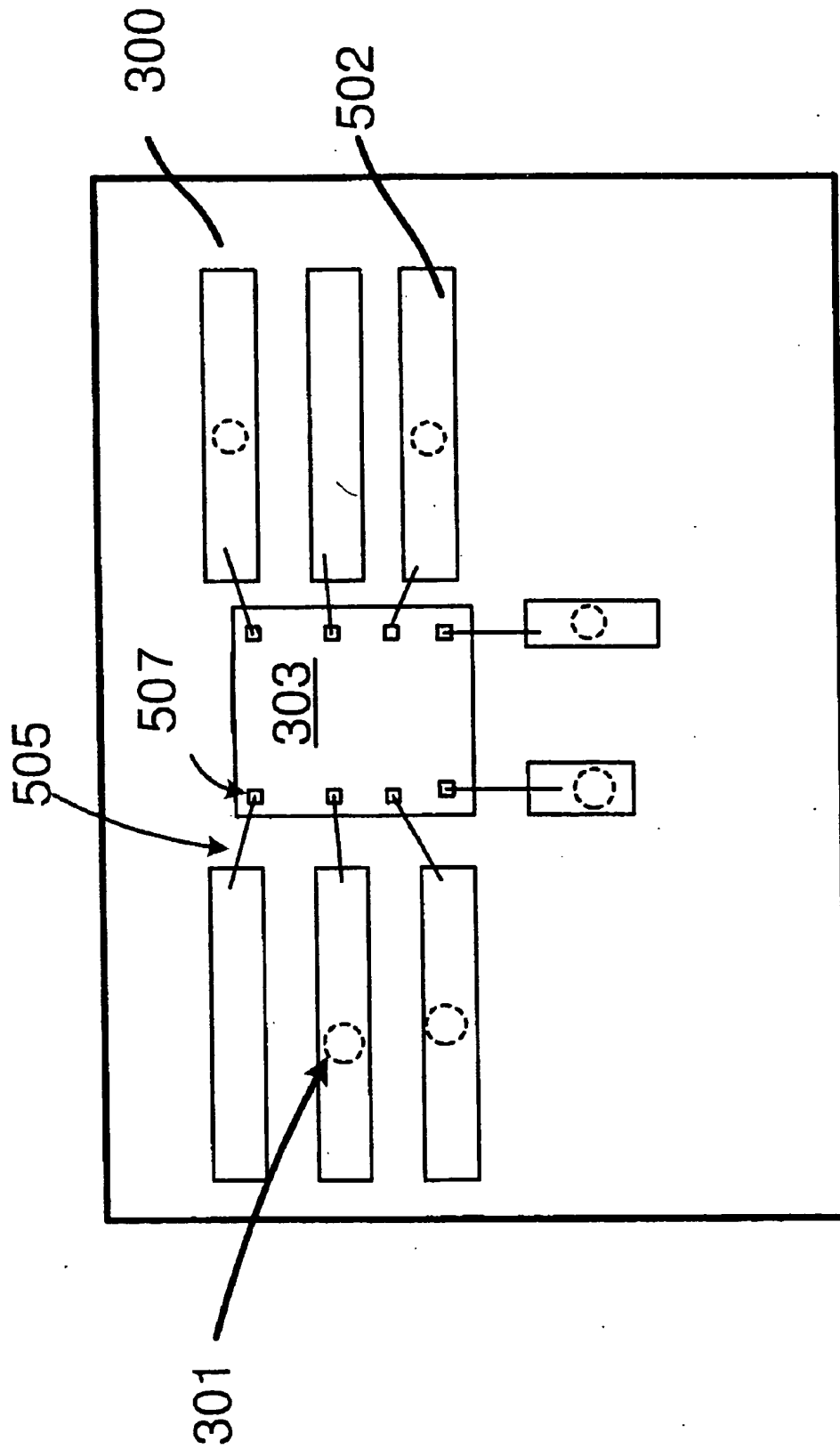


圖 5

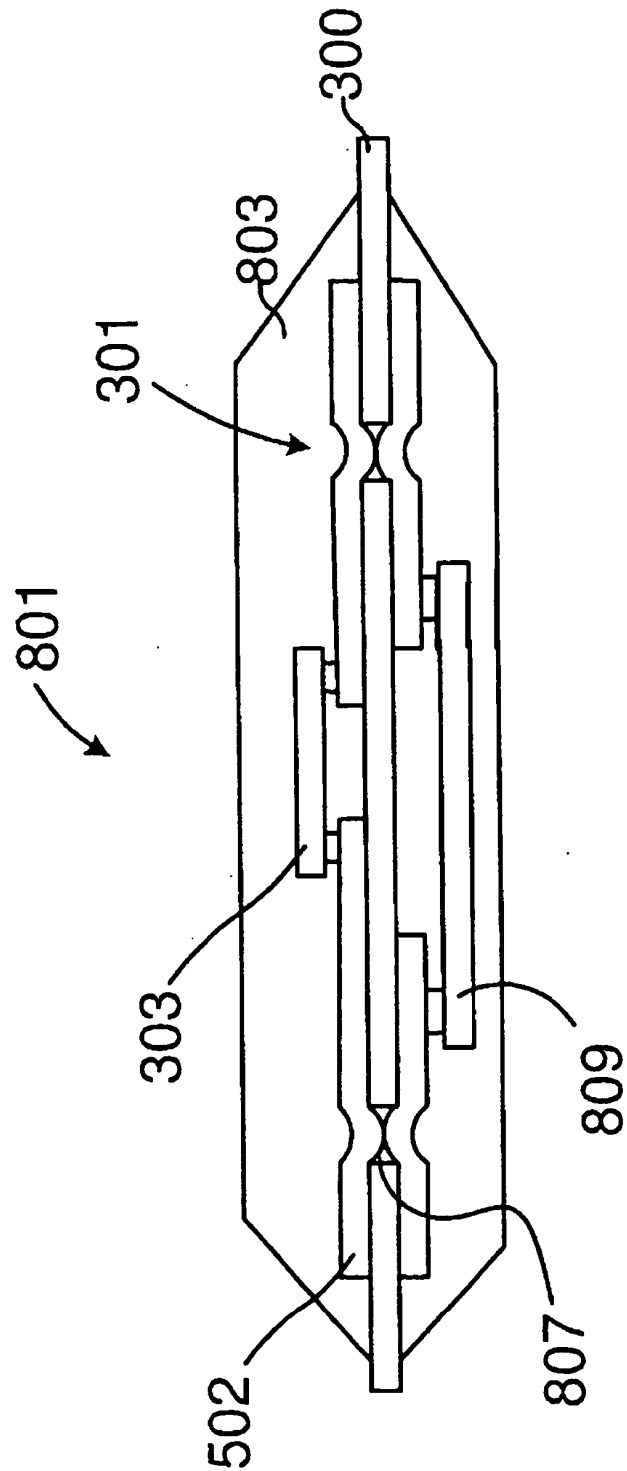


圖 8

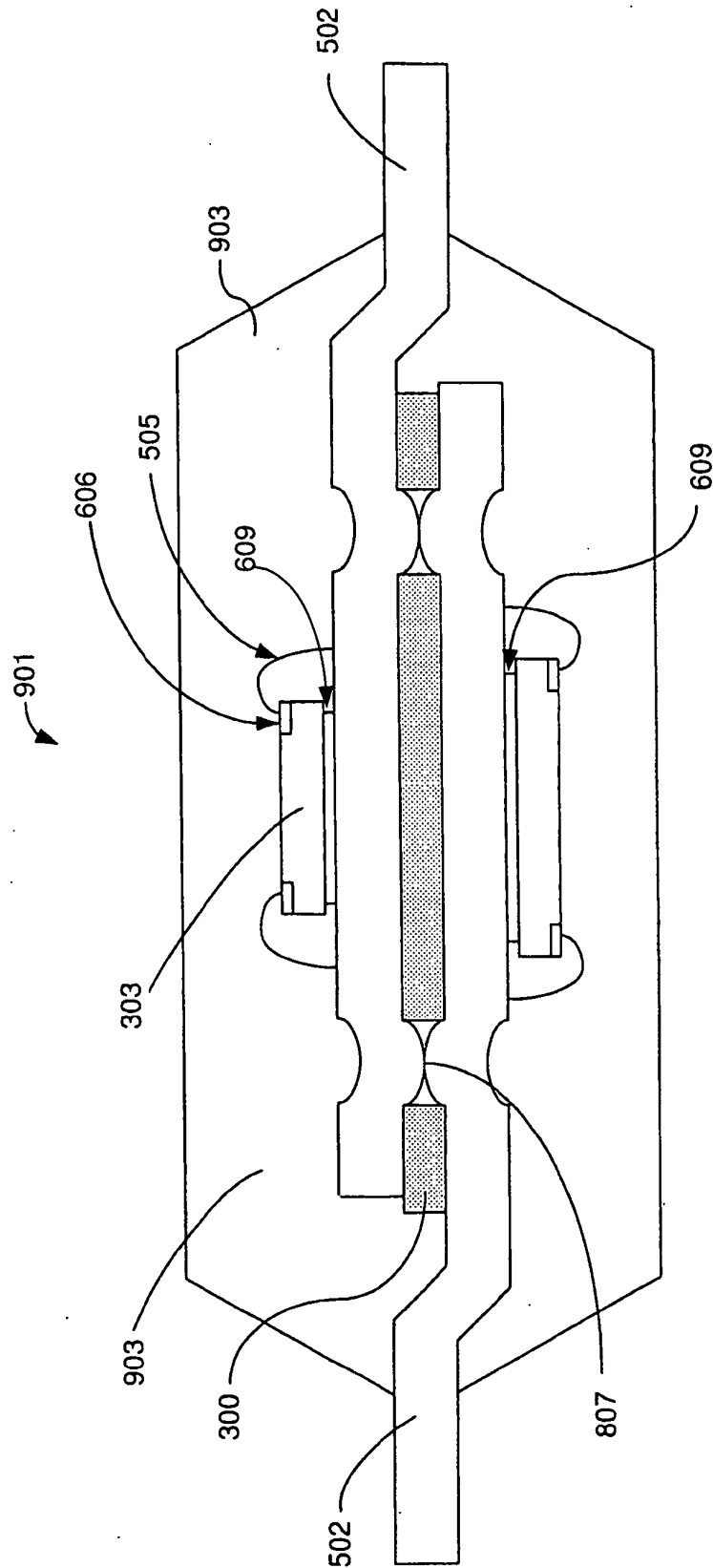


圖 9

