(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월17일
(11) 등록번호 10-2090205
(24) 등록일자 2020년03월11일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H03M 1/00* (2006.01)
H03M 1/14 (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2018-0129791
(22) 출원일자 2018년10월29일
심사청구일자 2018년10월29일
(56) 선행기술조사문헌
KR1020120065806 A*
KR1020150126597 A*
KR1020100031831 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)
박준상
서울특별시 동작구 사당로2길 2-32, 102동 1203호(상도동, 상도현대아파트)
(뒷면에 계속)
(74) 대리인
특허법인충현

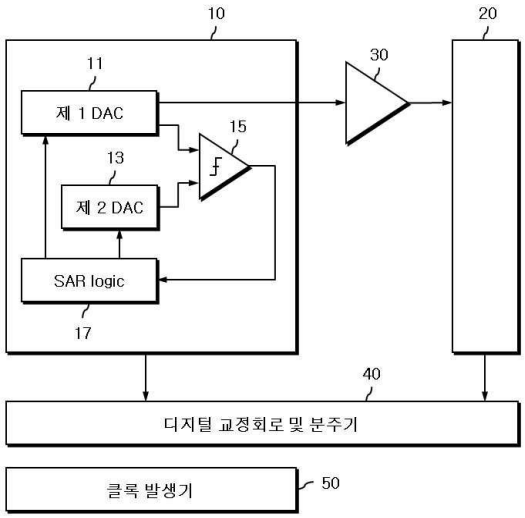
전체 청구항 수 : 총 19 항 심사관 : 유선중

(54) 발명의 명칭 **분리된 DAC에 기반한 스위칭을 이용하는 아날로그 디지털 컨버터**

(57) 요 약

본 발명은 분리된 DAC에 기반한 스위칭을 이용하는 아날로그 디지털 컨버터에 관한 것으로, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter) 및 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기를 포함하고, SAR ADC의 제 1 단은 2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(digital-to-analog converter)와 기준전압을 생성하는 제 2 DAC를 포함하되 제 1 DAC와 제 2 DAC는 서로 다른 구조를 가지며 분리되어 형성된다.

대 표 도 - 도1



(52) CPC특허분류
H03M 1/145 (2013.01)
H03M 2201/61 (2013.01)
(72) 발명자
안태지
서울특별시 마포구 백범로10길 26, 105호(신수동)
김동현
경기도 과천시 관문로 166, 1009동 201호(중앙동, 주공아파트)
여인환
서울특별시 성북구 인촌로17가길 64, 104동 503호 (안암동1가, 래미안 안암)

이 발명을 지원한 국가연구개발사업
과제고유번호 IITP-2018-0-01421
부처명 과학기술정보통신부
연구관리전문기관 정보통신기술진흥센터
연구사업명 대학ICT연구센터지원사업
연구과제명 인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율 1/2
주관기관 서강대학교 산학협력단
연구기간 2018.06.01 ~ 2019.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 10080488
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 미래반도체소자 원천기술개발사업
연구과제명 고속 고해상도 ADC (analog-to-digital converter) 기술개발
기 여 율 1/2
주관기관 한양대학교 에리카산학협력단
연구기간 2017.07.01 ~ 2019.12.31

명 세 서

청구범위

청구항 1

2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및

상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고,

상기 SAR ADC의 제 1 단은,

2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(digital-to-analog converter)와 기준전압을 생성하는 제 2 DAC를 포함하되,

상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 구조를 가지며 분리되어 형성되고, 서로 다른 단위 커패시턴스(unit capacitance)를 사용하는 것을 특징으로 하는 아날로그 디지털 컨버터(analog-to-digital converter, ADC).

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 2 DAC가 상기 제 1 DAC에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하고,

SAR 동작시 상기 제 1 DAC에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC만이 스위칭 동작을 수행하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 4

제 1 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 커패시터 개수를 갖는 이진 가중치 커패시터 구조를 형성하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 5

제 4 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC가 샘플링 동작시 입력신호가 인가되고, 홀딩 동작시 공통전압이 인가되고, 증폭 동작시 변환된 디지털 코드에 해당하는 전압이 인가되며,

상기 제 2 DAC가 SAR 동작시 공통전압 기반의 스위칭에 따른 전압이 인가되고, 비교 동작에서 요구되는 기준전압을 순차적으로 생성하여 비교기에 전달하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 6

제 1 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC와 상기 제 2 DAC가 SAR 동작시 하나의 비교기를 공유하고, 비교 결과를 SAR 논리회로(logic)에 출력하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 7

제 6 항에 있어서,

상기 비교기는,

SAR 동작을 수행하기 위해 상기 제 1 DAC 및 상기 제 2 DAC으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성하되,

상기 제 1 DAC에 입력신호가 샘플링된 후 홀딩되는 동안 상기 제 2 DAC가 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 기준전압을 생성하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 8

제 1 항에 있어서,

상기 잔류전압 증폭기는,

상기 SAR ADC의 제 1 단의 상기 제 1 DAC에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기인 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 9

제 8 항에 있어서,

상기 링 증폭기는,

차동 구조의 3단 인버터(inverter)로 구성되며,

제 1 단은 두 쌍의 인버터로 구성되어 제 1 단 각각의 채널 출력을 입력받고,

제 1 두 인버터 쌍 단은 클록의 한 주기 동안 증폭과 리셋 동작을 번갈아가며 반복하며,

제 2 및 제 3 인버터 쌍 단은 제 1 단의 증폭 동작 동안 연결되어 항상 증폭 동작을 수행하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 10

제 1 항에 있어서,

상기 SAR ADC의 제 2 단은,

상기 잔류전압 증폭기에 연결되고 최상위 비트(most significant bit, MSB) 커패시터 없이 공통모드전압에 기반하여 2개 채널의 DAC를 스위칭하며,

2개 채널의 DAC에 연결된 비교기로부터 비교 결과를 각각의 SAR 논리회로에 출력하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 11

제 1 항에 있어서,

상기 SAR ADC에 연결되는 디지털 교정회로; 및

클록신호를 생성하는 클록(clock) 발생기;를 더 포함하는 아날로그 디지털 컨버터.

청구항 12

2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter);

상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기; 및

상기 SAR ADC에 연결되는 디지털 교정회로;를 포함하고,

상기 SAR ADC의 제 1 단은,

2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(digital-to-analog converter)와 기준전압을 생성하는 제 2 DAC를 포함하되,

상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 커패시터열(capacitor array)을 가지며 분리되어 형성되는 것을 특징으로 하는 아날로그 디지털 컨버터(analog-to-digital converter, ADC).

청구항 13

제 12 항에 있어서,

상기 커패시터열은,

탑 플레이트(top plate) 및 바텀 플레이트(bottom plate) 간의 기생 커패시턴스(parasitic capacitance)를 감소시키는 구조의 차폐 커패시터를 포함하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 14

제 13 항에 있어서,

상기 차폐 커패시터는,

커패시터 내부에서 탑 플레이트 및 바텀 플레이트 역할을 번갈아가며 반복적으로 하도록 메탈을 엇갈려서 배치하는 구조를 갖는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 15

제 13 항에 있어서,

상기 차폐 커패시터는,

커패시터 최외곽 측면에서 커패시터 바텀 플레이트가 전체 커패시터를 차폐함으로써 인접 커패시터 간의 연결 유무에 따라 기생 커패시턴스에 의한 선형성 저하를 완화시키는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 16

제 13 항에 있어서,

상기 차폐 커패시터의 메탈의 길이를 조절하여 단위 커패시터를 생성하되,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 단위 커패시턴스(unit capacitance)를 사용하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 17

제 16 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 2 DAC가 상기 제 1 DAC에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하고,

SAR 동작시 상기 제 1 DAC에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC만이 스위칭 동작을 수행하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 18

제 12 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 커패시터 개수를 갖는 이진 가중치 커패시터 구조를 형성하는 것을

특징으로 하는 아날로그 디지털 컨버터.

청구항 19

제 18 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC의 커패시터 바텀 플레이트가 샘플링 동작시 입력신호가 인가되고, 홀딩 동작시 공통전압이 인가되고, 증폭 동작시 변환된 디지털 코드에 해당하는 전압이 인가되며,

상기 제 2 DAC가 SAR 동작시 커패시터 바텀 플레이트에 공통전압 기반의 스위칭에 따른 전압이 인가되고, 탑 플레이트는 비교 동작에서 요구되는 기준전압을 순차적으로 생성하여 비교기에 전달하는 것을 특징으로 하는 아날로그 디지털 컨버터.

청구항 20

제 1 항, 제 3 항 내지 제 19 항 중 어느 한 항의 아날로그 디지털 컨버터를 포함하는 모바일(mobile) 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그 디지털 컨버터(analog-to-digital Converter, ADC) 기술에 관한 것으로서, 특히 저전력 및 저면적의 환경에서 높은 선형성을 갖는 파이프라인(pipeline)-SAR(successive-approximation register) ADC에 관한 것이다.

배 경 기 술

[0002] 본격적인 스마트폰 및 태블릿 PC의 출현 이후 모바일 트래픽은 폭증하고 있으며, 향후 지금보다 스마트한 무선 단말기기 및 고도화된 통신 기술의 등장은 모바일 트래픽의 폭증을 더욱 가속화시킬 것으로 보인다. 한편, 이러한 모바일 트래픽의 수요를 만족시키기 위한 wireless gigabit alliance(WiGig), worldwide interoperability for microwave access(WiMAX), wireless local area network(WLAN) 장비 및 고속 디지털 수신기 등과 같은 다양한 고성능 통신장비는 고속 및 고해상도의 사양을 동시에 만족시키면서 모바일 시스템 응용을 위해 저전력 및 소면적으로 구현된 아날로그 디지털 컨버터(analog-to-digital converter, ADC)가 필수적으로 요구된다.

[0003] 공정 기술이 발달함에 따라 고속 고해상도 응용 분야에서도 디지털 회로 기반의 저전력 SAR(successive-approximation register) ADC에 대한 연구가 활발히 진행되고 있지만, 커패시터 부정합 및 비교기 잡음에 의해 해상도가 제한될 뿐만 아니라 SAR ADC의 전력소모를 훨씬 상회하는 기준전압 구동회로의 전력소모는 실제 시스템 상에서의 효율적인 응용을 제한한다. 한편, 고해상도 SAR ADC의 제한사항을 보완하기 위해 커패시터 부정합을 보정하는 연구가 진행되고 있으나, 별도의 보정을 위한 시간 및 데이터를 확보해야 하므로 전력소모를 최소화하기 위해 대기 동작 상태가 빈번한 모바일 시스템 응용에 적용하기는 다소 부적합하다.

[0004] 최근 SAR ADC의 주요 단점을 보완하면서 파이프라인 ADC의 장점을 활용하는 파이프라인-SAR ADC 구조 연구가 활발히 진행되고 있으며, 이와 더불어 전력소모를 획기적으로 감소시키면서 별도의 보정회로가 요구되지 않는 링(Ring) 증폭기에 대한 연구가 주목되고 있다. 그러나 현재 링 증폭기의 고속 동작 및 다중 채널에 대한 응용에 대한 연구는 미미한 수준이다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) K. Yoshioka, T. Sugimoto, N. Waki, S. Kim, D. Kurose, H. Ishii, M. Furuta, A. Sai, and T. Itakura, "A 0.7V 12b 160MS/s 12.8fJ/conv-step Pipelined-SAR ADC in 28nm CMOS with Digital Amplifier Technique," in ISSCC Dig. Tech. Papers, Feb. 2017, pp. 478-479.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 SAR ADC가 커패시터 부정합 및 비교기 잡음에 의해 해상도가 제한되고 기준전압 구동회로의 전력 소모가 많다는 문제를 해결하며, 파이프라인-SAR ADC 구조에 있어서 별도의 보정회로가 요구되는 한계를 극복하고자 한다.

과제의 해결 수단

[0007] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터(analog-to-digital converter, ADC)는, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및 상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고, 상기 SAR ADC의 제 1 단은, 2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(digital-to-analog converter)와 기준전압을 생성하는 제 2 DAC를 포함하되, 상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 구조를 가지며 분리되어 형성된다.

[0008] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 단위 커패시턴스(unit capacitance)를 사용할 수 있다. 또한, 상기 SAR ADC의 제 1 단은, 상기 제 2 DAC가 상기 제 1 DAC에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하고, SAR 동작시 상기 제 1 DAC에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC만이 스위칭 동작을 수행할 수 있다.

[0009] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 커패시터 개수를 갖는 이진 가중치 커패시터 구조를 형성할 수 있다.

[0010] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC와 상기 제 2 DAC가 SAR 동작시 하나의 비교기를 공유하고, 비교 결과를 SAR 논리회로(logic)에 출력할 수 있다. 또한, 상기 비교기는, SAR 동작을 수행하기 위해 상기 제 1 DAC 및 상기 제 2 DAC으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성할 수 있다.

[0011] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 잔류전압 증폭기는, 상기 SAR ADC의 제 1 단의 상기 제 1 DAC에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기일 수 있다.

[0012] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 아날로그 디지털 컨버터(analog-to-digital converter, ADC)는, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기; 및 상기 SAR ADC에 연결되는 디지털 교정회로;를 포함하고, 상기 SAR ADC의 제 1 단은, 2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(digital-to-analog converter)와 기준전압을 생성하는 제 2 DAC를 포함하되, 상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 커패시터열(capacitor array)을 가지며 분리되어 형성된다.

[0013] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 커패시터열은, 탑 플레이트(top plate) 및 바텀 플레이트(bottom plate) 간의 기생 커패시턴스(parasitic capacitance)를 감소시키는 구조의 차폐 커패시터를 포함할 수 있다. 또한, 상기 차폐 커패시터는, 커패시터 내부에서 탑 플레이트 및 바텀 플레이트 역할을 번갈아가며 반복적으로 하도록 메탈을 엇갈려서 배치하는 구조를 가질 수 있다. 나아가, 상기 차폐 커패시터는, 커패시터 최외곽 측면에서 커패시터 바텀 플레이트가 전체 커패시터를 차폐할 수 있다.

[0014] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 차폐 커패시터의 메탈의 길이를 조절하여 단위 커패시터를 생성하되, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC와 상기 제 2 DAC가 서로 다른 단위 커패시턴스(unit capacitance)를 사용할 수 있다. 또한, 상기 SAR ADC의 제 1 단은, 상기 제 2 DAC가 상기 제 1 DAC에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하고, SAR 동작시 상기 제 1 DAC에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC만이 스위칭 동작을 수행할 수 있다.

[0015] 한편, 이하에서는 상기 기재된 아날로그 디지털 컨버터를 포함하는 모바일(mobile) 장치를 제공한다.

발명의 효과

[0016] 본 발명의 실시예들은, 파이프라인-SAR ADC 구조를 채택하되 첫 번째 단 SAR ADC에서 SAR 동작시 작은 단위 커패시턴스를 갖는 별도의 기준전압 생성 DAC를 이용하여 스위칭 동작을 수행함으로써 스위칭 에너지를 감소시키

고 동시에 시스템 응용시 기준전압 구동회로의 부담을 완화시킬 수 있으며, 첫 번째 단 SAR ADC에 차폐 커패시터를 적용하여 커패시터열 배치시 발생하는 기생성분에 의한 선형성 제한을 개선하였을 뿐만 아니라, 잔류전압 증폭기로서 초저전력 링 증폭기 구조를 채택하되 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 전력소모 및 면적을 개선하였고 채널 간 오프셋 및 전압이득 부정합에 의한 성능저하를 완화할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조를 도시한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 12b SAR ADC로 구현한 회로도를 예시한 도면이다.

도 3은 도 2의 12b SAR ADC의 주요 블록 동작 타이밍을 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 ADC에서 제 1 단(stage) SAR ADC가 채택하고 있는 이진 가중치 커패시터 구조를 설명하기 위한 도면이다.

도 5는 제 1 단의 SAR 동작을 수행하기 위한 비교기의 구조를 설명하기 위한 도면이다.

도 6은 본 발명의 실시예들이 제안하는 분리된 DAC에 기반한 스위칭 기법에 따른 에너지를 종래의 기법과 비교하여 예시한 도면이다.

도 7은 본 발명의 다른 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조에서 제안하는 차폐 커패시터 구조를 설명하기 위한 도면이다.

도 8은 본 발명의 또 다른 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조에서 제안하는 잔류전압 증폭기의 구조를 설명하기 위한 도면이다.

도 9는 본 발명의 일 실시예에 따른 ADC를 구현한 시제품(prototype)의 칩 레이아웃(chip layout)을 예시한 도면이다.

도 10 내지 도 13은 도 9의 시제품의 성능 실험 결과를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 덧붙여, 명세서 전체에서, 어떤 구성 요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0019] 또한, 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성 요소는 제 2 구성 요소로 명명될 수 있고, 유사하게 제 2 구성 요소도 제 1 구성 요소로 명명될 수 있다.

[0020] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0021] 특별히 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0022] 이하에서, 본 발명의 실시예들이 제안하는 분리된 DAC에 기반한 스위칭을 이용하는 파이프라인-SAR ADC는 고속 동작에 용이하도록 이중채널 시분할 구조를 채택하여 각 채널의 요구사양을 완화하였으며, 일례로서 각 단에서 각각 5비트 및 8비트를 처리하는 2단 파이프라인 구조를 적용하였다. 첫 번째 단 5비트 SAR ADC는 스위칭 전력을 줄이며, 시스템 응용에 용이하도록 SAR 동작 시 단위 커패시턴스가 작은 별도의 기준전압 생성 DAC(digital-

to-analog converter)만이 스위칭 동작을 하도록 하였다. 또한, 첫 번째 단 SAR ADC의 DAC 는 별도의 보정기법 없이 인접 커패시터 연결에 의한 선형성 제한을 개선하기 위해 커스텀 차폐 커패시터를 사용하였다. 한편, 일반적인 파이프라인 구조의 ADC에서 가장 큰 전력을 소모하는 잔류전압 증폭기는 초저전력 링(Ring) 증폭기 구조를 채택하였으며, 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 고속 동작에서 요구되는 사양을 완화함과 동시에 채널 간 부정합에 의한 성능저하를 완화하였다. 이제, 각 구성요소를 도면을 참조하여 순차적으로 소개하도록 한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조를 도시한 블록도이다.

[0024] SAR ADC(10, 20)는 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성한다. 특히, SAR ADC의 제 1 단(10)은, 2개 채널로 구성되어 입력신호를 샘플링하는 제 1 DAC(11)와 기준전압을 생성하는 제 2 DAC(13)를 포함하되, 상기 제 1 DAC(11)와 상기 제 2 DAC(13)는 서로 다른 구조를 가지며 분리되어 형성된다. 보다 구체적으로, 상기 SAR ADC의 제 1 단(10)은, 상기 제 1 DAC(11)와 상기 제 2 DAC(13)가 서로 다른 단위 커패시턴스(unit capacitance)를 사용하도록 구성되는 것이 바람직하며, 상기 제 2 DAC(13)가 상기 제 1 DAC(11)에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하도록 구성함으로써 SAR 동작시 상기 제 1 DAC(11)에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC(13)만이 스위칭 동작을 수행할 수 있다. 그 결과, 스위칭 에너지를 감소시킬 수 있을 뿐만 아니라, 시스템 응용시 기준전압 구동회로의 부담을 완화시킬 수 있다는 장점을 갖는다.

[0025] 한편, 상기 SAR ADC의 제 1 단(10)은, 상기 제 1 DAC(11)와 상기 제 2 DAC(13)가 SAR 동작시 하나의 비교기(15)를 공유하고, 비교 결과를 SAR 논리회로(logic)(17)에 출력할 수 있다. 이때, 상기 비교기(15)는, SAR 동작을 수행하기 위해 상기 제 1 DAC(11) 및 상기 제 2 DAC(13)으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성할 수 있다.

[0026] 잔류전압 증폭기(30)는 상기 2개의 단(10, 20) 사이에 연결되어 제 1 단(10)의 잔류전압을 증폭한다. 이러한, 잔류전압 증폭기(30)는, 상기 SAR ADC의 제 1 단(10)의 상기 제 1 DAC(11)에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기로 구현될 수 있다. 이를 통해, 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 전력소모 및 면적을 개선하였을 뿐만 아니라 채널 간 오프셋 및 전압이득 부정합에 의한 성능저하를 완화할 수 있다는 장점을 갖는다.

[0027] 본 실시예에 따른 아날로그 디지털 컨버터가 이들 구성 외에 상기 SAR ADC(10, 20)에 연결되는 디지털 교정회로(40) 및 클록신호를 생성하는 클록(clock) 발생기(50)를 더 포함할 수 있음은 당연하다.

[0028] 도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 12b SAR ADC로 구현한 회로도를 예시한 도면으로서, 첫 번째 단 5비트 SAR ADC(10), 잔류전압 증폭기(30), 두 번째 단 8비트 SAR ADC(20), 클록 발생기(50), 디지털 교정회로 및 분주기(40)로 구성된다.

[0029] 첫 번째 단 5비트 SAR ADC(10)는 입력신호를 샘플링, 홀딩 및 잔류전압을 증폭하는 두 채널의 DAC(SIG DAC)와 별도의 기준전압을 생성하는 DAC(REF DAC)를 분리하는 구조를 적용하였다. 이 때, 단위 커패시턴스로 SIG DAC는 입력신호 범위($1.4V_{P-P}$) 및 열잡음을 고려하여 30fF을 사용하였으며, REF DAC는 신호감쇄 및 요구되는 정합성을 고려하여 5fF을 사용하였다. 제안하는 에너지 효율적인 DAC 스위칭 기법은 SAR 동작 시 5fF의 작은 단위 커패시턴스를 갖는 REF DAC만이 고속 스위칭 동작을 수행함으로써 스위칭 에너지 소모를 감소시켰으며, 이에 따라 기준전압 구동회로 설계의 부담을 완화하여 시스템 응용에 용이하도록 하였다. 또한, 5비트 SAR ADC(10)는 SAR 동작 시 두 쌍의 차동 입력단을 갖는 하나의 비교기를 공유하여 사용함으로써 오프셋 부정합, 전력소모 및 면적을 감소시켰다.

[0030] 도 2를 참조하면, 일반적인 파이프라인-SAR ADC에서 전력소모가 가장 큰 블록 중 하나인 잔류전압 증폭기(30)는 초저전력 링(Ring) 증폭기 구조를 채택하여 전력소모를 획기적으로 감소시켰으며, 이 증폭기를 두 채널에서 공유함으로써 오프셋 및 전압이득 부정합에 의한 성능저하를 완화하였다.

[0031] 한편, 두 번째 단 8비트 SAR ADC(20)는 공통모드전압(common mode voltage, V_{CM}) 기반의 스위칭 기법을 적용하여 DAC에서 가장 큰 면적을 차지하는 최상위 비트(most significant bit, MSB) 커패시터를 제거하였으며, C 및 R-2R 하이브리드 DAC 구조를 채택하여 최하위 3비트를 결정하는 기법을 통해 사용되는 커패시터의 수를 추가적으로 감소시켰다. 즉, SAR ADC의 제 2 단(20)은, 잔류전압 증폭기(30)에 연결되고 최상위 비트 커패시터 없이 공통모드전압에 기반하여 2개 채널의 DAC를 스위칭하며, 2개 채널의 DAC에 연결된 비교기로부터 비교 결과를 각

각의 SAR 논리회로에 출력하게 된다.

[0032] 도 3은 도 2의 12b SAR ADC의 주요 블록 동작 타이밍을 나타낸 도면으로서, 앞서 소개한 에너지 효율적인 DAC 스위칭 기법 및 공유 링 증폭기가 적용되었다.

[0033] 첫 번째 단의 5비트 SAR ADC의 SIG DAC 각 채널은 140MHz 클록의 반주기(Q1) 동안 입력신호를 샘플링하며 다음 반주기(Q2) 동안 SAR 동작을 위한 홀딩 동작을 수행한다. 이 때, SIG DAC가 홀딩 동작을 수행하는 동안 REF DAC는 5비트 디지털 코드 변환을 위한 기준전압을 순차적으로 생성하며 SAR 동작을 수행한다. SAR 동작이 완료된 후, SIG DAC는 변환된 5비트의 디지털 코드에 해당하는 잔류전압을 140MHz 클록의 한 주기(Q1+Q2) 동안 각 채널은 번갈아가며 잔류전압 증폭기로 전달하며, 이 신호는 증폭되어 두 번째 단 8비트 SAR ADC 각 채널에 샘플링된 후, 8비트 디지털 코드로 변환된다.

[0034] 도 4는 본 발명의 일 실시예에 따른 ADC에서 제 1 단(stage) SAR ADC(10)가 채택하고 있는 이진 가중치 커패시터 구조를 설명하기 위한 도면이다.

[0035] 에너지 효율적인 DAC 스위칭 기법이 적용된 첫 번째 단 5비트 SAR ADC(10)의 SIG DAC(제 1 DAC)(11) 및 REF DAC(제 2 DAC)(13)는 도 4에 도시된 바와 같이 이진 가중치 커패시터 구조를 형성하며, 각각 30fF 및 5fF의 단위 커패시턴스(C_U)를 갖는다. SIG DAC(11)의 커패시터 바텀 플레이트(bottom plate)는 샘플링 동작 시 입력신호가 인가되고, 홀딩 동작 시 공통모드전압(V_{CM})이 인가되며, 증폭 동작 시 변환된 5비트 디지털 코드에 해당하는 전압이 인가된다. 한편, REF DAC(13)는 SAR 동작 시 커패시터 바텀 플레이트(bottom plate)에 공통모드전압(V_{CM}) 기반의 스위칭 기법에 따른 전압이 인가되며, 탑 플레이트(top plate)는 비교 동작에서 요구되는 기준전압을 순차적으로 생성하여 비교기(15)에 전달한다.

[0036] 기존의 SAR ADC 기술에서 고속 동작을 용이하게 하기 위해 SIG DAC와 REF DAC를 분리하여 사용하는 경우, 두 DAC 간의 정합성을 고려하여 두 DAC는 완전히 동일한 크기와 구조로 설계하는 것이 일반적이었다. 그러나, 본 발명의 실시예들이 제안하는 구조는 파이프라인 구조를 적용하였기 때문에 디지털 교정 회로의 보정 범위 내에 두 DAC 간의 정합성 여유가 있으므로 도 4에 도시된 바와 같이 두 DAC(11, 13)이 서로 다른 커패시터 개수 및 단위 커패시턴스(C_U)의 사용이 가능하다.

[0037] 요약하건대, 본 발명의 실시예들이 제안하는 SAR ADC의 제 1 단(10)은, 제 1 DAC(11)와 제 2 DAC(13)가 서로 다른 커패시터 개수를 갖는 이진 가중치 커패시터 구조를 형성하되, 상기 제 1 DAC(11)가 샘플링 동작시 입력신호가 인가되고, 홀딩 동작시 공통전압이 인가되고, 증폭 동작시 변환된 디지털 코드에 해당하는 전압이 인가되며, 상기 제 2 DAC(13)가 SAR 동작시 공통전압 기반의 스위칭에 따른 전압이 인가되고, 비교 동작에서 요구되는 기준전압을 순차적으로 생성하여 비교기(15)에 전달할 수 있다.

[0038] 도 5는 제 1 단의 SAR 동작을 수행하기 위한 비교기의 구조를 설명하기 위한 도면으로서, 두 쌍의 차동 입력단을 가지는 이중 테일(double tail) 구조로 설계하였다. 두 입력단 쌍은 SIG DAC 및 REF DAC의 신호를 각각 전달받는다. 함께 표시된 그래프는 샘플링 및 변환 동작의 예제를 나타내며, SIG DAC에 입력신호가 샘플링 된 후 INT 및 INC에 홀딩되는 동안, REF DAC는 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 기준전압을 생성하여 REFT 및 REFC에 인가한다.

[0039] 도 6은 본 발명의 실시예들이 제안하는 분리된 DAC에 기반한 스위칭 기법에 따른 에너지를 종래의 기법과 비교하여 예시한 도면으로서, 제안하는 에너지 효율적인 DAC 스위칭 기법의 스위칭 에너지 및 일반적인 이진 가중치 커패시터로 이루어진 DAC(단위 커패시턴스 = 30fF)에 공통모드전압(V_{CM}) 기반의 스위칭 기법을 적용하였을 경우의 스위칭 에너지를 비교하였다. 제안하는 스위칭 기법은 고속으로 동작하는 REF DAC의 전체 커패시턴스가 SIG DAC에 비해 1/12 수준이며, 이에 따라 평균 스위칭 에너지는 92%가 감소한다. 또한, 이로 인해 시스템 응용시 기준전압 구동회로의 전력소모 및 면적을 획기적으로 감소시킬 수 있다.

[0040] 도 7은 본 발명의 다른 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조에서 제안하는 차폐 커패시터 구조를 설명하기 위한 도면으로서, SIG DAC(제 1 DAC)와 REF DAC(제 2 DAC)는 서로 다른 커패시터열(capacitor array)을 가지며 분리되어 형성되는 있음을 전제로 한다.

[0041] 본 실시예에서는 첫 번째 단의 SIG DAC 및 REF DAC는 커패시터열 레이아웃 시 선형성을 저하시키는 탑 플레이트(top plate)와 바텀 플레이트(bottom plate) 간의 기생 커패시턴스(parasitic capacitance)를 최소화하여 별도의 보정기법 없이 높은 선형성을 확보하기 위해 도 7과 같은 커스텀(custom) 차폐 커패시터 구조를 제안하였다.

여기서, 상기 차폐 커패시터는, 커패시터 내부에서 탑 플레이트 및 바텀 플레이트 역할을 번갈아가며 반복적으로 하도록 메탈을 엇갈려서 배치하는 구조를 갖는 것이 바람직하다.

[0042] 제안하는 커패시터는 도 7의 <top view>와 같이 메탈 6(M6) 및 메탈 5-3(M5-3)은 커패시터 내부에서 탑 플레이트(top plate) 및 바텀 플레이트(bottom plate) 역할을 번갈아가며 반복적으로 하도록 배치하여 요구되는 커패시턴스를 확보한다. 이때, 커패시터 최외곽 측면은 커패시터 바텀 플레이트가 전체 커패시터를 차폐하도록 하며, M6의 경우 최외곽 측면 바텀 플레이트의 일부분을 개방하여 커패시터 탑 플레이트가 상하좌우로 인접 커패시터와 연결 가능하도록 하였다. 또한, 도 7의 <AB cross section>과 같이 메탈 2(M2) 및 메탈 7(M7)은 커패시터의 바텀 플레이트 역할을 하며 커패시터 아래위 부분을 바텀 플레이트로 차폐하는 역할을 한다. 한편, 도 7의 <side view>와 같이 커패시터 배치 시 탑 플레이트는 M6를, 바텀 플레이트는 메탈 1(M1)을 사용하여 각각 인접 커패시터와 연결한다.

[0043] 이러한 차폐 커패시터 구조는 요구되는 커패시턴스를 확보하면서 인접 커패시터 간의 연결 유무에 따른 기생 커패시턴스에 의한 선형성 저하를 완화할 수 있다. 이와 같은 구조를 바탕으로 메탈의 길이를 조절하여 생성된 30fF 및 5fF의 단위 커패시터를 각각 SIG DAC 및 REF DAC에 적용하는 것이 가능하다.

[0044] 요약하건대, 본 발명의 다른 실시예에 따른 아날로그 디지털 컨버터는, 차폐 커패시터의 메탈의 길이를 조절하여 단위 커패시터를 생성하되, SAR ADC의 제 1 단은 SIG DAC(제 1 DAC)와 REF DAC(제 2 DAC)가 서로 다른 단위 커패시턴스(unit capacitance)를 사용할 수 있다. 따라서, 상기 제 2 DAC가 상기 제 1 DAC에 비해 상대적으로 더 작은 단위 커패시턴스를 사용하도록 설계할 경우, SAR 동작시 상기 제 1 DAC에 비해 상대적으로 더 적은 스위칭 에너지를 소모하는 상기 제 2 DAC만이 스위칭 동작을 수행하도록 할 수 있다.

[0045] 도 8은 본 발명의 또 다른 실시예에 따른 분리된 DAC에 기반한 스위칭을 이용하는 ADC의 구조에서 제안하는 잔류전압 증폭기의 구조를 설명하기 위한 도면으로서, 상기 잔류전압 증폭기는 SAR ADC의 제 1 단의 SIG DAC(제 1 DAC)에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기로 구현될 수 있다.

[0046] 도 8을 통해 제안하는 ADC의 이중채널 구조는 링 증폭기의 요구되는 정착시간을 140MHz의 한 주기로 완화하여 고속 동작을 용이하게 하였다. 한편, 각 채널이 하나의 증폭기를 공유하며 채널 간 오프셋 및 이득 부정합에 의한 성능 제한을 완화하는 동시에 전력소모 및 면적을 감소시켰다. 제안하는 링 증폭기는 차동 구조의 3단 인버터(inverter)로 구성되어 있으며, 첫 번째 단은 두 쌍의 인버터로 구성되어 첫 번째 단 각각의 채널 출력을 입력받는다. 링 증폭기의 첫 번째 두 인버터 쌍 단은 140MHz 클록의 한 주기 동안 증폭 동작 및 리셋 동작을 번갈아가며 반복하며, 두 번째 및 세 번째 인버터 쌍 단은 첫 번째 단의 증폭 동작 동안 연결되어 항상 증폭 동작을 수행한다.

[0047] 도 9는 본 발명의 일 실시예에 따른 ADC를 구현한 시제품(prototype)의 칩 레이아웃(chip layout)을 예시한 도면으로서, 제안하는 12비트 140MS/s 시제품 ADC는 28nm CMOS 공정으로 제작된 시제품 ADC의 전체 면적은 $0.202mm^2$이며, 전력소모는 0.8V의 전원전압 조건에서 총 1.1mW를 소모한다.

[0048] 도 10 내지 도 13은 도 9의 시제품의 성능 실험 결과를 예시한 도면이다.

[0049] 시제품 ADC의 측정된 DNL(differential non-linearity) 및 INL(integral non-linearity)는 도 10과 같이 12비트 해상도에서 각각 최대 1.50LSB 및 2.85LSB 수준을 보인다.

[0050] 도 11은 140MS/s 의 샘플링 속도에서 1.1MHz 입력 주파수가 인가되었을 때의 신호 스펙트럼(FFT spectrum)을 나타내며, 도 12는 ADC의 샘플링 동작속도를 140MS/s까지 증가시킬 때, 측정된 SNDR(signal-to-noise-and-distortion ratio) 및 SFDR(spurious-free dynamic range)의 성능 변화를 나타낸다. 동작속도가 140MS/s까지 증가하는 동안 측정된 시제품 ADC의 차동 입력에 대한 SNDR과 SFDR은 각각 58.0dB 및 73.7dB 이상을 유지한다. 도 13은 140MS/s의 동작속도에서 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력신호를 Nyquist 주파수까지 증가시킬 때, 측정된 SNDR과 SFDR은 각각 52.6dB, 65.7dB 이상의 수준을 유지한다.

[0051] 본 발명의 실시예들에 따르면, 에너지 효율적인 DAC 스위칭 기법 및 초저전력 링 증폭기를 적용하여 전력소모를 획기적으로 감소시켰으며, 커스텀 차폐 커패시터를 사용하여 커패시터열 배치 시 기생성분에 의한 선형성 저하를 완화하였다. 특히 본 발명의 실시예들은, 파이프라인-SAR ADC 구조를 채택하되 첫 번째 단 SAR ADC에서 SAR 동작시 작은 단위 커패시턴스를 갖는 별도의 기준전압 생성 DAC를 이용하여 스위칭 동작을 수행함으로써 스위칭 에너지를 감소시키고 동시에 시스템 응용시 기준전압 구동회로의 부담을 완화시킬 수 있으며, 첫 번째 단 SAR ADC에 차폐 커패시터를 적용하여 커패시터열 배치시 발생하는 기생성분에 의한 선형성 제한을 개선하였을 뿐만

아니라, 잔류전압 증폭기로서 초저전력 링 증폭기 구조를 채택하되 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 전력소모 및 면적을 개선하였고 채널 간 오프셋 및 전압이득 부정합에 의한 성능저하를 완화할 수 있다.

[0052] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

[0053] 10: SAR ADC의 제 1 단(stage)

20: SAR ADC의 제 2 단

30: 잔류전압 증폭기/링 증폭기

40: 디지털 교정회로 및 분주기

50: 클록 발생기

11: 제 1 DAC(SIG DAC)

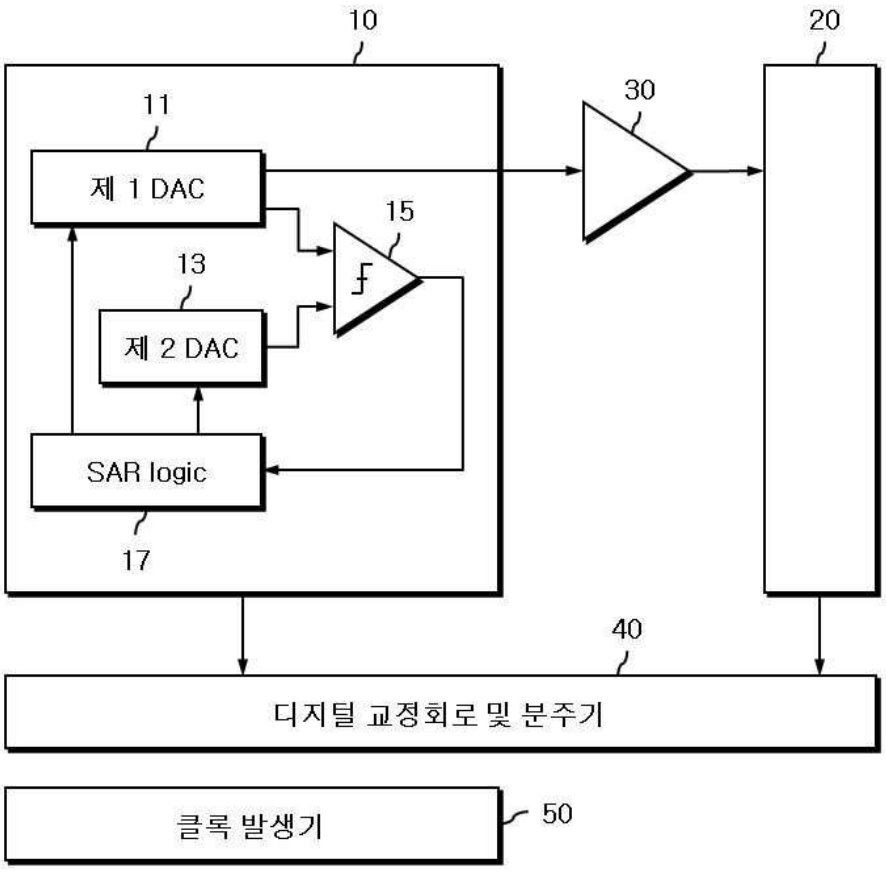
13: 제 2 DAC(REF DAC)

15: 비교기

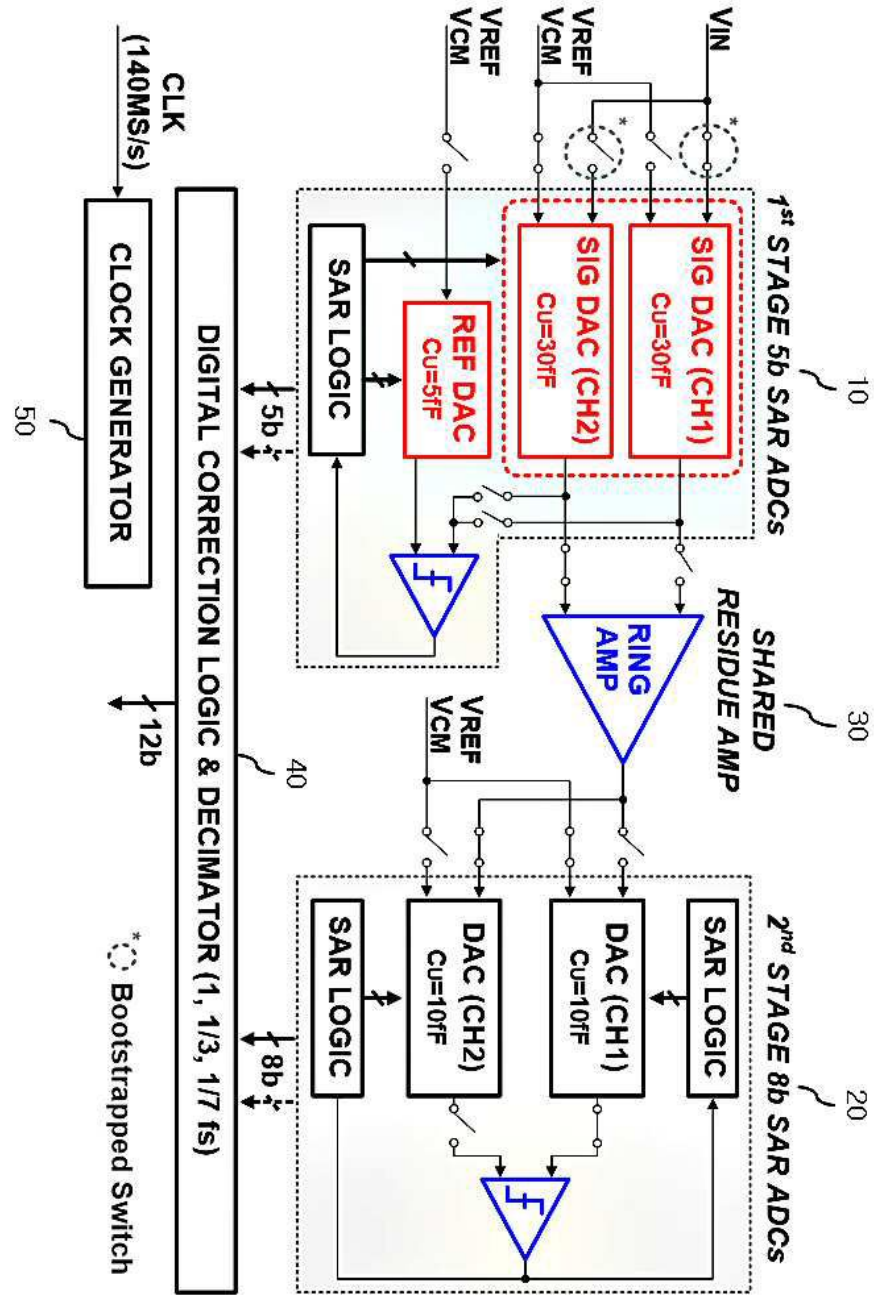
17: SAR 논리회로

도면

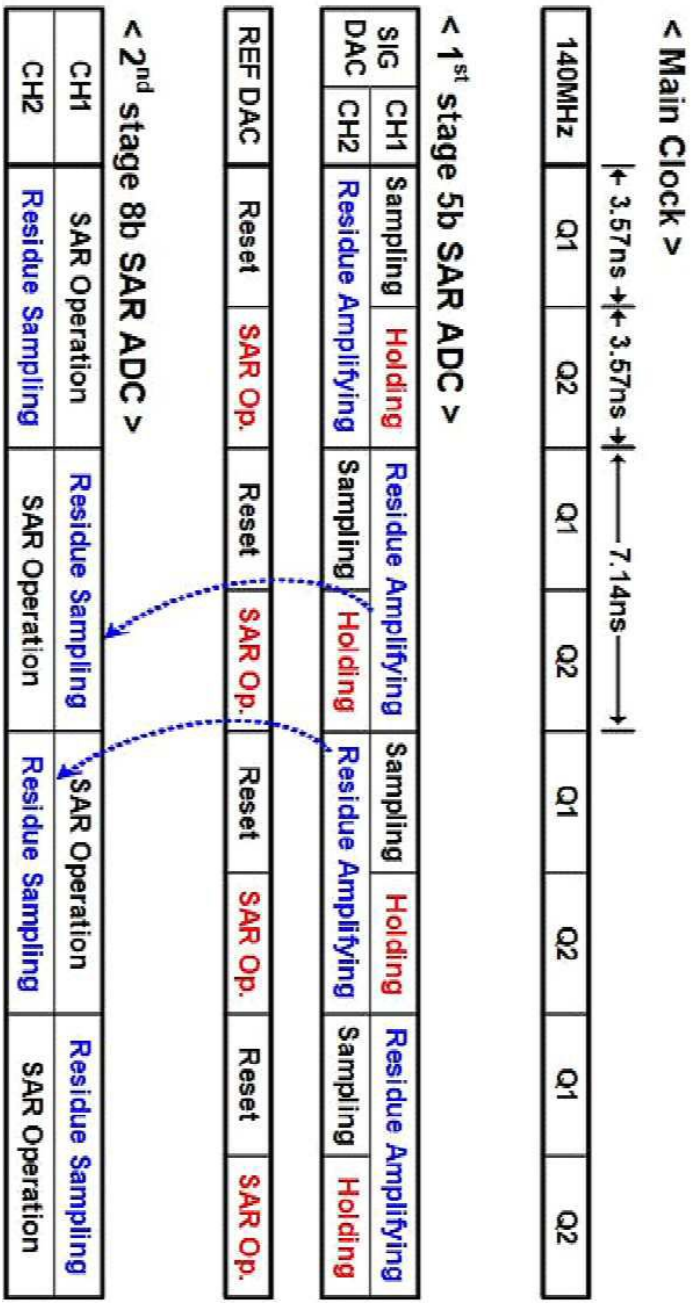
도면1



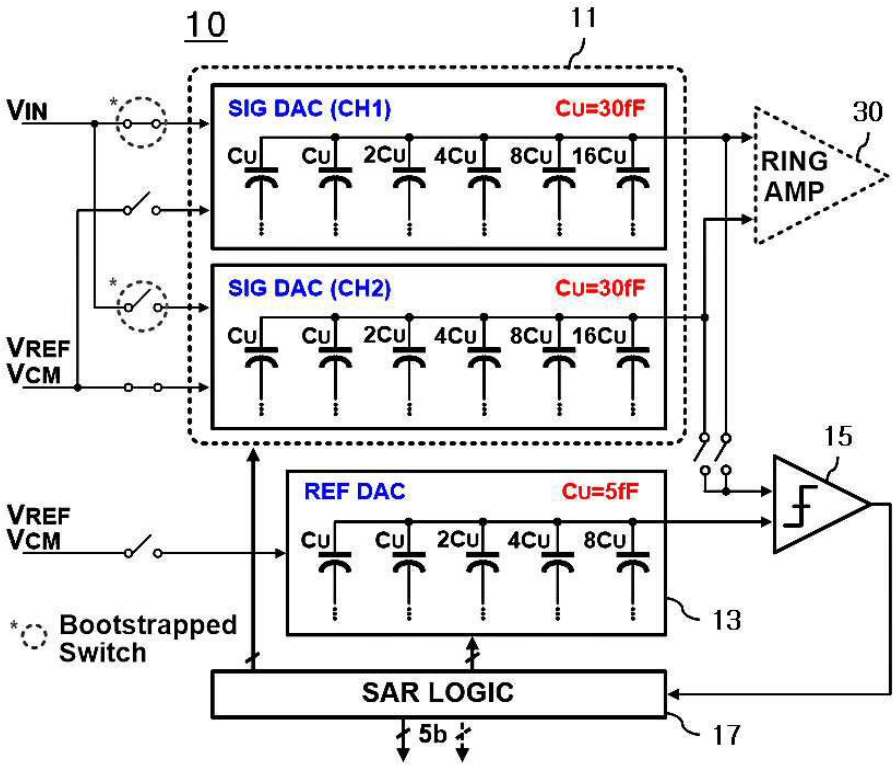
도면2


VIN
VREF
VCM
VREF
VCM
VREF
VCM
SIG DAC (CH1)
CU=30fF
SIG DAC (CH2)
CU=30fF
REF DAC
CU=5fF
SAR LOGIC
5b
1st STAGE 5b SAR ADCs
10
RING AMP
SHARED RESIDUE AMP
30
VREF
VCM
DAC (CH1)
CU=10fF
DAC (CH2)
CU=10fF
SAR LOGIC
SAR LOGIC
8b
2nd STAGE 8b SAR ADCs
20
12b
DIGITAL CORRECTION LOGIC & DECIMATOR (1, 1/3, 1/7 fs)
40
CLK
(140MS/s)
CLOCK GENERATOR
50
Bootstrapped Switch

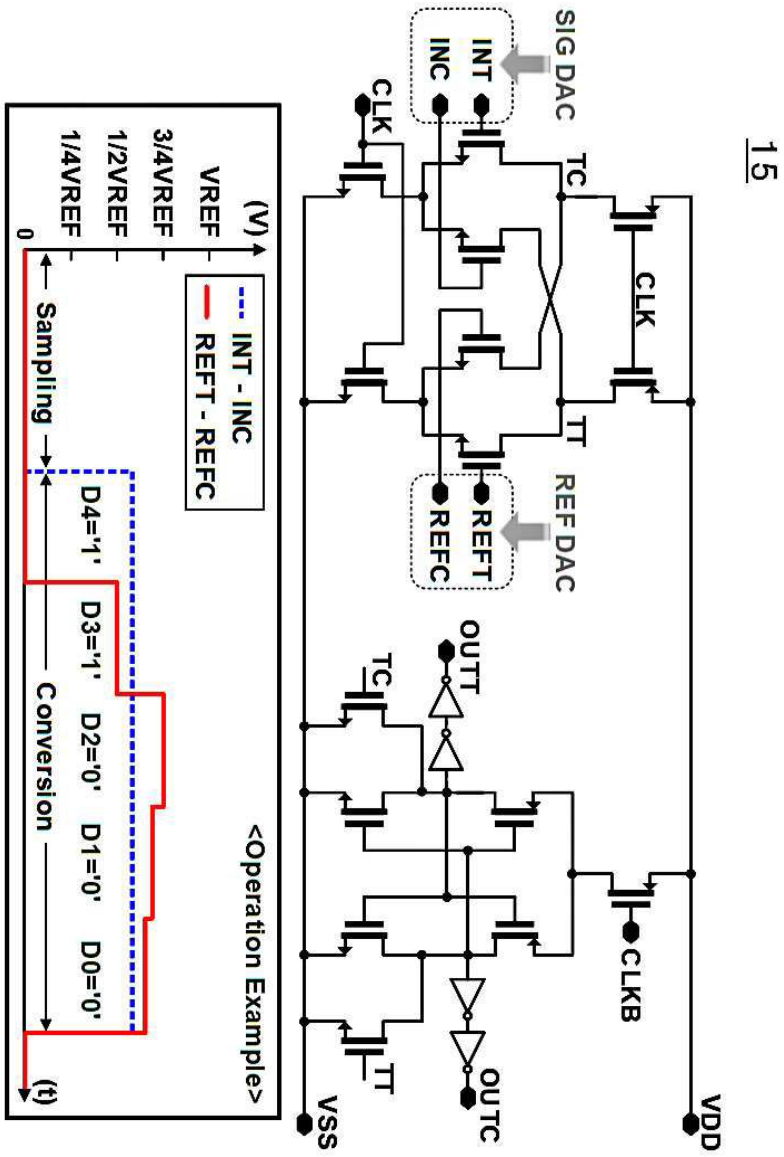
도면3


< Main Clock >
3.57ns
3.57ns
7.14ns
140MHz
Q1
Q2
Q1
Q2
Q1
Q2
Q1
Q2
< 1st stage 5b SAR ADC >
SIG DAC
CH1
CH2
Sampling
Holding
Residue Amplifying
Residue Amplifying
Sampling
Holding
Sampling
Residue Amplifying
Holding
Residue Amplifying
Sampling
Holding
REF DAC
Reset
SAR Op.
Reset
SAR Op.
Reset
SAR Op.
Reset
SAR Op.
< 2nd stage 8b SAR ADC >
CH1
CH2
SAR Operation
Residue Sampling
Residue Sampling
SAR Operation
SAR Operation
Residue Sampling
Residue Sampling
SAR Operation

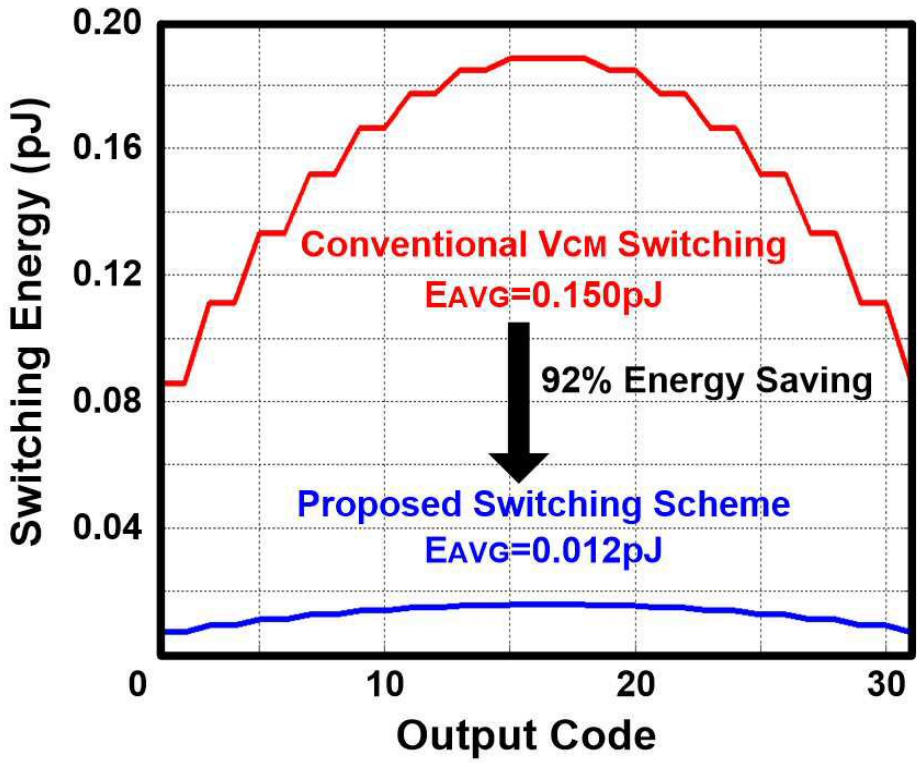
도면4


10
11
VIN
SIG DAC (CH1)
Cu=30fF
Cu
Cu
2Cu
4Cu
8Cu
16Cu
30
RING
AMP
SIG DAC (CH2)
Cu=30fF
VREF
VCM
15
REF DAC
Cu=5fF
VREF
VCM
13
Bootstrapped
Switch
SAR LOGIC
17
5b

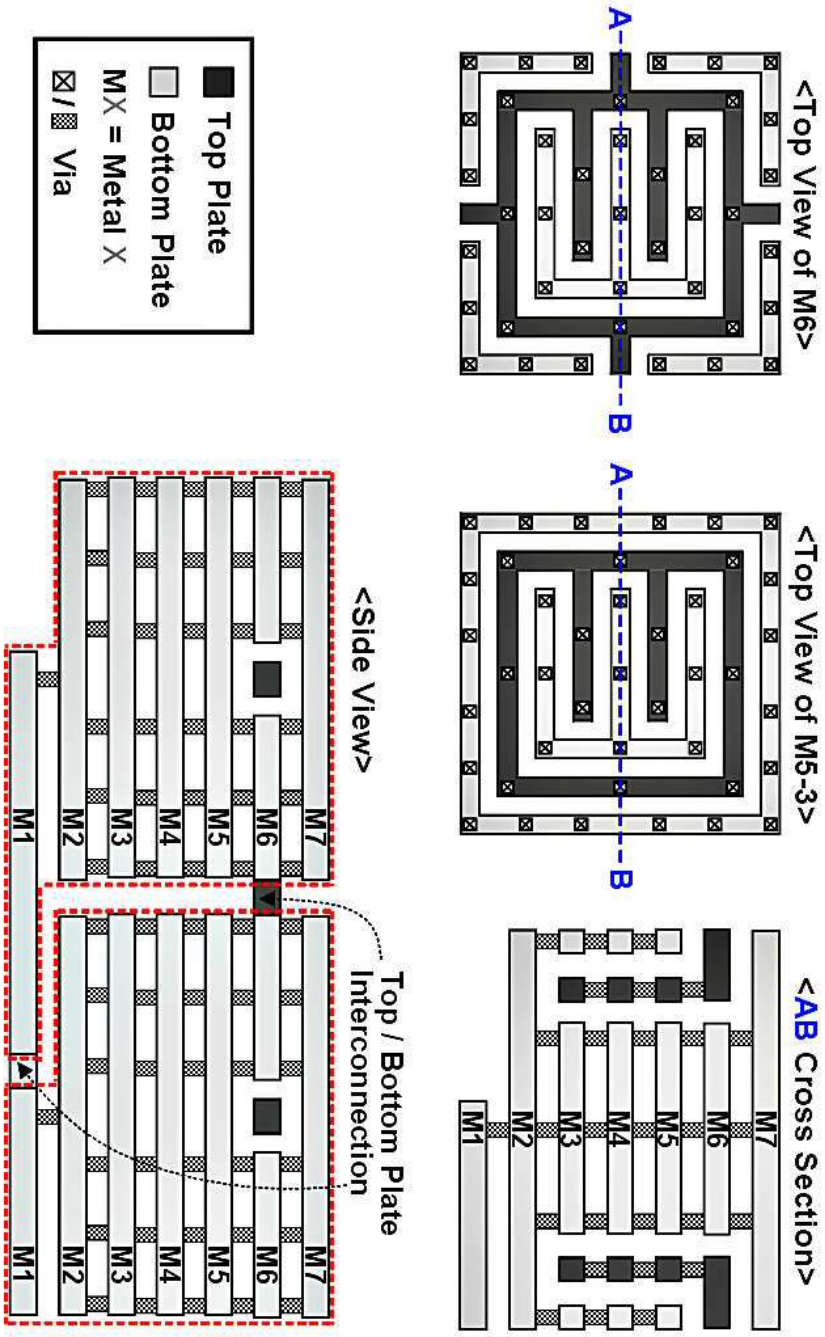
도면5


15
SIG DAC
INT
INC
CLK
TC
CLK
TT
REF DAC
REFC
REFT
OUTT
TC
CLKB
TT
OUTC
VSS
VDD
(V)
VREF
3/4VREF
1/2VREF
1/4VREF
0
INT - INC
REFT - REFC
Sampling
Conversion
D4='1'
D3='1'
D2='0'
D1='0'
D0='0'
(t)
<Operation Example>

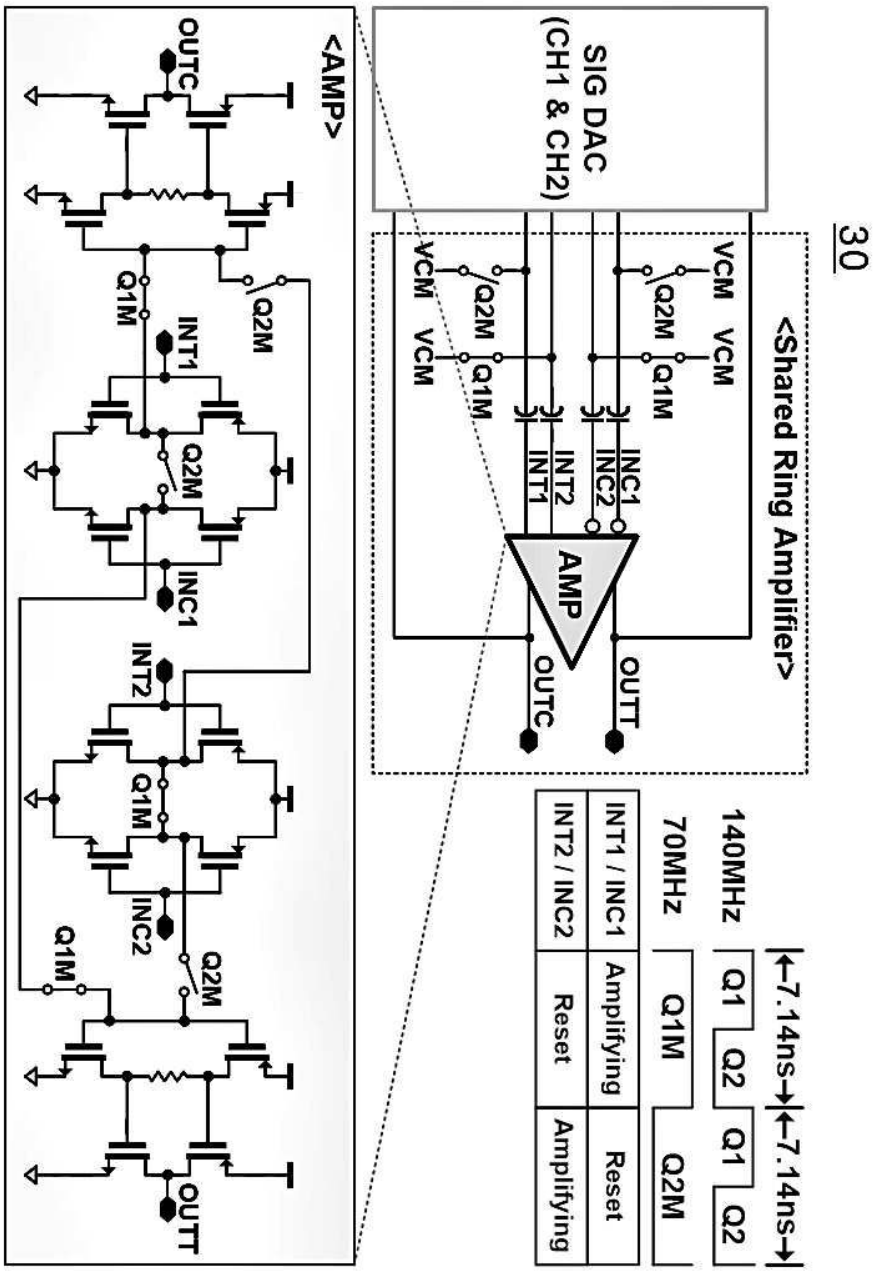
도면6


0.20
0.16
0.12
0.08
0.04
Switching Energy (pJ)
Conventional VCM Switching
EAVG=0.150pJ
92% Energy Saving
Proposed Switching Scheme
EAVG=0.012pJ
0
10
20
30
Output Code

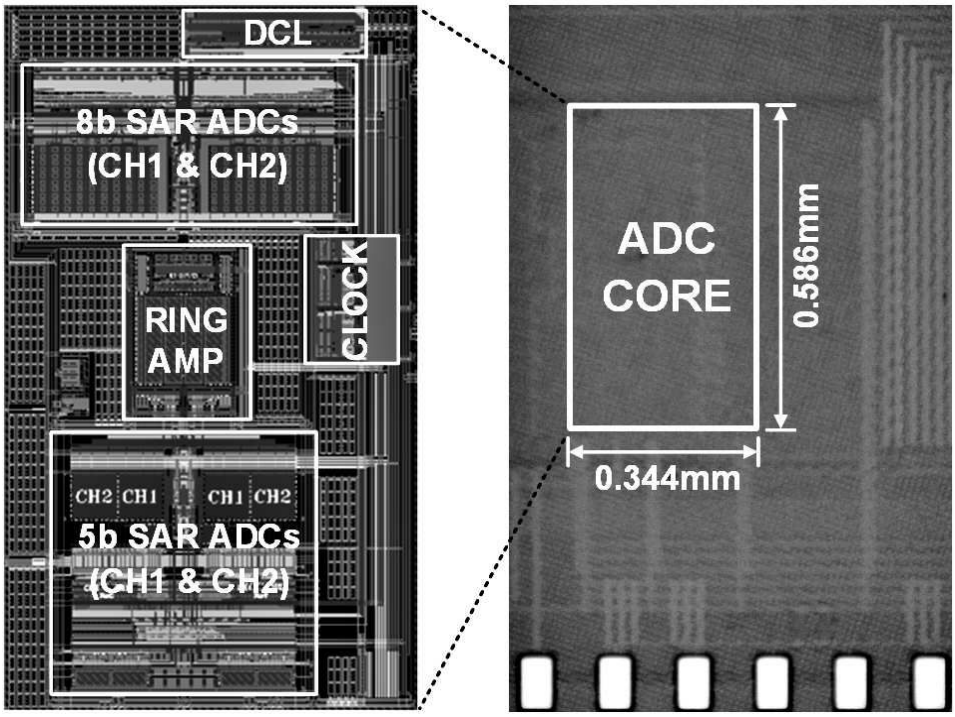
도면7


Top Plate
Bottom Plate
MX = Metal X
Via
<Top View of M6>
A
B
<Top View of M5-3>
<AB Cross Section>
M1
M2
M3
M4
M5
M6
M7
<Side View>
Top / Bottom Plate Interconnection

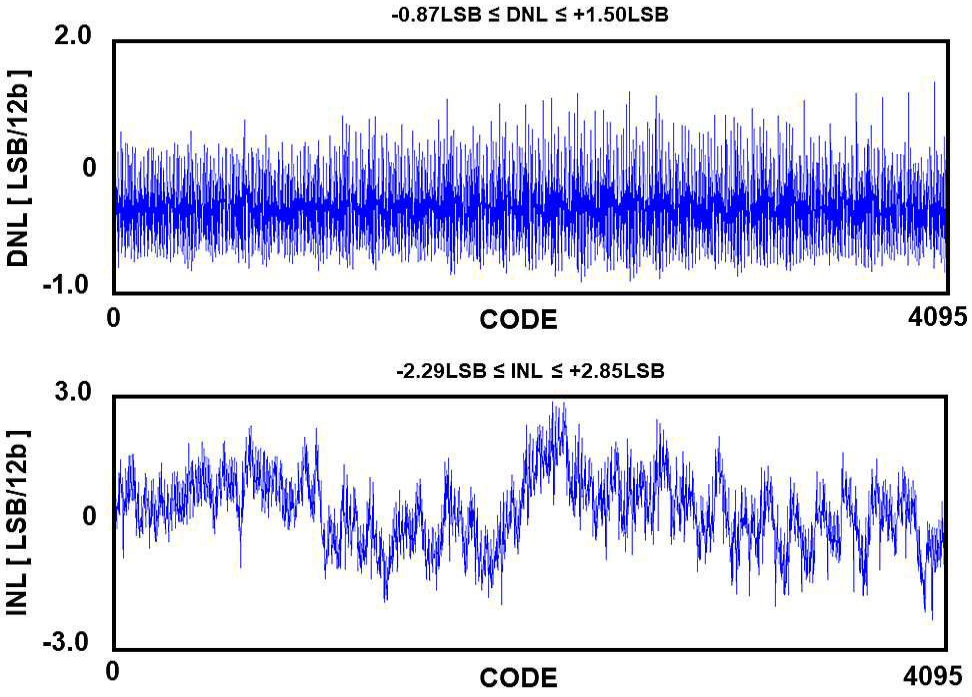
도면8


30
SIG DAC
(CH1 & CH2)
<Shared Ring Amplifier>
VCM
Q2M
Q1M
INC1
INC2
INT2
INT1
AMP
OUTC
OUTT
140MHz
70MHz
←7.14ns→
Q1
Q2
Q1M
Q2M
INT1 / INC1
INT2 / INC2
Amplifying
Reset
<AMP>

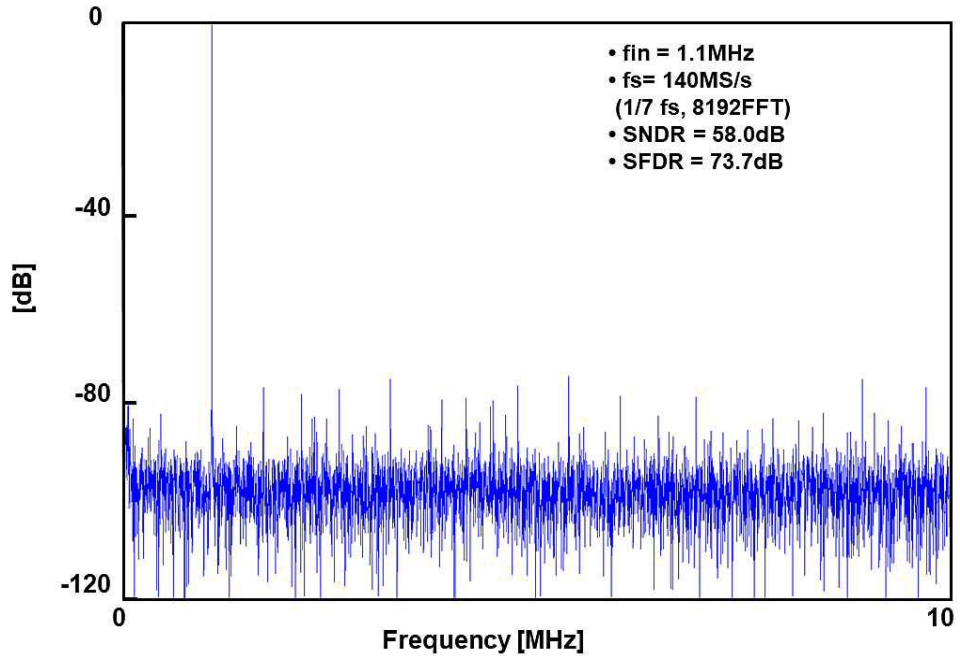
도면9


DCL
8b SAR ADCs
(CH1 & CH2)
RING
AMP
CLOCK
CH2 CH1
CH1 CH2
5b SAR ADCs
(CH1 & CH2)
ADC
CORE
0.586mm
0.344mm

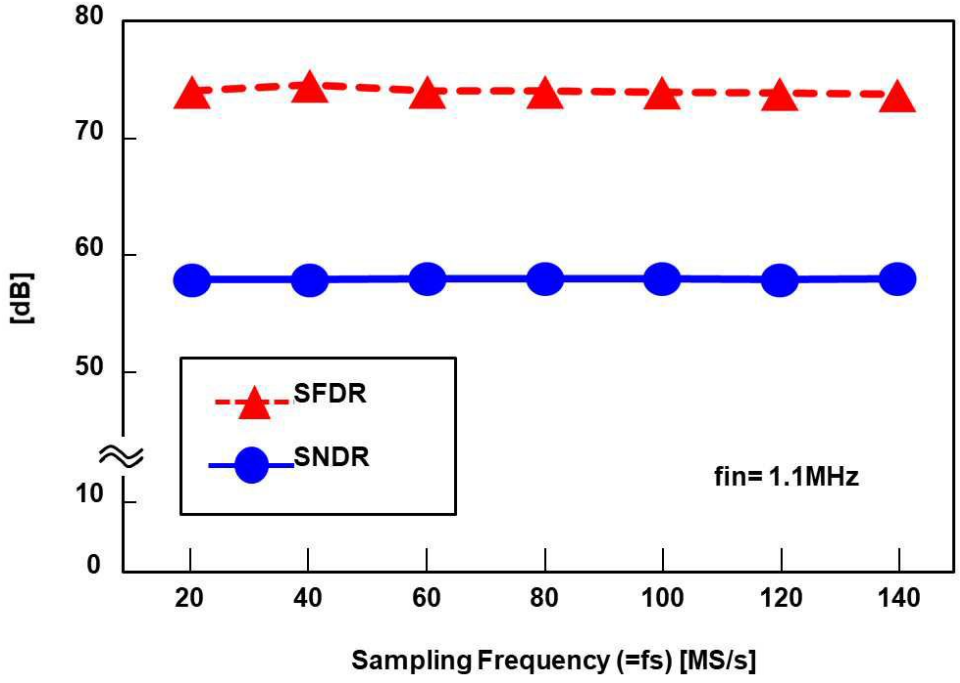
도면10


-0.87LSB ≤ DNL ≤ +1.50LSB
DNL [LSB/12b]
2.0
0
-1.0
0
CODE
4095
-2.29LSB ≤ INL ≤ +2.85LSB
INL [LSB/12b]
3.0
0
-3.0
0
CODE
4095

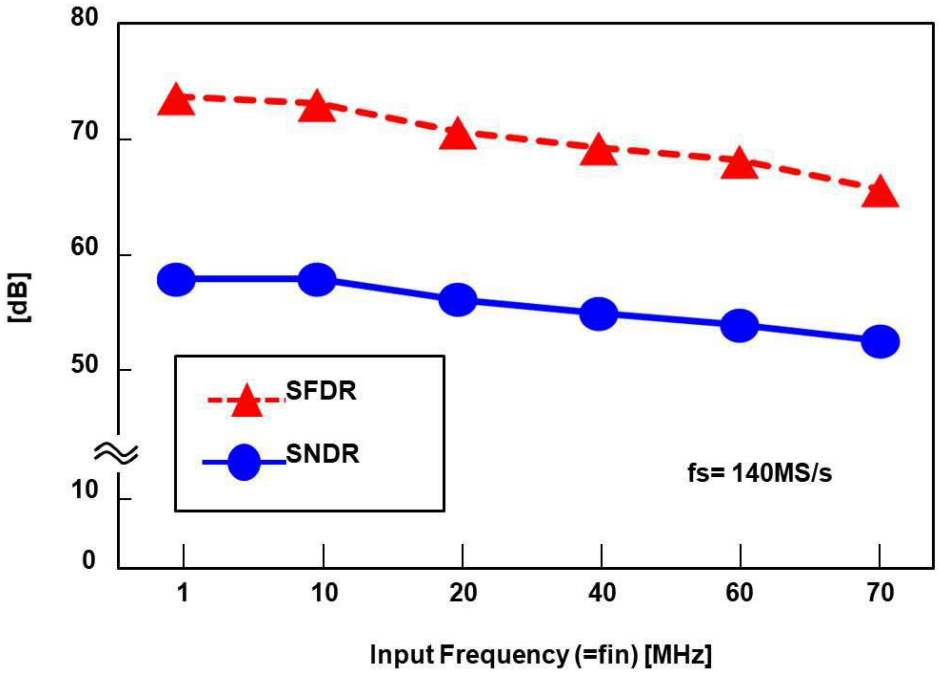
도면11


• fin = 1.1MHz
• fs= 140MS/s
(1/7 fs, 8192FFT)
• SNDR = 58.0dB
• SFDR = 73.7dB
0
-40
-80
-120
[dB]
0
10
Frequency [MHz]

도면12


80
70
60
50
10
0
[dB]
SFDR
SNDR
fin= 1.1MHz
20
40
60
80
100
120
140
Sampling Frequency (=fs) [MS/s]

도면13


80
70
60
50
10
0
[dB]
SFDR
SNDR
fs= 140MS/s
1
10
20
40
60
70
Input Frequency (=fin) [MHz]