

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95139951

※ 申請日期： 95.10.30

※IPC 分類：H01L 29/78, 21/336

(2006.01)

(2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其形成方法

SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 維許努 凱姆加
KHEMKA, VISHNU
2. 約翰 M 皮格特
PIGOTT, JOHN M.
3. 朱隆華
ZHU, RONGHUA
4. 艾米塔娃 波斯
BOSE, AMITAVA
5. 藍道爾 C 葛雷
GRAY, RANDALL C.
6. 傑佛瑞 J 波恩
BRAUN, JEFFREY J.

國 籍：(中文/英文)

1. 印度 INDIA
2. 愛爾蘭 IRELAND
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.
6. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年10月31日；11/264,068

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係關於一種半導體裝置，其可包括第一、第二及第三半導體層。該第一層(20)及該第三層(32)可具有一第一摻雜類型，且該第二層(28)可具有一第二摻雜類型。一在該第三半導體層內之第一區(50)可具有該第二摻雜類型。一在該第一區與該第二半導體層之間的第二區(48)可具有該第一摻雜類型。一在該第二區上方的第三區可具有該第一摻雜類型。一鄰近該第三區之第四半導體區可具有該第二摻雜類型之第一濃度。一鄰近該第三半導體區且鄰近該第四半導體區之源極接觸區可具有該第二摻雜類型之第二濃度。該第二濃度可高於該第一濃度。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (13) 圖。

(二)本代表圖之元件符號簡單說明：

20	基 板
22	表 面
24	表 面
28	層
32	磊 晶 層
36	表 面
38	STI區
40	STI區
42	STI區
44	STI區
48	P型 區
50	N型 漂 移 區
56	主 體 區
62	區
64	閘極介電體
66	閘電極
70	區
74	矽化物阻斷層
78	主體接觸區
80	ISO接觸區
82	ISO接觸區

84 ISO接觸區

86 電連接

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於一種半導體裝置及一種用於形成一半導體裝置之方法，且更特定言之係關於一種高功率電晶體。

【先前技術】

積體電路形成於半導體基板或晶圓上。接著將該等晶圓鋸為微電子晶粒或半導體晶片，其中各晶粒載有一相應積體電路。將各半導體晶片安裝至一封裝體或載體基板，後者通常係經安裝至一主機板。

"動力裝置"為經特殊設計成可耐受存在於動力應用(諸如運動控制、氣囊充氣及汽車燃料噴射器驅動器)中之高電流及電壓的積體電路(IC)。在特定應用中，需要該等動力裝置在"正"方向(其中將一電壓施加至一其中源極及主體短接在一起且保持接地之特定電晶體的汲極側)及"負"方向(其中將一負電壓施加至其中源極及主體保持接地之電晶體的汲極側)上均阻斷電壓。將既阻斷正電壓又阻斷負電壓之能力稱為"雙向"電壓阻斷。

傳統上，在動力積體電路技術中需要兩個"背對背"放置之獨立電晶體達成雙向電壓阻斷。對於兩電晶體之該需要急劇增加了晶粒及最終裝置之大小。若源極端子與主體端子隔開，則可藉由一個電晶體達成雙向阻斷。然而，用於動力IC的諸如經降低表面電場(RESURF)結構之傳統高壓及高功率裝置係經設計成僅在汲極側上具有高電壓阻斷作

用。為此，源極側僅能具有較低電壓阻斷能力。

汲極側上不佳之電壓阻斷效能進一步藉由在多個區內使用之高濃度摻雜物而得以增加，且在將諸如5伏特與7伏特之間的高電壓施加至源極側時，源極與主體端子之間的洩漏電流由於安在閘極下之經高度摻雜之接面附近電場的增強而顯著增加。該電流通常稱為"熱載子注入"(HCI)電流或"突崩"電流，且可使動力裝置效能顯著降級。

因此，需要提供一種在源極側上具有經增加之崩潰電壓的RESURF結構。此外，本發明之其他理想特點及特徵根據隨後與隨附圖式及前述技術領域及背景相結合的實施方式及隨附申請專利範圍將變得顯而易見。

【實施方式】

下列實施方式實際上僅為示範性的，而並不意欲限制本發明或本發明之應用及使用。此外，並不意欲為在前述技術領域、先前技術、發明內容或下列實施方式中所呈現之任何明示或暗示理論所束縛。亦應注意圖1至圖14僅為說明性的，且可不按比例繪製。

圖1至圖13根據本發明之一實施例說明一種用於形成一微電子總成或一半導體裝置之方法。參看圖1，其說明一半導體基板20。該半導體基板20係由諸如砷化鎵(GaAs)、氮化鎵(GaN)或矽(Si)之半導體材料製成。基板20具有上表面22、下表面24，及(例如)大致在300微米與1000微米之間的厚度。如此項技術中通常所瞭解，基板20之半導體材料可具有第一傳導性類型，或經第一摻雜類型摻雜。在圖1

所示實例中，基板20為"P型"半導體基板且經硼(B)摻雜至約 2.0×10^{18} 個原子/cm³之濃度。儘管僅說明該半導體基板之一部分，但應瞭解基板20可為一具有(例如)約150、200或300毫米直徑之半導體晶圓。另外，儘管未經特別說明，但可將基板20分為多個"晶粒"(die或dice)，此如此項技術中通常所瞭解。此外，儘管下列方法步驟可能經顯示為僅在基板20之一小部分上進行，但應瞭解該等步驟中之各者均可在大體整個基板20上進行或在多個晶粒上同時進行。

如圖2中所示，在基板20之上表面22中首先形成一埋層28。該埋層28係使用離子植入而形成，且具有(例如)大致在1微米與2微米之間的厚度。如通常所瞭解，該離子植入製程改變了埋層28內基板20之半導體材料以具有第二傳導性類型(亦即第二摻雜類型)。在一實施例中，埋層28包括經約 1.0×10^{19} 個原子/cm³之相對高濃度之銻(Sb)摻雜的"N型"半導體材料。

如圖3中所示，接著在基板20之上表面22上生長一磊晶層32。該磊晶層32可具有約2至5微米之厚度，且磊晶層32之半導體材料可具有第一傳導性類型(亦即P類型)。在本發明之一實施例中，使磊晶層32經硼摻雜至約 2.0×10^{15} 個原子/cm³之濃度。磊晶層32亦可具有一上表面36。

參看圖4，接著在磊晶層32之上表面36上形成第一、第二、第三及第四淺渠溝隔離(STI)區38、40、42及44。如此項技術中通常所瞭解，可藉由於磊晶層32之上表面36中蝕

刻渠溝且用諸如場氧化物之絕緣材料填充該等渠溝，從而形成該等STI區38、40、42及44。STI區38、40、42及44可具有(例如)0.3微米與1微米之間的厚度。STI區之寬度可視對半導體裝置之電壓要求而定適當地加以調整，且通常為0.5微米與5微米之間。

其次，如圖5中所示，在磊晶層32內鄰近第四STI區44且在第四STI區44下方形成一高電壓井46。在一示範性實施例中，高電壓井46係使用離子植入而形成，且包括一P型區48及一N型漂移區50。P型區48鄰近埋層28且經(例如)濃度為約 2.0×10^{16} 個原子/cm³之硼予以摻雜，以具有第一傳導性類型。P型區48可具有約1.5微米之厚度52。如圖5中所示，N型漂移區50可直接位於P型區48上方，其延伸至磊晶層32之上表面36，且環繞第四STI區44。N型漂移區50可經(例如)磷(P)摻雜至約 4.0×10^{16} 個原子/cm³之濃度。N型漂移區50可具有約1.5微米之厚度54。

現參看圖6，接著在磊晶層32之上表面36中形成一主體區56(例如P主體)。該主體區56亦可使用離子植入而形成且具有第一傳導性類型。主體區56可為經硼摻雜至約 2.0×10^{17} 個原子/cm³之濃度的P型區。主體區56可具有約1.6微米之厚度58，其接觸第二STI區40之一端，且環繞第三STI區42。一約0.2微米之間隙60可越過磊晶層32之上表面36處於主體區56與N型漂移區50之間。

如圖7中所示，接著使用(例如)離子植入在磊晶層32內形成一"沉降"區62。如圖所示，沉降區62在磊晶層32之上表

面36與埋層28之間延伸，且接觸第一STI區38及第二STI區40之一端。沉降區62經濃度為約 5.0×10^{17} 個原子/cm³之磷摻雜以具有N型傳導性(亦即第二傳導性類型及/或摻雜類型)。

參看圖8，在磊晶層32之上表面36上形成一閘極介電體64及一閘電極66。如圖所示，閘極介電體64及閘電極66可越過間隙60處於主體區56與N型漂移區50之間，以部分覆蓋主體區56、N型漂移區50及第四STI區44。閘極介電體64係由諸如氧化矽之絕緣材料製成，且具有(例如)約300埃之厚度。在一實施例中，閘電極66係由多晶矽製成，且具有約0.2微米之厚度。該閘電極具有(例如)約2.5微米之閘極長度68。

其次，如圖9中所示，在主體區56內形成一輕度摻雜區70。如圖所示，輕度摻雜區70於磊晶層32之表面36處直接位於第三STI區42與閘極介電體64之間且鄰近第三STI區42。輕度摻雜區70可具有(例如)大致在0.1微米與1微米之間的厚度72。輕度摻雜區70亦可以離子植入形成且具有N型傳導性，其經濃度為(例如) 1.0×10^{16} 個原子/cm³與 1.0×10^{18} 個原子/cm³之間的磷摻雜。

如圖10中所示，接著在閘電極66之一部分及距閘電極66一距離76之輕度摻雜區70之一鄰近部分上沈積一矽化物阻斷層74。該矽化物阻斷層74可由諸如二氧化矽(SiO₂)或氮化矽(SiN)之介電質製成，且具有約0.1微米之厚度。

如圖11中所示，在磊晶層32之上表面36中鄰近第二STI

區 40 及第三 STI 區 42 且在其之間形成一主體接觸區 78。該主體接觸區 78 可使用離子植入而形成且具有 P 型傳導性。主體接觸區 78 可包括濃度為 1.0×10^{20} 個原子/cm³ 之硼離子。主體接觸區 78 可具有與輕度摻雜區 70 類似之厚度。

現參看圖 12，在磊晶層 32 之上表面 36 中形成一源極接觸區 80、一汲極接觸區 82 及一隔離 (ISO) 接觸區 84。源極接觸區 80 係形成於第三 STI 區 42 與矽化物阻斷層 74 之間，以佔據輕度摻雜區 70 未經矽化物阻斷層 74 所覆蓋之部分。為此，使輕度摻雜區 70 之大小減小至僅經矽化物阻斷層 74 所覆蓋之原輕度摻雜區 70 的部分，且現充當一閘電極 66 與源極接觸區之間的 "源極分離" 區。

汲極接觸區 82 係鄰近於第四 STI 區 44 在其與閘電極 66 相對之一側上形成於 N 型漂移區 50 中。ISO 接觸區 84 係鄰近於第一 STI 區 38 及第二 STI 區 40 且在其之間形成於井區 62 中。儘管未經特定說明，但 ISO 接觸區 84 可經由金屬化而短接至汲極接觸區及主體接觸區，且該 ISO 接觸區可為電浮動的，此如此項技術中通常所瞭解。如此項技術中通常所瞭解，源極接觸區 80、汲極接觸區 82 及 ISO 接觸區 84 之形成可大體上完成一 RESURF 結構之形成。如熟習此項技術者所瞭解，對於大面積裝置而言，高電壓井 46 及主體區 56 係以重複型式背對背地安置，且沉降區 62 通常僅安置於裝置之周邊。

源極接觸區 80、汲極接觸區 82 及 ISO 接觸區 84 均可具有 N 型傳導性且包括濃度為約 1.0×10^{20} 個原子/cm³ 的磷離子。

為此，源極接觸區80可經傳導性類型與輕度摻雜區70相同但濃度高於輕度摻雜區濃度至少100倍的離子摻雜。在一實施例中，源極接觸區80中之摻雜離子濃度高於輕度摻雜區70中之摻雜離子濃度約1000倍。

在最終加工步驟(包括在主體接觸區78、源極接觸區80、汲極接觸區82及ISO接觸區84上形成矽化物區)之後，可將基板20鋸為個別微電子晶粒或半導體晶片，其經封裝且安裝在多種電子系統或計算系統中。如圖13中所示，使主體接觸區17、源極接觸區80、汲極接觸區82、ISO接觸區84及閘電極66形成電連接86。在操作期間，源極接觸區80與閘電極66之間的輕度摻雜區70增加裝置之崩潰電壓，且防止歸因於電場增強之洩露電流的快速增加。

圖14說明對於若干不同RESURF電晶體在多種閘極電壓下之主體電流(I_B)與汲極電流(I_D)之模擬比。經模擬之第一電晶體88在源極與閘極之間不具有任何輕度摻雜區(類似於區70)。第二電晶體90包括一經摻雜至 9×10^{12} 個原子/ cm^3 之濃度的輕度摻雜區。第三電晶體92包括一具有 7×10^{12} 個原子/ cm^3 之濃度的輕度摻雜區。第四電晶體94包括一具有 5.3×10^{12} 個原子/ cm^3 之濃度的輕度摻雜區。第五電晶體96包括一具有 3.5×10^{12} 個原子/ cm^3 之濃度的輕度摻雜區。該等第二電晶體90、第三電晶體92、第四電晶體94及第五電晶體96均經磷摻雜，且包括一經摻雜至 1.0×10^{20} 個原子/ cm^3 之濃度的源極。

上述半導體裝置之一優勢在於因為閘電極及源極接觸區

80為輕度摻雜區70所隔開，因此電晶體之崩潰電壓得以增加。因此，在將一正電壓施加至電晶體之源極側時任何電流將經由電晶體之源極側洩露的可能性得以降低。另一優勢在於因為RESURF電晶體能夠阻斷正電壓及負電壓而無自電晶體之源極側洩露電流之危險，因此無需一第二電晶體來達成雙向電壓阻斷。為此，可使最終動力裝置之大小最小化。

其他實施例可利用處於不同濃度之不同摻雜物。高電壓井可於主體區下方延伸穿過磊晶層，以使得主體區形成於高電壓井附近或之內。儘管以上描述稱P型為第一摻雜類型及傳導性類型，而N型為第二摻雜類型及傳導性類型，但應瞭解如此項技術中通常所瞭解，各種區之摻雜類型可加以變換。此外，上述摻雜濃度僅為實例且可加以變化。

本發明提供一種半導體裝置。該半導體裝置可包括：一具有第一摻雜類型之第一半導體層、一在該第一半導體層之上且具有第二摻雜類型之第二半導體層以及一在該第二半導體層之上的第三半導體層。一在該第三半導體層內的第一半導體區可具有該第二摻雜類型。一在該第三半導體層內介於該第一半導體區與該第二半導體層之間的第二半導體區可具有該第一摻雜類型。一在該第三半導體層內於該第二半導體區上方的第三半導體區可具有該第一摻雜類型。一在該第三半導體層內鄰近於該第三半導體區之第四半導體區可具有第二摻雜類型之第一濃度。一在該第三半導體層內鄰近於該第三半導體區且鄰近於該第四半導體區

的源極接觸區可具有第二摻雜類型之第二濃度。該第二濃度可高於該第一濃度。該半導體裝置亦可包括一在該第一半導體區之至少一部分及該第三半導體區之至少一部分上的閘電極。該閘電極可鄰近於該第四半導體區且在與該源極接觸區相對之該第四半導體區的一側上。

該第三半導體區可與該第一半導體區相鄰且與該第一半導體區隔開一定距離。該第三半導體區可安置於該第一半導體區內部。第二濃度可高於第一濃度至少100倍。第二濃度可高於第一濃度約1000倍。

第三半導體層亦可包括一具有第二摻雜類型且鄰近第三半導體區之主體接觸區以及一具有第二摻雜類型且鄰近第一半導體區之汲極接觸區。

第三半導體層亦可包括一具有第二摻雜類型且鄰近第二半導體層之第五半導體區以及一具有第二摻雜類型且鄰近該第五半導體區之隔離接觸區。第三半導體層亦可包括複數個渠溝隔離區。

第一摻雜類型可為P型，而第二摻雜類型可為N型。第三半導體區可在第一與第五半導體區之間。該半導體裝置亦可包括一在第四半導體區及閘電極之至少一部分上之矽化物阻斷層。

本發明亦提供一種微電子總成。該微電子總成可包括：一半導體基板，其具有一具有第一傳導性類型之第一層及一具有第二傳導性類型之第二層；一在該基板上之磊晶層，該磊晶層具有：一具有第二傳導性類型之第一半導體

區；一具有第一傳導性類型且在第一半導體區與半導體基板之第二層之間的第二半導體區；一具有第一傳導性類型且在第二半導體區上方的第三半導體區；一具有第二傳導性類型且鄰近第三半導體區之第四半導體區；一具有第二傳導性類型且鄰近第三半導體區且鄰近第四半導體區之源極接觸區；一具有第一傳導性類型且鄰近第三半導體區之主體接觸區；及一具有第二傳導性類型且鄰近第一半導體基板之汲極接觸區。該微電子總成亦可包括一在磊晶層之第一半導體區之至少一部分及第三半導體區之至少一部分上的閘電極。該閘電極可鄰近於第四半導體區且在與源極接觸區相對之該第四半導體區的一側上。第四半導體區及源極接觸區可經一第二傳導性類型之摻雜物予以摻雜。第四半導體區可具有第一摻雜物濃度，且源極接觸區可具有第二摻雜物濃度。該第二濃度可高於該第一濃度。

第二濃度可高於第一濃度至少100倍。第二濃度可高於第一濃度約1000倍。

該磊晶層亦可包括：一具有第二傳導性類型且鄰近半導體基板之第二層的第五半導體區；以及一具有第二傳導性類型且鄰近該第五半導體區之隔離接觸區。第一摻雜類型可為P型，而第二摻雜類型可為N型。

本發明進一步提供一種用於建構一半導體裝置之方法。該方法可包括：在一具有第一摻雜類型之半導體基板中形成一埋層，該埋層具有第二摻雜類型；在該埋層之上形成一磊晶半導體層，該磊晶半導體層具有第一摻雜類型；在

該磊晶半導體層中形成一第一半導體區，該第一半導體區具有第二摻雜類型；在該磊晶半導體層中於第一半導體區與埋層之間界定一第二半導體區，該第二半導體區具有第一摻雜類型；在該磊晶半導體層中形成一第三半導體區，該第三半導體區具有第一摻雜類型；在第一半導體區之至少一部分及第三半導體區之至少一部分上形成一閘電極；在磊晶半導體層中鄰近第三半導體區且鄰近閘電極形成一第四半導體區，該第四半導體區具有第二摻雜類型之第一濃度；在該磊晶半導體層中鄰近第三半導體區且鄰近第四半導體區並在與閘電極相對之該第四半導體區的一側上形成一源極接觸區，該源極接觸區具有第二摻雜類型之第二濃度，該第二濃度高於該第一濃度；在該磊晶半導體層中鄰近第一半導體區形成一汲極接觸區，該汲極接觸區具有第二摻雜類型；及在該磊晶半導體層中鄰近第三半導體區形成一主體接觸區，該主體接觸區具有第一摻雜類型。

該方法亦可包括在該磊晶半導體層中鄰近半導體基板之第二層形成一第五半導體區，該第五半導體區具有第二摻雜類型；以及在該磊晶半導體層中鄰近第五半導體區形成一隔離接觸區，該隔離接觸區具有第二摻雜類型。

該方法亦可包括在該磊晶半導體層中形成複數個渠溝隔離區，該等渠溝隔離區中之第一個在第五半導體區與第三半導體區之間，該等渠溝隔離區中之第二個在主體接觸區與源極接觸區之間，且該等渠溝隔離區中之第三個在閘電極與汲極接觸區之間。

第二濃度可高於第一濃度至少100倍。該方法亦可包括以第二摻雜類型摻雜第二半導體區。第一摻雜類型可為P型，而第二摻雜類型可為N型。

儘管已在前述本發明之實施方式中提供了至少一個示範性實施例，但應瞭解可存在許多變化形式。亦應瞭解該(等)示範性實施例僅為實例，而並非意欲以任何形式限制本發明之範疇、適用性或構造。更確切言之，前述實施方式將為熟習此項技術者提供一種用於實施本發明之示範性實施例的便捷流程路線，應瞭解在不偏離如隨附申請專利範圍或其合法均等體中所闡述之本發明範疇的情況下，可對示範性實施例中所述元件之功能及配置進行多種改變。

【圖式簡單說明】

圖1為一半導體基板之截面側視圖；

圖2為其上表面中形成一埋層之圖1半導體基板之截面側視圖；

圖3為其上形成一磊晶層之圖2半導體基板之截面側視圖；

圖4為其上形成複數個隔離區之圖3半導體基板之截面側視圖；

圖5為於該磊晶層中形成一高電壓井之圖4半導體基板之截面側視圖；

圖6為於該磊晶層中形成一主體區之圖5半導體基板之截面側視圖；

圖7為於該磊晶層中形成一井區之圖6半導體基板之截面

側視圖；

圖8為其上表面上形成一閘極介電體及閘電極之圖7半導體基板的截面側視圖；

圖9為於該井區中形成一輕度摻雜區之圖8半導體基板之截面側視圖；

圖10為於該閘電極及該輕度摻雜區之上部分形成一矽化物阻斷層之圖9半導體基板的截面側視圖；

圖11為於該井區內形成一主體接觸區之圖10半導體基板之截面側視圖；

圖12為於該上表面中形成源極、汲極及隔離接觸區之圖11半導體基板之截面側視圖；

圖13為說明電連接被製成多種接觸區的圖12半導體基板之截面示意圖；且

圖14為說明在多種閘極電壓下之主體電流與汲極電流之比率的曲線圖。

【主要元件符號說明】

17	主體接觸區
20	基板
22	表面
24	表面
28	層
32	磊晶層
36	表面
38	STI區

40	STI區
42	STI區
44	STI區
46	高電壓井
48	P型區
50	N型漂移區
52	厚度
54	厚度
56	主體區
58	厚度
60	間隙
62	區
64	閘極介電體
66	閘電極
68	閘極長度
70	區
72	厚度
74	矽化物阻斷層
76	距離
78	主體接觸區
80	ISO接觸區
82	ISO接觸區
84	ISO接觸區
86	電連接

88	電 晶 體
90	電 晶 體
92	電 晶 體
94	電 晶 體
96	電 晶 體

十、申請專利範圍：

1. 一種半導體裝置，其包含：

- 一具有一第一摻雜類型之第一半導體層；
- 一在該第一半導體層之上的第二半導體層，該第二半導體層具有一第二摻雜類型；
- 一在該第二半導體層之上的第三半導體層；
- 一在該第三半導體層內且具有該第二摻雜類型之第一半導體區；
- 一在該第三半導體層內介於該第一半導體區與該第二半導體層之間的第二半導體區，該第二半導體區具有該第一摻雜類型；
- 一在該第三半導體層內於該第二半導體區上方的第三半導體區，該第三半導體區具有該第一摻雜類型；
- 一在該第三半導體層內鄰近該第三半導體區之第四半導體區，該第四半導體區具有該第二摻雜類型之第一濃度；
- 一在該第三半導體層內鄰近該第三半導體區且鄰近該第四半導體區之源極接觸區，該源極接觸區具有該第二摻雜類型之第二濃度，該第二濃度高於該第一濃度；以及
- 一在該第一半導體區之至少一部分及該第三半導體區之至少一部分上的閘電極，該閘電極鄰近該第四半導體區且在與該源極接觸區相對之該第四半導體區的一側上。

2. 如請求項1之半導體裝置，其中該第三半導體區與該第一半導體區相鄰，且該第三半導體區與該第一半導體區隔開一定距離。
3. 如請求項1之半導體裝置，其中該第三半導體區係安置於該第一半導體區內。
4. 如請求項1之半導體裝置，其中該第二濃度高於該第一濃度至少100倍。
5. 如請求項2之半導體裝置，其中該第二濃度高於該第一濃度約1000倍。
6. 如請求項5之半導體裝置，其中該第三半導體層進一步包含：
 - 一鄰近該第三半導體區之主體接觸區，該主體接觸區具有該第二摻雜類型；及
 - 一鄰近該第一半導體基板之汲極接觸區，該汲極接觸區具有該第二摻雜類型。
7. 如請求項6之半導體裝置，其中該第三半導體層進一步包含一鄰近該第二半導體層之第五半導體區，該第五半導體區具有該第二摻雜類型。
8. 如請求項7之半導體裝置，其中該第三半導體層進一步包含一鄰近該第五半導體區之隔離接觸區，該隔離接觸區具有該第二摻雜類型。
9. 如請求項8之半導體裝置，其中該隔離接觸區係經由金屬化而短接至該汲極接觸區。
10. 如請求項8之半導體裝置，其中該隔離接觸區係經由金

屬化而短接至該主體接觸區。

11. 如請求項8之半導體裝置，其中該隔離接觸區係電浮動的。

12. 一種微電子總成，其包含：

一半導體基板，其具有一具有一第一傳導性類型之第一層及一具有一第二傳導性類型之第二層；

一在該基板上之磊晶層，該磊晶層具有：一具有該第二傳導性類型之第一半導體區；一具有該第一傳導性類型且在該第一半導體區與該半導體基板之該第二層之間的第二半導體區；一具有該第一傳導性類型且在該第二半導體區上方的第三半導體區；一具有該第二傳導性類型且鄰近該第三半導體區之第四半導體區；一具有該第二傳導性類型且鄰近該第三半導體區並鄰近該第四半導體區之源極接觸區；一具有該第二傳導性類型且鄰近該第三半導體區之主體接觸區；及一具有該第二傳導性類型且鄰近該第一半導體基板之汲極接觸區；以及

一在該磊晶層之該第一半導體區之至少一部分及該第三半導體區之至少一部分上的閘電極，該閘電極鄰近該第四半導體區且在與該源極接觸區相對之該第四半導體區的一側上，

其中該第四半導體區及該源極接觸區係經該第二傳導性類型之摻雜物予以摻雜，該第四半導體區具有該摻雜物之第一濃度且該源極接觸區具有該摻雜物之第二濃度，該第二濃度高於該第一濃度。

13. 如請求項12之微電子總成，其中該第二濃度高於該第一濃度至少100倍。
14. 如請求項13之微電子總成，其中該第二濃度高於該第一濃度約1000倍。
15. 如請求項14之微電子總成，其中該磊晶層進一步包含一鄰近該半導體基板之該第二層的第五半導體區，該第五半導體區具有該第二傳導性類型；及一鄰近該第五半導體區之隔離接觸區，該隔離接觸區具有該第二傳導性類型。
16. 一種用於建構一半導體裝置之方法，其包含：

在一具有一第一摻雜類型之半導體基板中形成一埋層，該埋層具有一第二摻雜類型；

在該埋層之上形成一磊晶半導體層，該磊晶半導體層具有該第一摻雜類型；

在該磊晶半導體層中形成一第一半導體區，該第一半導體區具有該第二摻雜類型；在該磊晶半導體層中於該第一半導體區與該埋層之間界定一第二半導體區，該第二半導體區具有該第一摻雜類型；

在該磊晶半導體層中形成一第三半導體區，該第三半導體區具有該第一摻雜類型；

在該第一半導體區之至少一部分及該第三半導體區之至少一部分上形成一閘電極；

在該磊晶半導體層中鄰近該第三半導體區且鄰近該閘電極形成一第四半導體區，該第四半導體區具有該第二

摻雜類型之第一濃度；

在該磊晶半導體層中鄰近該第三半導體區且鄰近該第四半導體區並在與該閘電極相對之該第四半導體區的一側上形成一源極接觸區，該源極接觸區具有該第二摻雜類型之第二濃度，該第二濃度高於該第一濃度；

在該磊晶半導體層中鄰近該第一半導體區形成一汲極接觸區，該汲極接觸區具有該第二摻雜類型；且在該磊晶半導體層中鄰近該第三半導體基板形成一主體接觸區，該主體接觸區具有該第一摻雜類型。

17. 如請求項16之方法，其進一步包含：

在該磊晶半導體層中鄰近該半導體基板之該第二層形成一第五半導體區，該第五半導體區具有該第二摻雜類型；及

在該磊晶半導體層中鄰近該第五半導體區形成一隔離接觸區，該隔離接觸區具有該第二摻雜類型。

18. 如請求項17之方法，其進一步包含在該磊晶半導體層中形成複數個渠溝隔離區，該等渠溝隔離區中之第一個在該第五半導體區與該第三半導體區之間，該等渠溝隔離區中之第二個在該主體接觸區與該源極接觸區之間，且該等渠溝隔離區中之第三個在該閘電極與該汲極接觸區之間。

19. 如請求項18之方法，其中該第二濃度高於該第一濃度至少100倍。

20. 如請求項19之方法，其進一步包含以該第二摻雜類型摻

雜該第二半導體區。

21. 如請求項 19 之方法，其中該第一摻雜類型為 P 型，而該第二摻雜類型為 N 型。

十一、圖式：

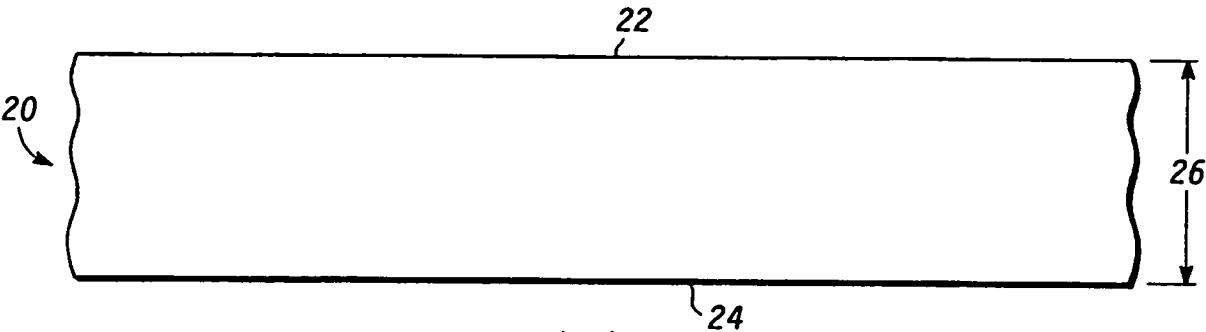


圖1

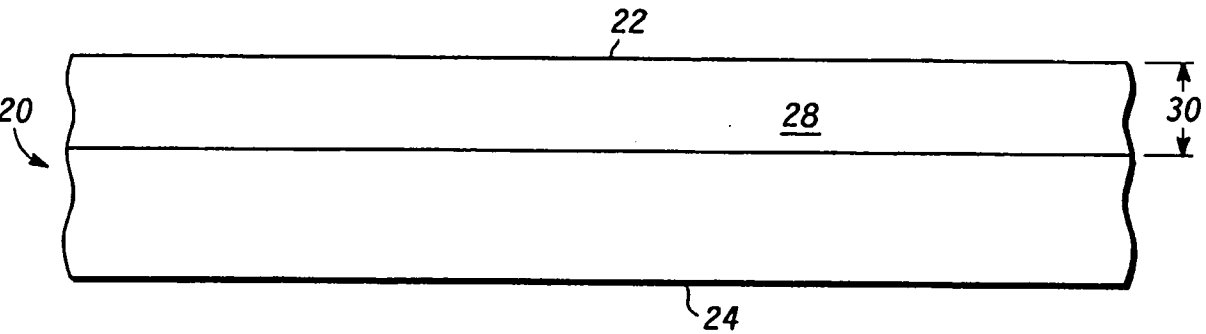


圖2

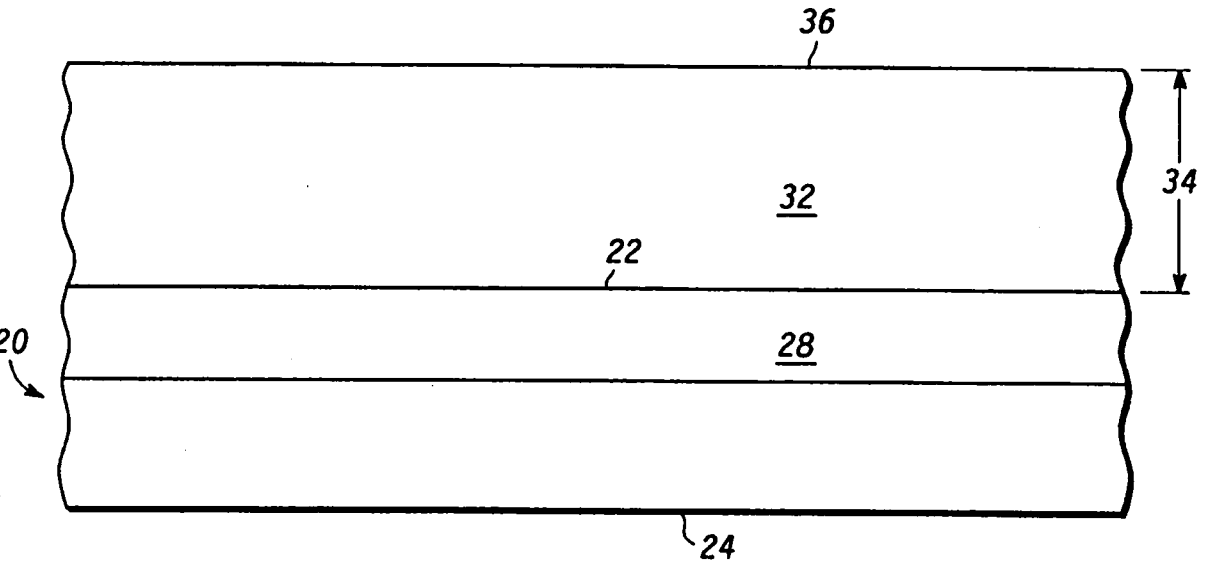


圖3

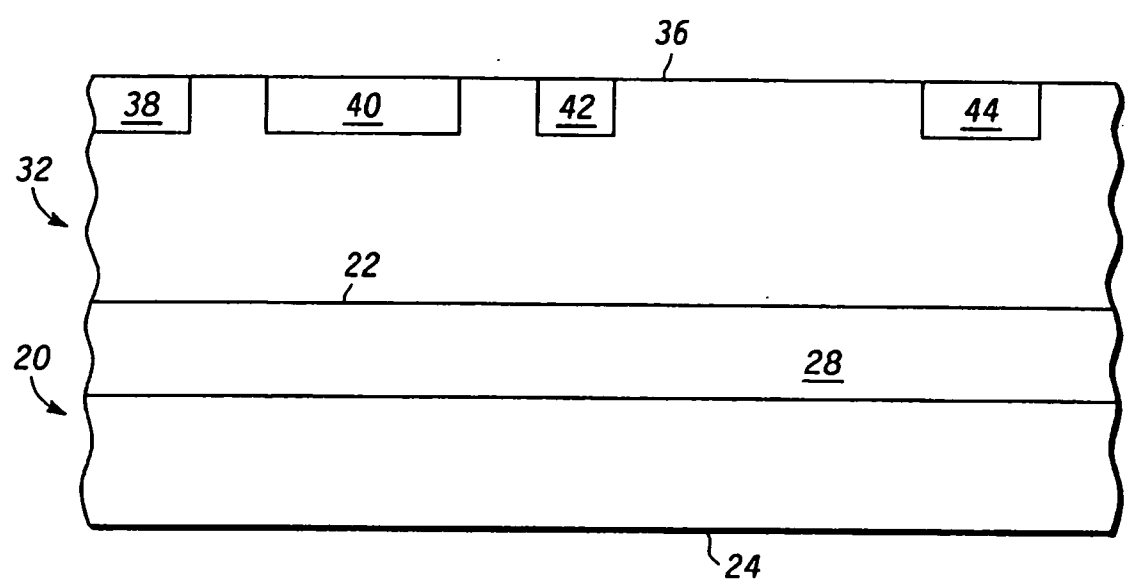


圖4

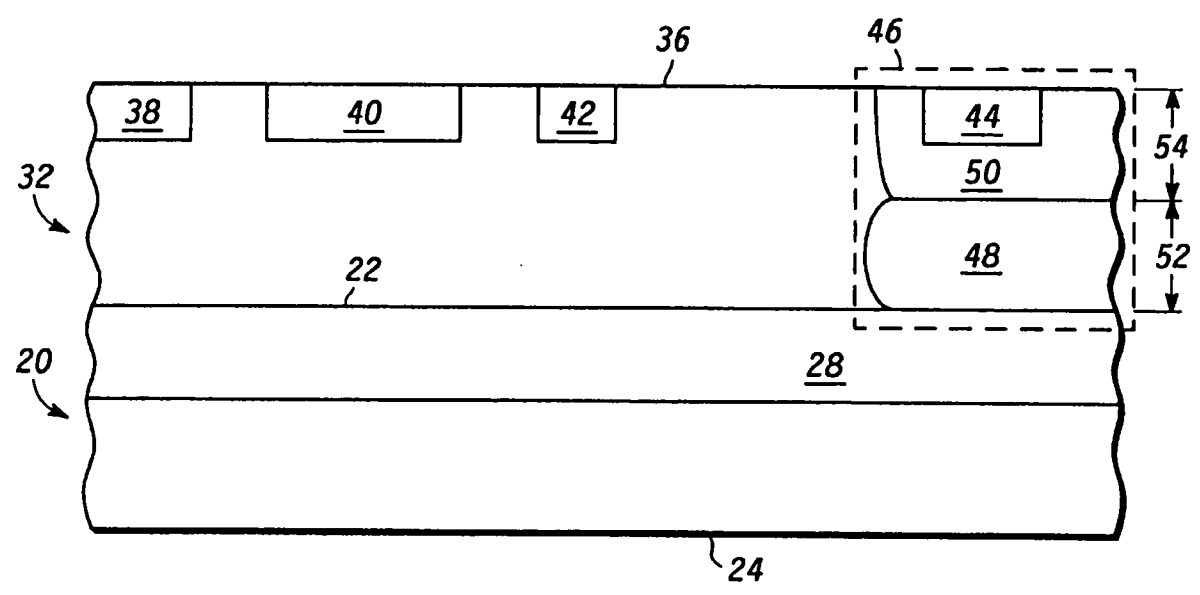


圖5

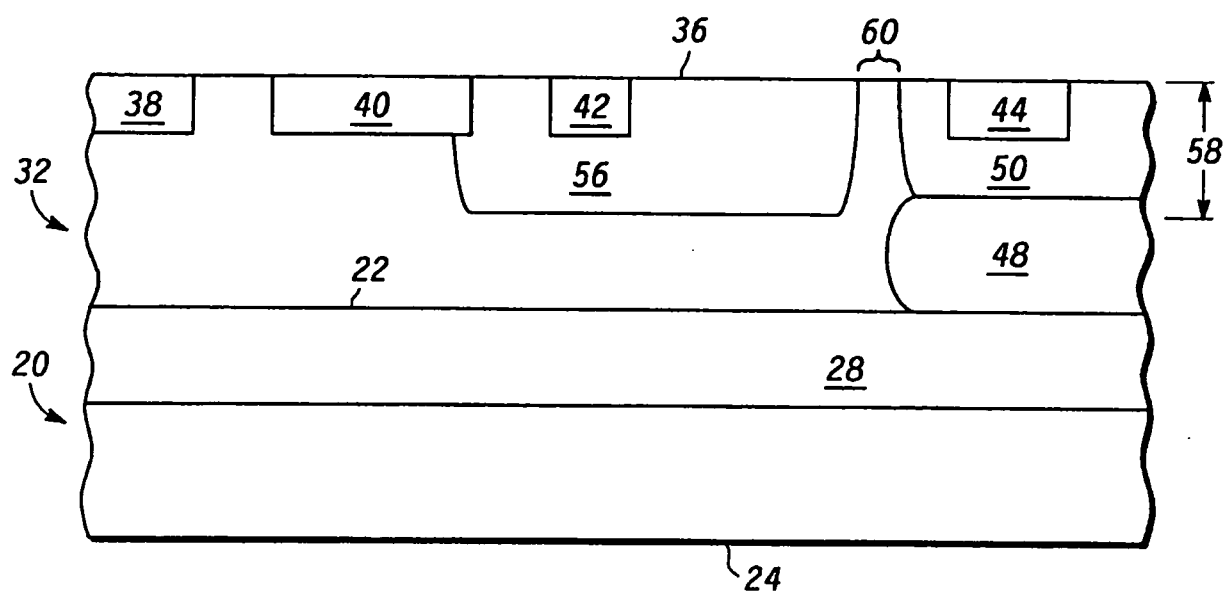


圖6

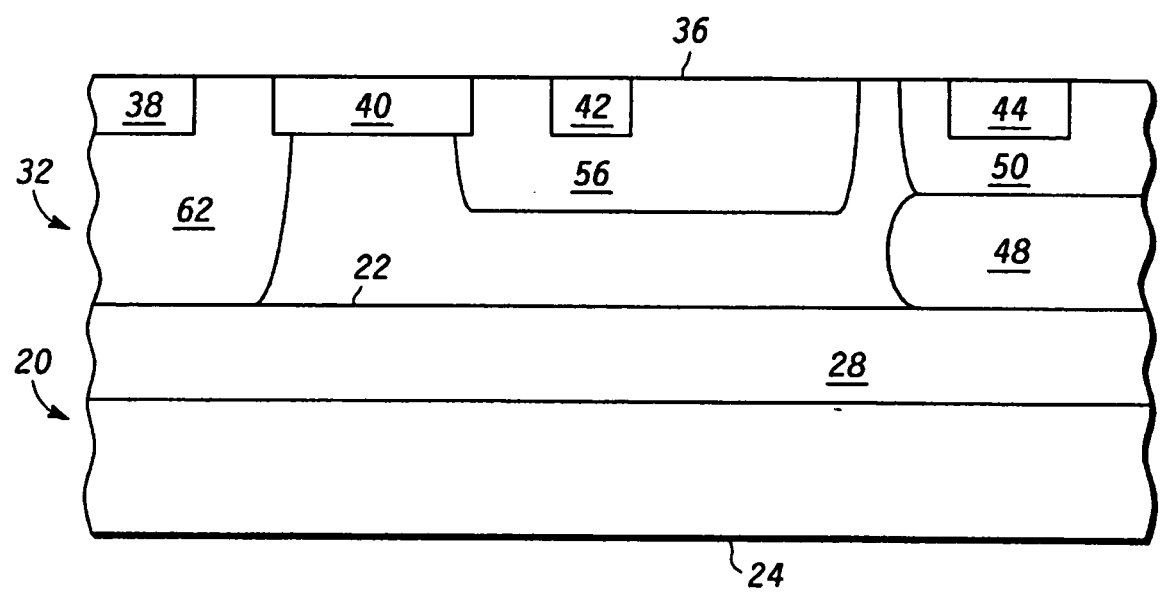


圖7

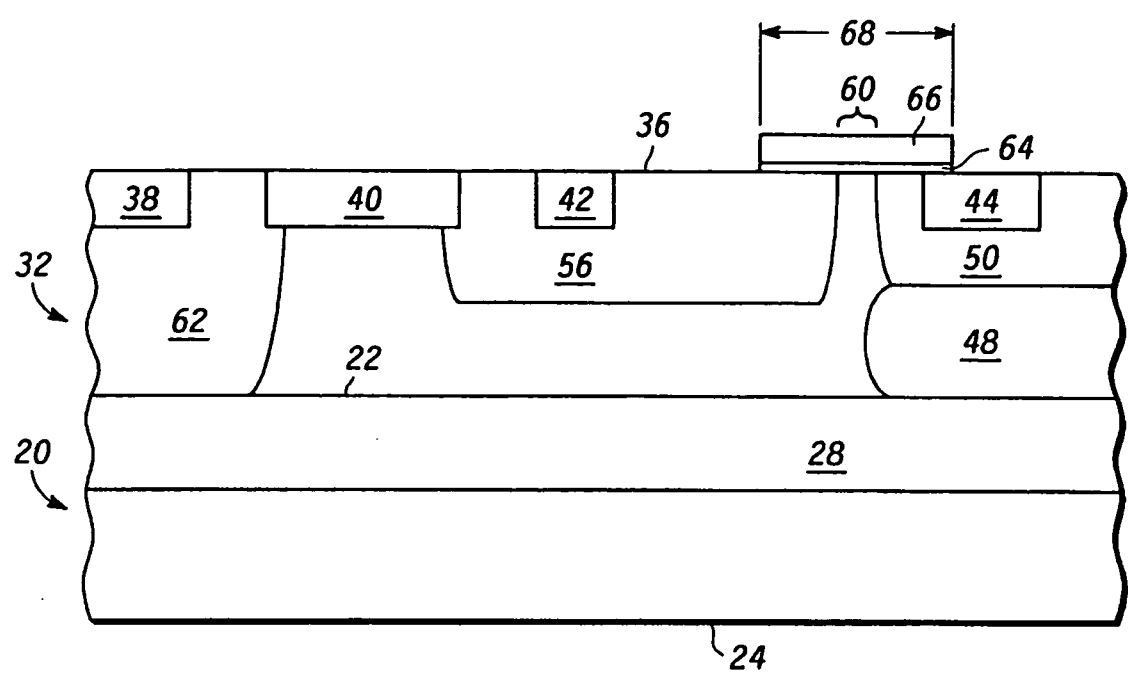


圖8

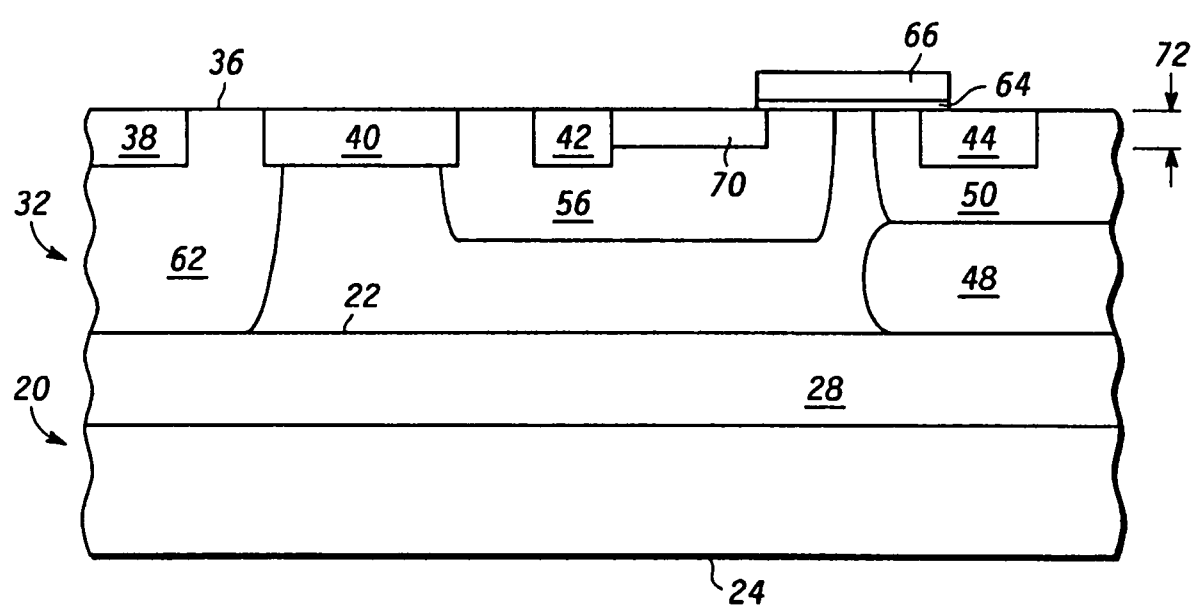


圖9

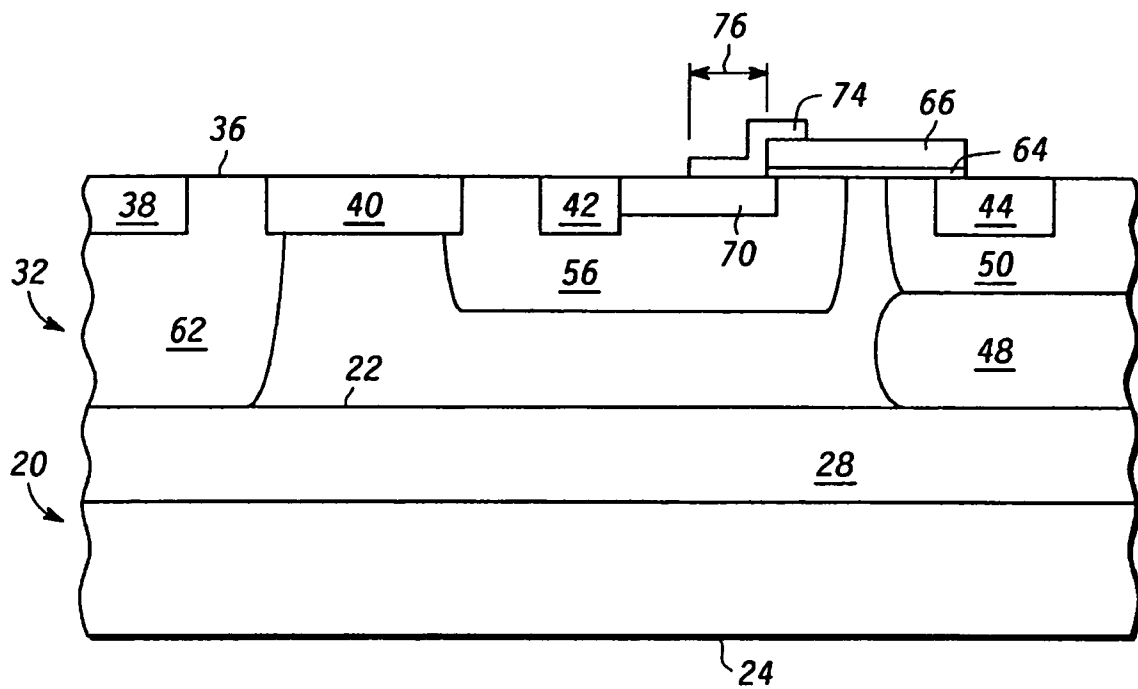


圖10

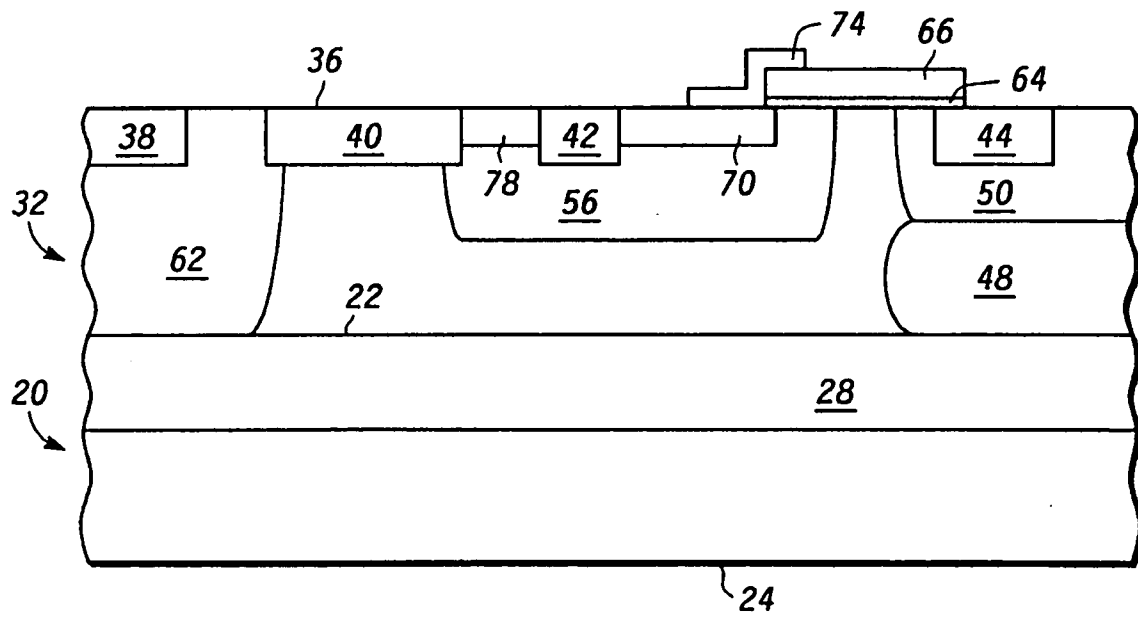
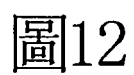


圖11



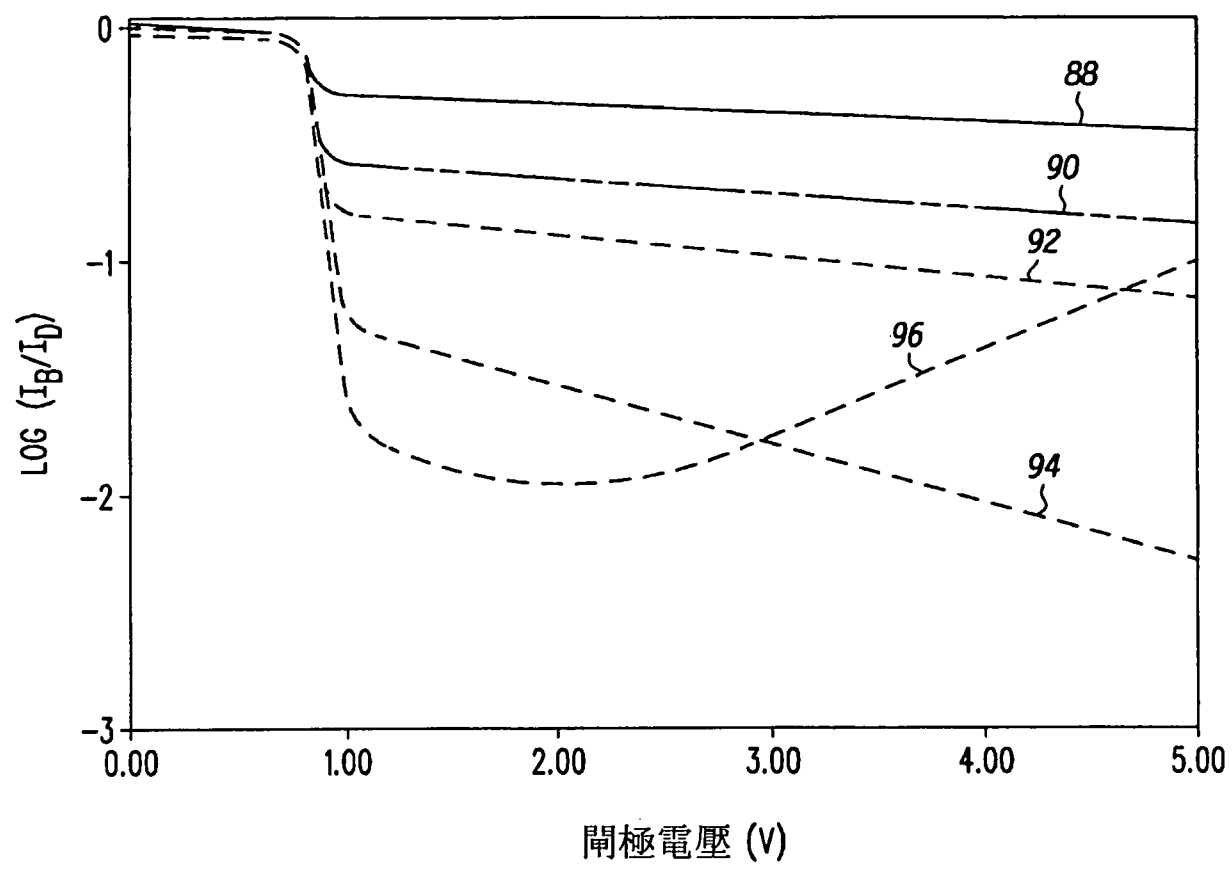


圖14