

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4219964号
(P4219964)

(45) 発行日 平成21年2月4日 (2009.2.4)

(24) 登録日 平成20年11月21日 (2008.11.21)

(51) Int. Cl.	F I
G06F 12/10 (2006.01)	G06F 12/10 555
G06F 13/36 (2006.01)	G06F 12/10 541
G06F 12/14 (2006.01)	G06F 13/36 310D
	G06F 12/14 510E

請求項の数 11 (全 13 頁)

(21) 出願番号	特願2007-533803 (P2007-533803)	(73) 特許権者	000002185
(86) (22) 出願日	平成19年1月11日 (2007.1.11)		ソニー株式会社
(86) 国際出願番号	PCT/JP2007/050265		東京都港区港南1丁目7番1号
(87) 国際公開番号	W02007/129482	(73) 特許権者	395015319
(87) 国際公開日	平成19年11月15日 (2007.11.15)		株式会社ソニー・コンピュータエンタテインメント
審査請求日	平成19年8月23日 (2007.8.23)		東京都港区南青山二丁目6番21号
(31) 優先権主張番号	特願2006-105735 (P2006-105735)	(74) 代理人	100105924
(32) 優先日	平成18年4月6日 (2006.4.6)		弁理士 森下 賢樹
(33) 優先権主張国	日本国 (JP)	(72) 発明者	斎藤 英幸
(31) 優先権主張番号	特願2006-121900 (P2006-121900)		東京都港区南青山2丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内
(32) 優先日	平成18年4月26日 (2006.4.26)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】ブリッジ、プロセッサユニット、情報処理装置およびアクセス制御方法

(57) 【特許請求の範囲】

【請求項1】

プロセッサユニットと周辺デバイスとが相互接続された情報処理装置であって、

前記プロセッサユニットは、実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、該プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを備えたアドレス変換部を有し、

前記周辺デバイスは、前記メモリへアクセスする際に、該周辺デバイスに対応する前記実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを発行し、

前記アドレス変換部は、前記アクセス要求パケットに含まれるデバイス識別情報と、前記アドレス変換テーブルにおける、該アクセス要求パケットにより指定される実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定することを特徴とする情報処理装置。

【請求項2】

プロセッサユニットと周辺デバイスとが相互接続された情報処理装置であって、

前記プロセッサユニットと周辺デバイスは、各前記周辺デバイスの入出力バスを、前記プロセッサユニットの入出力バスに中継するブリッジにより接続され、

前記プロセッサユニットは、実効アドレスを物理アドレスに変換するためのアドレス変

10

20

換テーブルであって、該プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを備えたアドレス変換部を有し、

前記周辺デバイスは、前記メモリへアクセスする際に、該周辺デバイスに対応する前記実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを発行し、

前記ブリッジは、前記アクセス要求パケットからアクセスコマンドを得るに際し、前記デバイス識別情報から照合情報を得て、前記アクセスコマンドに照合情報が含まれるようにし、

10

前記アドレス変換部は、前記アクセスコマンドに含まれる前記照合情報と、前記アドレス変換テーブルにおける、該アクセスコマンドにより指定される実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定することを特徴とする情報処理装置。

【請求項 3】

前記プロセッサユニットのメモリは、複数のセグメントに分けられ、該複数のセグメントはさらにそれぞれ複数のページに分けられており、

前記アドレス変換テーブルは、セグメント番号とページ番号の組み合わせを、前記アクセス元識別情報と対応付けて格納したものであり、

前記ブリッジは、前記デバイス識別情報の一部を前記照合情報に対応付けるとともに、他の部分をセグメント番号とページ番号に対応付けることを特徴とする請求項 2 に記載の情報処理装置。

20

【請求項 4】

プロセッサユニットの入出力バスに、周辺デバイスの入出力バスを中継するブリッジであって、

前記周辺デバイスから、該プロセッサユニットのメモリにおいて該周辺デバイスに割り当てられたエリアの実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを受け取る上流ポートと、

前記アクセス要求パケットに含まれる前記デバイス識別情報から、前記プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスに対するアクセスの許可が与えられたアクセス元を、前記プロセッサユニットにおいて識別するために規定されたアクセス元識別情報と照合するための照合情報を得、該照合情報と、前記アクセス要求パケットにより指定される実効アドレスとを含むアクセスコマンドを得る識別情報変換部と、

30

実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、前記プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対応するアクセス元識別情報とを対応付けて格納したテーブルを参照して実効アドレスを物理アドレスに変換する際に、前記アクセスコマンドに含まれる照合情報と、前記アドレス変換テーブルにおける、該アクセスコマンドに含まれる実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定する前記プロセッサユニットへ、前記アクセスコマンドを渡す下流ポートとを備えることを特徴とするブリッジ。

40

【請求項 5】

前記プロセッサユニットのメモリは、複数のセグメントに分けられ、該複数のセグメントはさらにそれぞれ複数のページに分けられており、

前記アドレス変換テーブルは、セグメント番号とページ番号の組み合わせを、前記アクセス元識別情報と対応付けて格納したものであり、

前記デバイス識別情報の一部を前記照合情報に対応付けるとともに、他の部分をセグメント番号とページ番号に対応付けて前記アクセスコマンドを得ることを特徴とする請求項

50

4 に記載のブリッジ。

【請求項 6】

周辺デバイスと接続されたプロセッサユニットであって、メモリと、

実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、前記メモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを備えたアドレス変換部とを有し、

該アドレス変換部は、前記周辺デバイスから発行されたアクセス要求パケットに含まれるデバイス識別情報であって、該周辺デバイスを一意に識別可能なデバイス識別情報と、前記アドレス変換テーブルにおける、前記アクセス要求パケットに含まれる実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定することを特徴とするプロセッサユニット。

【請求項 7】

周辺デバイスの入出力バスを、プロセッサユニットの入出力バスに中継するブリッジにより前記周辺デバイスと接続された前記プロセッサユニットであって、

メモリと、

実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、前記メモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを備えたアドレス変換部とを有し、

該アドレス変換部は、前記周辺デバイスから発行されたデバイス識別情報を含むアクセス要求パケットを、前記ブリッジにより変換して得たアクセスコマンドに含まれる照合情報であって、該周辺デバイスを一意に識別可能なデバイス識別情報に対応付けられる照合情報と、前記アドレス変換テーブルにおける、前記アクセスコマンドに含まれる実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定することを特徴とするプロセッサユニット。

【請求項 8】

前記プロセッサユニットのメモリは、複数のセグメントに分けられ、該複数のセグメントはさらにそれぞれ複数のページに分けられており、

前記アドレス変換テーブルは、セグメント番号とページ番号の組み合わせを、前記アクセス元識別情報と対応付けて格納したものであり、

前記アクセスコマンドは、前記ブリッジにより、前記デバイス識別情報の一部からアクセス元識別情報と照合するための照合情報を得るとともに、他の部分をセグメント番号とページ番号に対応付けるようにして得られたものであることを特徴とする請求項 7 に記載のプロセッサユニット。

【請求項 9】

プロセッサユニットと周辺デバイスとが接続された情報処理装置におけるアクセス制御方法であって、

前記周辺デバイスから、該プロセッサユニットのメモリにおいて該周辺デバイスに割り当てられたエリアの実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを受け取るステップと、

実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、該プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを参照して、前記アクセス要求パケットに含まれるデバイス識別情報

10

20

30

40

50

と、前記アドレス変換テーブルにおける、該アクセス要求パケットにより指定される実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定するステップとを有することを特徴とするアクセス制御方法。

【請求項 10】

プロセッサユニットと周辺デバイスとが、前記周辺デバイスの入出力バスを前記プロセッサユニットの入出力バスに中継するブリッジにより接続された情報処理装置におけるアクセス制御方法であって、

前記周辺デバイスから前記ブリッジが、該プロセッサユニットのメモリにおいて該周辺デバイスに割り当てられたエリアの実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを受け取るステップと、

前記ブリッジが、前記アクセス要求パケットからアクセスコマンドを得るに際し、前記デバイス識別情報から照合情報を得て、前記アクセスコマンドに照合情報が含まれるようにするステップと、

実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、該プロセッサユニットのメモリにおいて各前記周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納したテーブルを参照して、前記アクセスコマンドに含まれる前記照合情報と、前記アドレス変換テーブルにおける、該アクセスコマンドにより指定される実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定するステップとを有することを特徴とするアクセス制御方法。

【請求項 11】

前記プロセッサユニットのメモリは、複数のセグメントに分けられ、該複数のセグメントはさらにそれぞれ複数のページに分けられており、

前記アドレス変換テーブルは、セグメント番号とページ番号の組み合わせを、前記アクセス元識別情報と対応付けて格納したものであり、

前記デバイス識別情報の一部を前記照合情報に対応付けるとともに、他の部分をセグメント番号とページ番号に対応付けることを特徴とする請求項 10 に記載のアクセス制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プロセッサユニットに接続された周辺デバイスから、プロセッサユニットへのアクセス技術に関する。

【背景技術】

【0002】

パーソナルコンピュータやサーバには、たとえば P C I (P e r i p h e r a l C o m p o n e n t I n t e r c o n n e c t) バスを介して各種の周辺デバイスが接続され、情報処理システムが構成される。

【0003】

周辺デバイスからプロセッサのメモリへアクセスする際に、プロセッサの負担を減らすために、D M A (ダイレクト・メモリ・アクセス) アーキテクチャを用いることが考えられる。こうすることによって、たとえば、プロセッサのメモリ領域において、各周辺デバイスが使用するエリアを割り当てておき、周辺デバイスは、自身に割り当てられたエリアに直接アクセスすることができる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

しかし、周辺デバイスからの直接アクセスを実現するために、プロセッサのDMA C (ダイレクト・メモリ・アクセス・コントローラ) をユーザソフトウェアに開放してしまうと、悪意のあるユーザソフトウェアにより、周辺デバイスに割り当てられたエリアがアクセスされてしまうことが起こりうる。

【0005】

本発明は、上記事情に鑑みてなされたものであり、その目的は、周辺デバイスからプロセッサのメモリへのアクセスにおいて、効率を追求しながら安全性を図ることができる技術を提供することにある。

【課題を解決するための手段】

【0006】

本発明のある態様は、ブリッジである。このブリッジは、プロセッサユニットの入出力バスと周辺デバイスの入出力バスを中継するブリッジであり、上流ポートと、識別情報変換部と、下流ポートを有する。

【0007】

上流ポートは、周辺デバイスから、該プロセッサユニットのメモリにおいて該周辺デバイスに割り当てられたエリアの実効アドレスを指定しうるアクセス要求パケットであって、該周辺デバイスを一意に識別可能なデバイス識別情報を有するアクセス要求パケットを受け取る。

【0008】

識別情報変換部は、アクセス要求パケットに含まれるデバイス識別情報から、プロセッサユニットのメモリにおいて各周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスに対するアクセスの許可が与えられたアクセス元を、プロセッサユニットにおいて識別するために規定されたアクセス元識別情報と照合するための照合情報を得、該照合情報と、アクセス要求パケットにより指定される実効アドレスとを含むアクセスコマンドを得る。下流ポートは、実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、プロセッサユニットのメモリにおいて各周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対応するアクセス元識別情報とを対応付けて格納したテーブルを参照して実効アドレスを物理アドレスに変換する際に、アクセスコマンドに含まれる照合情報と、アドレス変換テーブルにおける、該アクセスコマンドに含まれる実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定する該プロセッサユニットへ、識別情報変換部により得られたアクセスコマンドを渡す。

【0009】

また、プロセッサユニットのメモリは、複数のセグメントに分けられ、該複数のセグメントはさらにそれぞれ複数のページに分けられており、アドレス変換テーブルは、セグメント番号とページ番号の組み合わせを、アクセス元識別情報とを対応付けて格納したものであるようにし、識別情報変換部は、デバイス識別情報の一部をアクセス元識別情報に対応付けるとともに、他の部分をセグメント番号とページ番号に対応付けてアクセスコマンドを得るようにしてもよい。

【0010】

本発明の別の態様は、プロセッサユニットである。このプロセッサユニットは、周辺デバイスの入出力バスを、プロセッサユニットの入出力バスに中継するブリッジにより周辺デバイスと接続されている。

【0011】

該プロセッサユニットは、メモリと、アドレス変換部を有する。

【0012】

アドレス変換部は、実効アドレスを物理アドレスに変換するためのアドレス変換テーブルであって、メモリにおいて各周辺デバイスにそれぞれ割り当てられたエリアの実効アドレスと、該実効アドレスに対するアクセスの許可が与えられたアクセス元を、該プロセッサユニットにおいて識別するために規定されたアクセス元識別情報とを対応付けて格納し

10

20

30

40

50

たテーブルを備える。アドレス変換部は、ブリッジにより、周辺デバイスから発行されたアクセス要求パケットを変換して得たアクセスコマンドに含まれるデバイス識別情報であって、該周辺デバイスを一意に識別可能なデバイス識別情報と、アドレス変換テーブルにおける、アクセスコマンドに含まれる実効アドレスに対応するアクセス元識別情報とが一致することを条件として、当該実効アドレスに対するアクセスの許可を決定する。

【 0 0 1 3 】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、コンピュータプログラム、コンピュータプログラムを記憶した記憶媒体などの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

10

【 0 0 1 4 】

本発明は、プロセッサユニットに接続された周辺デバイスから、プロセッサユニットのメモリへのアクセスにおいて、効率を追求しながら安全性を図ることができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】本発明の概要の説明に用いた情報処理システムを示す図である。

【図 2】アクセス要求パケットの例（その 1）を示す図である。

【図 3】実効アドレスを物理アドレスに変換するためのアドレス変換テーブルの例（その 1）を示す図である。

【図 4】実効アドレスを物理アドレスに変換するためのアドレス変換テーブルの例（その 2）を示す図である。

20

【図 5】アクセス要求パケットの例（その 2）を示す図である。

【図 6】図 5 に示すアクセス要求パケットを変換して得たアクセスコマンドを示す図である。

【図 7】本発明にかかる実施の形態による情報処理システムの構成を示す図である。

【図 8】図 7 に示す情報処理システムにおけるブリッジの構成例を示す図である。

【図 9】本発明の技術思想を適用可能な分散アプリケーションシステムの例を示す図である。

【符号の説明】

【 0 0 1 6 】

30

1 0 プロセッサユニット、 1 4 アドレス変換部、 1 6 アドレス変換テーブル、 1 8 アドレス変換テーブル、 2 0 ブリッジ、 3 0 周辺デバイス、 3 2 アクセス要求パケット、 3 4 アクセス要求パケット、 1 0 0 P C I デバイス、 1 1 0 ブリッジ、 1 1 2 第 1 の入出力部、 1 1 4 ブリッジコントローラ、 1 1 8 第 2 の入出力部、 1 2 0 マルチコアプロセッサ、 1 3 0 S P E、 1 3 2 コア、 1 3 4 ローカルメモリ、 1 3 6 M F C、 1 3 8 D M A C、 1 4 0 P P E、 1 4 2 コア、 1 4 4 キャッシュ、 1 4 5 キャッシュ、 1 4 6 M F C、 1 4 8 D M A C、 1 5 0 リングバス、 1 6 0 I O I F、 1 6 4 I O コントローラ、 1 7 0 メモリコントローラ、 1 8 0 メインメモリ、 2 0 0 ノード。

40

【発明を実施するための最良の形態】

【 0 0 1 7 】

本発明の実施の形態の詳細を説明する前に、まず、本発明者が提案する技術の概要を説明する。

【 0 0 1 8 】

図 1 に示す情報処理システムについて考える。この情報処理システムは、プロセッサユニット 1 0 と、複数ここでは例として 2 つの周辺デバイス 3 0 を有し、プロセッサユニット 1 0 と周辺デバイス 3 0 は、ブリッジ 2 0 により接続される。プロセッサユニット 1 0 は、単一のプロセッサを有するシングルプロセッサシステムであってもよいし、複数のプロセッサを含むマルチプロセッサシステムであってもよい。なお、プロセッサユニット 1

50

0 は、図示しないメモリを備え、マルチプロセッサシステムの場合においては、このメモリは、各プロセッサからアクセス可能な共有メモリである。また、プロセッサユニット 10 は、アドレス変換部 14 を有し、その詳細については後述する。

【0019】

周辺デバイス 30 は、プロセッサユニット 10 のメモリにアクセスするのに当たり、アクセス要求パケットを発行する。このアクセス要求パケットは、周辺デバイス 30 のアクセス先のメモリ領域の実効アドレスを指定可能なものであり、周辺デバイス 30 のデバイス識別情報を含む。図 2 は、アクセス要求パケットの例を示す。

【0020】

ここで、実効アドレスとは実効アドレス空間内の所定の位置を示すアドレスである。さらに実効アドレス空間とは、プロセッサユニット 10 が備えるメモリから部分的に切り取られたメモリ空間の一部同士を集合させ、結合したものである。実効アドレス空間の内部構成を最適化することにより、プロセッサユニット 10 において動作するアプリケーションプログラムは最大パフォーマンスで動作できる。

【0021】

図 2 に示す例のアクセス要求パケット 32 は、デバイス識別情報と実効アドレスを含む。デバイス識別情報は、図 1 に示す情報処理システムにおいて、周辺デバイス 30 を一意に識別可能な情報であり、たとえば、周辺デバイスが接続されたバスの番号など周辺デバイスの物理位置を特定可能な情報や、周辺デバイスの種類などを示す情報とすることができる。また、情報処理システムの機能拡張や性能強化を図るために、グラフィックプロセッサや高速なメモリデバイスを周辺デバイスとして接続することがあり、より多くの周辺デバイスを接続できるようにすることが要請されている背景において、ブリッジの先にスイッチを多段接続して、デバイスのネットワークを構成することもある。この場合において、デバイス識別情報は、スイッチ番号も含む。以下、説明の便宜のため、デバイス識別情報をリクエスト ID という。

【0022】

プロセッサユニット 10 のアドレス変換部 14 は、アクセス要求パケット 32 に含まれる実効アドレスを、メモリの物理アドレスに変換することによって、アクセス要求パケットを発行した周辺デバイス 30 によるメモリへのアクセスを可能にする。ここで、アドレス変換部 14 について説明する。

【0023】

アドレス変換部 14 は、図 3 に示すアドレス変換テーブル 16 を用いてアドレスの変換を行う。

【0024】

プロセッサユニット 10 のメモリにおいて、各周辺デバイス 30 が使用するエリアを割り当てられており、アドレス変換テーブル 16 は、それぞれのエリアに対するアクセスの許可が与えられたアクセス元を、プロセッサユニット 10 において識別するアクセス元識別情報（以下 IOID という）と、これらのエリアに対応した、実効アドレス空間におけるエリア（以下実効エリアという）を示す実効アドレスと、物理アドレス空間におけるこれらのエリア（以下物理エリアという）を示す物理アドレスとを対応付けて格納している。なお、1 つの IOID は、1 つ以上の実効アドレスに対応する。

【0025】

アドレス変換部 14 は、アクセス要求パケット 32 に含まれる実効アドレスを物理アドレスに変換する際に、まず、アクセス要求パケット 32 に含まれるリクエスト ID と、アドレス変換テーブル 16 における IOID とを用いて照合を行う。具体的には、アドレス変換テーブル 16 における、アクセス要求パケット 32 に含まれる実効アドレスに対応する IOID が、リクエスト ID と一致するか否かを照合する。照合の結果、一致すればアクセスを許可し、この実効アドレスに対応する物理アドレスに変換する一方、一致しなければエラーを返し、アクセスを拒否する。

【0026】

10

20

30

40

50

こうすることによって、周辺デバイス 30 から、プロセッサユニット 10 のメモリにおいてこの周辺デバイス 30 に割り当てられたエリアへの直接アクセスを実現する。それとともに、周辺デバイスが、自身に対して割り当てられた領域以外の領域へアクセスできないようにしているので、プロセッサユニット 10 に図示しない D M A C をユーザソフトウェアに開放しても、悪意のあるデバイスやユーザソフトウェアから、周辺デバイス 30 へ割り当てられたメモリ領域へのアクセスを防ぐことができ、安全である。

【 0 0 2 7 】

一方、多くの場合において、プロセッサユニットの入出力バスと、周辺デバイスの入出力バスの規格が異なる。そのため、周辺デバイスの入出力バスを、プロセッサユニットの入出力バスへ中継するブリッジが用いられる。この場合において、規格の制約から、リク

10

【 0 0 2 8 】

そこで、リクエスト ID をそのまま I O I D と照合する代わりに、ブリッジによって、リクエスト ID を、そのビット数が I O I D のビット数に合致するように I O I D と照合するようにすれば、この場合においても I O I D によるメモリの保護ができる。

【 0 0 2 9 】

これについて、本発明者は下記の技術を提案する。ここでも、図 1 に示す情報処理システムを利用して説明する。

【 0 0 3 0 】

20

この場合において、プロセッサユニット 10 のアドレス変換部 14 は、図 4 に示すアドレス変換テーブル 18 を用いる。図示のように、I O I D は、セグメント番号とページ番号の組み合わせに対応して格納されている。

【 0 0 3 1 】

プロセッサユニット 10 のメモリはセグメントに分けられており、各セグメントはさらに複数のページに分けられている。セグメント番号とページ番号の組み合わせは、実効エリアを示す。

【 0 0 3 2 】

アドレス変換テーブル 18 は、セグメントに含まれる各ページ毎に物理アドレスをマッピングするとともに、I O I D に基づいたアクセスの許否を示している。

30

【 0 0 3 3 】

図 5 は、この場合において、周辺デバイス 30 から発行されるアクセス要求パケットの例を示す。この例のアクセス要求パケット 34 は、リクエスト ID と、アクセス先のメモリ領域におけるオフセットを含む。

【 0 0 3 4 】

ブリッジ 20 は、アクセス要求パケット 34 を、I O I D と実効アドレスを含むアクセスコマンドに変換する。具体的には、アクセス要求パケット 34 に含まれるリクエスト ID の一部たとえば下位の、I O I D のビット数分のビットを I O I D に対応付けるとともに、他の部分たとえば上位のビットを、セグメント番号とページ番号に対応付ける。

【 0 0 3 5 】

40

図 6 は、ブリッジ 20 により得られたアクセスコマンドを示す。アクセスコマンドは、セグメント番号、ページ番号、I O I D、オフセットを含む。

【 0 0 3 6 】

プロセッサユニット 10 のアドレス変換部 14 は、ブリッジ 20 からのアクセスコマンドに含まれる実効アドレス（ここでは、セグメント番号、ページ番号、オフセットの組合せ）を物理アドレスに変換する際に、まず、アクセスコマンドに含まれる I O I D と、アドレス変換テーブル 18 における I O I D とを照合する。具体的には、アドレス変換テーブル 18 における、アクセスコマンドに含まれるセグメント番号とページ番号の組合せに対応する I O I D が、アクセスコマンドに含まれる I O I D と一致するか否かを照合する。照合の結果、一致すればアクセスを許可し、アクセスコマンドに含まれる実効アドレス

50

を対応する物理アドレスに変換する一方、一致しなければエラーを返し、アクセスを拒否する。

【0037】

こうすることによって、周辺デバイスのリクエストIDのビット数が、プロセッサユニット10のアドレス変換部14が使用するIOIDのビット数より多い場合においても、IOIDによるメモリの保護ができる。

【0038】

以下、本発明の実施の形態について、以上の概要を具現化してシステムを説明する。

【0039】

図7は、本発明にかかる実施の形態による情報処理システムの構成を示す。この情報処理システムは、複数の周辺デバイスたとえばPCIデバイス100、マルチコアプロセッサ120、メインメモリ180、PCIデバイス100とマルチコアプロセッサ120とを接続するブリッジ110を有する。マルチコアプロセッサ120とメインメモリ180は、1つのプロセッサユニットを構成する。

10

【0040】

PCIデバイス100の接続インターフェイスとして、PCIバスを用いる。ここで、PCIバスは、PCI、PCI X、PCI Express（登録商標）のいずれの仕様によるものでよい。

【0041】

マルチコアプロセッサ120は、ワンチップで形成されており、主処理ユニットPPE（Power Processing Element）140と、複数、図示の例では8つのサブ処理ユニットSPE（Synergistic Processing Element）130と、IOインターフェイス（以下IOIFという）160と、メモリコントローラ170とを有し、これらは、リングバス150によって接続される。

20

【0042】

メインメモリ180は、マルチコアプロセッサ120の各処理ユニットの共有メモリであり、メモリコントローラ170と接続されている。なお、メインメモリ180は、複数のセグメントに分けられており、各セグメントは、さらに複数のページに分けられている。

【0043】

メモリコントローラ170は、PPE140および各SPE130がメインメモリ180にアクセスする仲介を行う。なお、図7に示す例では、メインメモリ180はマルチコアプロセッサ120の外部に設けられているが、マルチコアプロセッサ120内に含まれるように設けられてもよい。

30

【0044】

IOIF160は、図示しないIOIFバスによってブリッジ110と接続され、ブリッジ110と協働して、PCIデバイス100からメインメモリ180へのアクセスを可能にする。IOIF160には、IOコントローラ164が含まれている。

【0045】

SPE130は、コア132と、ローカルメモリ134と、メモリフローコントローラ（以下MFCという）136とを備え、MFC136には、DMAC（ダイレクトメモリアクセスコントローラ）138が含まれている。なお、ローカルメモリ134は、従来のハードウェアキャッシュメモリではないことが望ましく、それには、ハードウェアキャッシュメモリ機能を実現するための、チップ内蔵またはチップ外に置かれたハードウェアキャッシュ回路、キャッシュレジスタ、キャッシュメモリコントローラなどが無い。

40

【0046】

PPE140は、コア142と、L1キャッシュ144と、L2キャッシュ145と、MFC146とを備え、MFC146には、DMAC148が含まれている。

【0047】

通常、マルチコアプロセッサ120のオペレーティングシステム（以下OSともいう）

50

は、P P E 1 4 0 において動作し、O S の基本処理に基づいて、各 S P E 1 3 0 で動作するプログラムが決定される。また、S P E 1 3 0 で動作するプログラムは、O S の機能の一部をなすようなプログラム（たとえばデバイスドライバや、システムプログラムの一部など）であってもよい。なお、P P E 1 4 0 と S P E 1 3 0 の命令セットアーキテクチャは、異なる命令セットを有する。

【 0 0 4 8 】

図 7 に示す情報処理システムの初期化時において、マルチコアプロセッサ 1 2 0 のデバイスドライバは、デバイスの探索を行ってそれぞれの P C I デバイス 1 0 0 のリクエスト I D を取得する。ここの例において、リクエスト I D は、P C I の規格によりビット数が 1 6 ビットに定められている。これによって、マルチコアプロセッサ 1 2 0 の O S は、各 P C I デバイス 1 0 0 が利用可能なセグメントと、各 P C I デバイス 1 0 0 の I O I D を得る。ここで、マルチコアプロセッサ 1 2 0 の仕様によって I O I D のビット数がたとえば 1 1 ビットであり、O S はリクエスト I D の下位 1 1 ビットを I O I D として取得する。

【 0 0 4 9 】

そして、O S は、P C I デバイス 1 0 0 に対するメモリ割り当て要求に応じて、セグメントに対してページエントリを生成する。ページのサイズはここで選択することができる。この割り当てによって、図 4 に示すアドレス変換テーブル 1 8 が生成される。O S は、このアドレス変換テーブル 1 8 をメインメモリ 1 8 0 に格納し、これによって P C I デバイス 1 0 0 からメインメモリ 1 8 0 へのアクセスが可能になる。

【 0 0 5 0 】

P C I デバイス 1 0 0 は、メインメモリ 1 8 0 にアクセスするのにあたり、アクセス要求パケットを発行する。ここで、このアクセス要求パケットとして、図 5 に示すアクセス要求パケット 3 4 を用いる。

【 0 0 5 1 】

図 8 は、ブリッジ 1 1 0 の構成を示す。ブリッジ 1 1 0 は、第 1 の入出力部 1 1 2、ブリッジコントローラ 1 1 4 と、第 2 の入出力部 1 1 8 を有する。

【 0 0 5 2 】

第 1 の入出力部 1 1 2 は、P C I デバイス 1 0 0 により発行されたアクセス要求パケットを受け取り、ブリッジコントローラ 1 1 4 は、このアクセス要求パケットをアクセスコマンドに変換する。そして、第 2 の入出力部 1 1 8 は、このアクセスコマンドをマルチコアプロセッサ 1 2 0 の I O I F 1 6 0 に渡す。

【 0 0 5 3 】

ブリッジコントローラ 1 1 4 は、アクセス要求パケットに含まれる P C I デバイス 1 0 0 のリクエスト I D の下位 1 1 ビットを I O I D として取得し、リクエスト I D の上位 5 ビットを、セグメント番号とページ番号に対応づける。この変換によって、図 6 に示すアクセスコマンドが得られる。

【 0 0 5 4 】

I O I F 1 6 0 の I O コントローラ 1 6 4 は、図 4 に示すアドレス変換テーブル 1 8 を参照して、ブリッジ 1 1 0 から渡されたアクセスコマンドに含まれる実効アドレス（セグメント番号、ページ番号、オフセットの組合せ）を、メインメモリ 1 8 0 における物理アドレスに変換する。ページサイズが 4 K B であるときに、3 6 ビットのアクセスコマンドの各ビットは下記のように規定される：[3 4 : 2 8] = セグメント、[2 7 : 1 2] = ページ、A d d r e s s [1 1 : 0] = オフセット。

【 0 0 5 5 】

I O コントローラ 1 6 4 は、変換するのに際し、まず、アクセスコマンドに含まれるセグメント番号、ページ番号について、変換テーブルを参照して、アクセスが許可されているか否かを見出す。たとえば、「セグメント = 1、ページ = 2、オフセット = 0」を示すアクセスコマンドとともに受信した I O I D が C である場合には、アドレス変換テーブル 1 8 はセグメント = 1、ページ = 2 に対して、アクセスを許可する I O I D として C を対

応づけているので、ＩＯコントローラ１６４は、「セグメント＝１、ページ＝２」に対応する物理アドレスdへのアクセスを許可する。一方、「セグメント＝１２７、ページ＝１、オフセット＝０」を示すアクセスコマンドとともに受信したＩＯＩＤがCである場合には、変換テーブルはセグメント＝１２７、ページ＝１に対して、アクセスを許可するＩＯＩＤとしてDを対応づけているため、ＩＯコントローラ１６４は、エラー信号を返して、アクセスを拒否する。

【００５６】

以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

10

【００５７】

たとえば、図７に示す情報処理システムにおいて、周辺デバイスはＰＣＩデバイス１００であるが、ＰＣＩ規格以外の周辺デバイスを用いてもよい。

【００５８】

また、本発明の技術思想を、ネットワーク上の複数のノードが並列に同じアプリケーションを処理可能な分散アプリケーションシステムに適用し、デバイス識別情報をアプリケーション識別情報に置き換えることによって、異なるノード上で動作する同じアプリケーション間のアクセスを可能にするとともに、それぞれのノード上においてこのアプリケーションに対して割り当てられたメモリ空間の保護を図ることができる。具体的には、たとえば図９に示す分散処理アプリケーションシステムにおいて、各ノード２００は、プロセッサユニットとメモリを備える。動作中のアプリケーション毎に、このアプリケーションを一意に識別可能なアプリケーション識別情報を付与するとともに、各ノード２００のメモリにおいて、動作中の各アプリケーション毎に、このアプリケーションが使用可能なエリアを割り当てる。アクセス元のノード２００からアクセス先のノード２００にアクセスする際に、アクセス要求パケットに、アプリケーション識別情報を付加する。アクセス先のノード２００においてアクセス要求パケットに含まれる実効アドレスを物理アドレスに変換する際に、アプリケーション識別情報をもとに、この実効アドレスに対するアクセスの可否を決定する。こうすることによって、ネットワーク上の異なるノードで動作する同じアプリケーションは、互いのノードにおいて、このアプリケーションに対して割り当てられたエリアにアクセスできるとともに、他のアプリケーションによって、自身のエリアをアクセスされることを防ぐことができる。

20

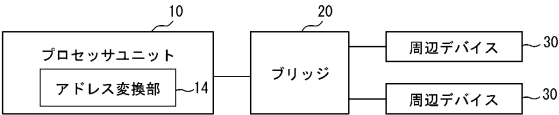
30

【産業上の利用可能性】

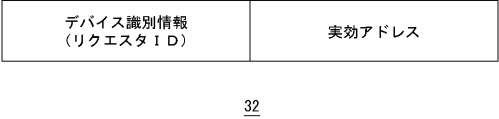
【００５９】

本発明は、周辺デバイスからプロセッサのメモリへのアクセス技術に適用することができる。

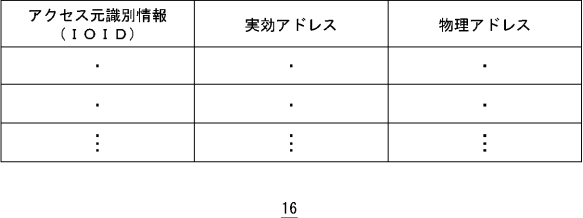
【図 1】



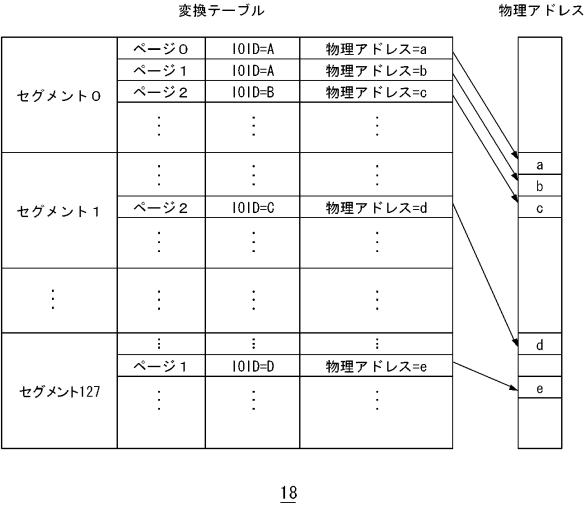
【図 2】



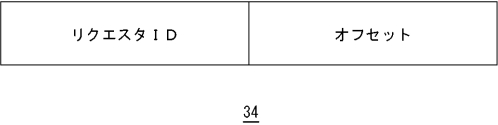
【図 3】



【図 4】



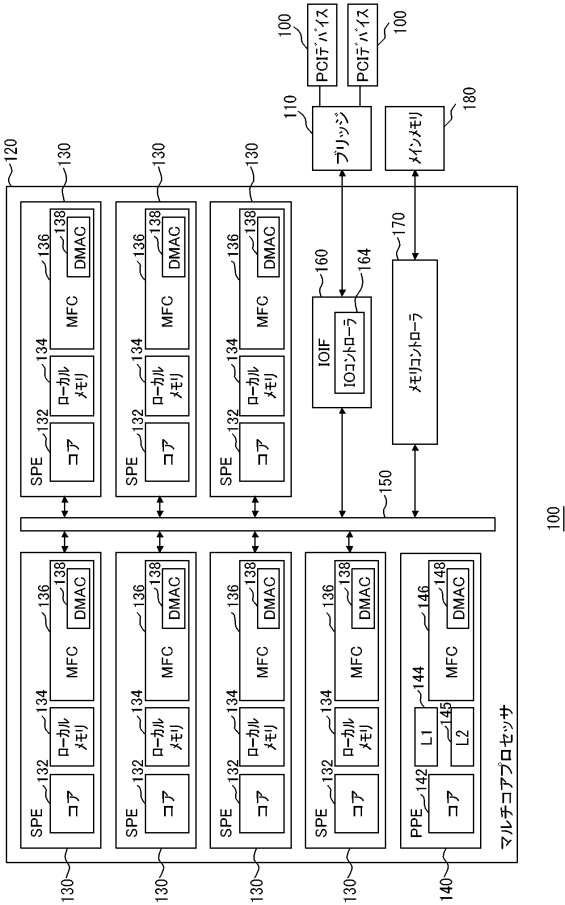
【図 5】



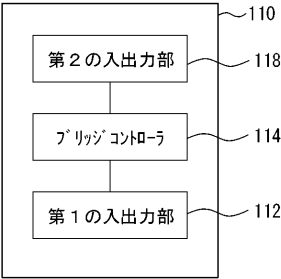
【図 6】

(セグメント番号, ページ番号, I O I D, オフセット)

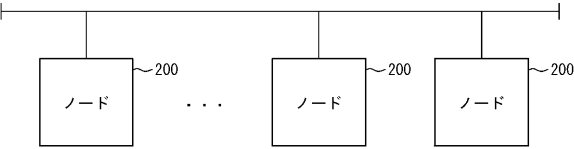
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 山崎 剛
東京都港区南青山2丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内
- (72)発明者 高橋 祐治
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 三林 秀樹
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 清木 泰

- (56)参考文献 特開昭62-115554(JP,A)
特開平04-130553(JP,A)
特開昭57-189384(JP,A)
特開平04-348442(JP,A)
特開2005-242598(JP,A)
特開2006-172474(JP,A)
特開2005-339401(JP,A)
特開2002-304364(JP,A)
特開2000-148665(JP,A)
特開平10-187539(JP,A)
特開平06-187286(JP,A)
特開平05-035582(JP,A)
特開昭63-040953(JP,A)
特開昭60-089266(JP,A)
特開昭58-169611(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F12/08-12/12
G06F13/10-13/14
G06F13/20-13/378
G06F12/14
G06F21/02-21/24