



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01) H01L 21/8247 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월15일 10-0728983 2007년06월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0034098 2006년04월14일 2006년04월14일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	장현용 경기 수원시 팔달구 우만동 600번지 월드 메르디앙 103동 702호
(74) 대리인	강성배
(56) 선행기술조사문헌	
KR1020040038421	KR1020040038422
KR1020040053255	US06759267
US06972430	

심사관 : 정병홍

전체 청구항 수 : 총 7 항

(54) 상변환 기억 소자 및 그의 제조방법

(57) 요약

본 발명은 상변환 기억 소자 및 그의 제조방법을 개시한다. 개시된 본 발명에 따른 상변환 기억 소자는, 절연막이 형성된 반도체기판; 상기 절연막 내에 형성되며 상단부가 돌출된 플러그형 하부전극; 상기 하부전극 상에 형성된 상변환막; 상기 상변환막 상에 형성되며 하부전극 보다 큰 크기를 갖는 패턴 형태의 상부전극; 및 상기 상변환막과 상부전극의 적층 패턴과 절연막 사이의 공간을 매립하지 않으면서 상기 적층 패턴을 덮도록 절연막 상에 형성된 층간절연막;을 포함하는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

절연막이 형성된 반도체기판;

상기 절연막 내에 형성되며 상단부가 돌출된 플러그형 하부전극;

상기 하부전극 상에 형성된 상변환막;

상기 상변환막 상에 형성되며 하부전극 보다 큰 크기를 갖는 패턴 형태의 상부전극; 및

상기 상변환막과 상부전극의 적층 패턴과 절연막 사이의 공간을 매립하지 않으면서 상기 적층 패턴을 덮도록 절연막 상에 형성된 층간절연막;

을 포함하는 것을 특징으로 하는 상변환 기억 소자.

청구항 2.

제 1 항에 있어서,

상기 상변환막과 상부전극은 동일한 크기이거나, 또는, 상기 상부전극이 상변환막 보다 큰 크기를 갖는 것을 특징으로 하는 상변환 기억 소자.

청구항 3.

제 1 항에 있어서,

상기 하부전극의 돌출된 상단부 표면과 상변환막 및 상부전극의 표면을 포함한 절연막 상에 균일한 두께로 형성된 절연보호막을 더 포함하는 것을 특징으로 하는 상변환 기억 소자.

청구항 4.

반도체기판 상에 제1절연막, 식각정지막 및 제2절연막을 차례로 형성하는 단계;

상기 제2절연막, 식각정지막 및 제1절연막을 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내에 플러그형의 하부전극을 형성하는 단계;

상기 제2절연막 상에 상변환물질막과 도전막을 차례로 형성하는 단계;

상기 도전막과 상변환물질막을 식각하여 하부전극 보다 큰 크기를 갖는 상변환막과 상부전극의 적층 패턴을 형성하는 단계;

상기 상변환막의 가장자리 부분을 식각하여 상부전극과 식각정지막 사이에 제1빈공간을 형성하는 단계;

상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 제2빈공간을 형성하는 단계; 및

상기 식각정지막 상에 상기 제1 및 제2빈공간을 매립하지 않으면서 상변환막과 상부전극의 적층 패턴을 덮도록 층간절연막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 상변환 기억 소자의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 제2빈공간을 형성하는 단계 후, 그리고, 상기 층간절연막을 형성하는 단계 전, 상기 상변환막과 상부전극의 적층 패턴 표면을 포함한 식각정지막 상에 균일한 두께의 보호절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변환 기억 소자의 제조방법.

청구항 6.

반도체기판 상에 제1절연막, 식각정지막 및 제2절연막을 차례로 형성하는 단계;

상기 제2절연막, 식각정지막 및 제1절연막을 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내에 하부전극을 형성하는 단계;

상기 제2절연막 상에 상변환물질막과 도전막을 차례로 형성하는 단계;

상기 도전막과 상변환물질막을 식각하여 하부전극 보다 큰 크기를 갖는 상변환막과 상부전극의 적층 패턴을 형성하는 단계;

상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 빈공간을 형성하는 단계; 및

상기 식각정지막 상에 상기 상부전극과 식각정지막 사이의 빈공간을 매립하지 않으면서 상변환막과 상부전극의 적층 패턴을 덮도록 층간절연막을 형성하는 단계;

를 포함하는 것을 특징으로 하는 상변환 기억 소자의 제조방법.

청구항 7.

제 7 항에 있어서,

상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 빈공간을 형성하는 단계 후, 그리고, 상기 층간절연막을 형성하는 단계 전, 상기 상변환막과 상부전극의 적층 패턴 표면을 포함한 식각정지막 상에 균일한 두께의 보호절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변환 기억 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상변환 기억 소자에 관한 것으로, 보다 상세하게는, 상변환막으로부터의 열확산을 억제하여 상변화에 필요한 전류를 낮출 수 있는 상변환 기억 소자 및 그의 제조방법에 관한 것이다.

기억 소자는 전원이 차단되면 입력된 정보를 잃어버리는 휘발성의 램(Random Access Memory : RAM) 소자와 전원이 차단되더라도 입력된 정보의 저장 상태를 계속해서 유지하는 롬(Read Only Memory : ROM) 소자로 크게 구분된다. 상기 휘발성의 램 소자로는 디램(DRAM) 및 에스램(SRAM)을 들 수 있으며, 상기 비휘발성의 롬 소자로는 EEPROM (Electrically Erasable and Programmable ROM)과 같은 플래쉬 기억(Flash Memory) 소자를 들 수 있다.

그런데, 상기 디램은 잘 알려진 바와 같이 매우 우수한 기억 소자임에도 불구하고 높은 전하저장 능력이 요구되고, 이를 위해, 전극 표면적을 증가시켜야만 하므로 고집적화에 어려움이 있다. 또한, 상기 플래쉬 기억 소자는 두 개의 게이트가 적층된 구조를 갖는 것과 관련해서 전원전압에 비해 높은 동작전압이 요구되고, 이에 따라, 쓰기 및 소거 동작에 필요한 전압을 형성하기 위해 별도의 승압 회로를 필요로 하므로 고집적화에 어려움이 있다.

이에, 상기 비휘발성 기억 소자의 특성을 가지면서 고집적화를 이룰 수 있고, 또한, 구조가 단순한 새로운 기억 소자를 개발하기 위한 많은 연구들이 진행되고 있으며, 그 한 예로 최근 상변환 기억 소자(Phase Change RAM)가 제안되었다.

상변환 기억 소자는 하부전극과 상부전극 사이의 전류 흐름을 통해서 상기 전극들 사이에 개재된 상변환막이 결정 상태에서 비정질 상태로 상변화가 일어나는 것으로부터 결정질과 비정질에 따른 저항 차이를 이용하여 셀에 저장된 정보를 판별하는 기억 소자이다. 다시말해, 상변환 기억 소자는 상변환막으로 칼코제나이드(Chalcogenide)막을 이용하는데, 이러한 칼코제나이드막은 게르마늄(Ge), 스티비움(Sb) 및 텔루리움(Te)으로 이루어진 화합물막으로서, 인가된 전류에 의해 발생하는 열, 즉, 주울 열(Joule Heat)에 의해 비정질(Amorphouse) 상태와 결정질(Crystalline) 상태 사이에서 상변화가 일어나며, 이때, 비정질 상태를 갖는 상변환막의 비저항이 결정질 상태를 갖는 상변환막의 비저항 보다 높다는 것으로부터, 읽기 모드에서 상변환막을 통하여 흐르는 전류를 감지하여 상변환 기억 셀에 저장된 정보가 논리 '1'인지 또는 논리 '0'인지를 판별하게 된다.

한편, 이러한 상변환 기억 소자에서 상변환막이 결정질 상태에서 비정질 상태로 되는 것을 리세트(reset)라고 하고, 반대로 비정질 상태에서 결정질 상태로 되는 것을 세트(set)라고 하는데, 소비 전력 측면에서 상기 리세트/세트(프로그래밍)를 위한 전류의 크기는 낮을수록 좋다. 이러한 상변화에 필요한 전류의 크기는 상변환 기억 소자의 구조와 밀접한 관련이 있다.

도 1은 종래 기술에 따른 상변환 기억 소자의 부분 단면도로서, 이를 참조하면, 상변환막(15)이 하부전극(13)과 작은 콘택을 통해 연결되어 있는 바, 하부전극(13)을 통해 상변환막(15)에 열이 전달되면 콘택 영역의 상변환막(15) 부분이 상변환하게 된다. 미설명된 도면부호 10은 반도체기판을, 11은 제1절연막을, 12는 전기적 접촉막(electrical contact layer)을, 14은 제2절연막을, 16은 상부전극을, 그리고, 17은 제3절연막을 각각 나타낸다.

그러나, 도 1과 같은 구조에서는 플레이트(plate) 형태의 하부전극(13)을 가열막으로 사용하기 때문에 하부전극(13)을 통해 상변환막(15)에 공급된 열이 다시 하부전극(13)을 통해 쉽게 확산되므로 프로그래밍 전류가 높다는 문제가 있다.

이에, 상기 플레이트 형태의 하부전극을 채용한 상변환 기억 소자의 단점을 보완하기 위해 상변환막에 공급되는 열의 확산이 최소화되도록 하부전극을 플레이트 형태가 아닌 플러그(plug) 형태로 형성하는 기술이 제안되었다.

도 2에 도시된 바와 같이, 플러그형 하부전극을 구비한 상변환 기억 소자는, 하부전극(23)이 제1절연막(21) 내에 플러그형으로 형성되고, 상변환막(25)과 상부전극(26)의 적층패턴이 제1절연막(21) 상에 하부전극(23)과 콘택되도록 형성되므로, 앞서 설명한 플레이트형 하부전극을 채용한 구조 보다는 열의 확산이 억제된다. 미설명된 도면부호 20은 반도체기판을, 27은 제2절연막을 각각 나타낸다.

그러나, 도 2에서와 같이 하부전극을 플러그형으로 형성하더라도, 도 1의 구조와 동일하게 상변환막과 상부전극 간의 접촉 면적이 상변환막과 하부전극 간의 접촉 면적에 비해 상대적으로 매우 넓고 상변환막으로부터의 열방출이 용이하게 이루어지기 때문에 프로그래밍에 필요한 전류가 여전히 높다는 문제가 있다.

이에, 상변환막과 상부전극 간의 접촉 면적을 줄여주고 상변환막으로부터의 열방출을 억제하기 위해 도 3에 도시된 바와 같은 상변환 기억 소자가 제안되었다.

도 3에 도시된 상변환 기억 소자는, 상변환물질막과 상부전극용 도전막을 연이어 패터닝하되, 상기 상변환물질막의 패터닝시 패터닝된 상부전극용 도전막, 즉, 상부전극(36)의 가장자리에서 상변환물질막이 언더-컷(under-cut)되게 한 후, PVD(Physical Vaporization Deposition)와 같은 단차피복성(step coverage)이 불량한 공정으로 제2절연막(37)을 형성한 구조로서, 상부전극(36)과 상변환막(35)의 접촉 면적을 줄여주고 언더-컷 공간을 통해 열의 확산을 억제한 구조이다.

도시된 바와 같이, 상기 제2절연막(37)을 형성하기 전, 상변환막(35)과 상부전극(36)을 포함한 제1절연막(31)의 표면에 ALD(Atomic Layer Deposition)와 같은 단차피복성이 우수한 공정을 통해 균일한 두께의 보호절연막(38)이 추가적으로 형성될 수도 있다. 한편, 미설명된 도면부호 30은 반도체기판을, 33은 하부전극을 각각 나타낸다.

도 3과 같은 구조로 상변환 기억 소자를 제조하면 상부전극(36)의 크기는 종래와 동일하게 유지하면서 상변환막(35)의 크기만 감소시켜 상부전극(36)과 상변환막(35)의 접촉 면적을 감소시키고 아울러 상변환막(35) 주위에 빈공간을 형성함으로써 상변환막(35)의 열 방출 경로를 확보할 수 있으므로, 프로그래밍에 필요한 전류를 감소시킬 수 있다.

그러나, 도 3와 같은 구조의 상변환 기억 소자는 상변환막(35)의 측면 방향으로만 빈공간이 만들어져 있고 상변환막(35)의 하부면은 하부전극(33) 및 제1절연막(31)에 의해 모두 가려져 있기 때문에 상변환막(35)의 측면 방향으로 열확산이 어느정도 방지되는 반면 하부 방향으로 열확산이 용이하게 이루어지게 되어 프로그래밍 전류를 낮추는데 한계가 있다.

한편, 상기 도 3의 구조를 제안한 발명의 다른 실시예로서 상변환막(35)의 크기를 하부전극(33)의 크기 보다 작게 만든 구조도 제시되었지만, 100nm 이하의 지름을 갖는 플러그형 하부전극(33) 상에 상변환물질막을 100nm 이하로 잔류시킨다는 것은 현실적으로 매우 어렵다. 왜냐하면, 상변환물질막의 식각 속도가 방향에 따라 조금이라도 균일하지 못한 경우 잔류되는 상변환막(35)의 위치가 플러그 형태의 하부전극(35)에서 벗어나기 때문인데, 이러한 문제는 상변환물질막과 상부전극용 도전막의 패터닝시 노광 공정의 부정확성 등으로 인해 오정렬(mis-align)이 발생된 경우 발생 확률이 더욱 높다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출된 것으로서, 상변환막과 전극과의 접촉 면적을 감소시키고 상변환막으로부터의 열확산을 억제하여 상변화에 필요한 전류를 낮출 수 있는 상변환 기억 소자 및 그의 제조방법을 제공함에 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은, 절연막이 형성된 반도체기판; 상기 절연막 내에 형성되며 상단부가 돌출된 플러그형 하부전극; 상기 하부전극 상에 형성된 상변환막; 상기 상변환막 상에 형성되며 하부전극 보다 큰 크기를 갖는 패턴 형태의 상부전극; 및 상기 상변환막과 상부전극의 적층 패턴과 절연막 사이의 공간을 매립하지 않으면서 상기 적층 패턴을 덮도록 절연막 상에 형성된 층간절연막;을 포함하는 것을 특징으로 하는 상변환 기억 소자를 제공한다.

여기서, 상기 상변환막과 상부전극은 동일한 크기이거나, 또는, 상기 상부전극이 상변환막 보다 큰 크기를 갖는다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명의 상변환 기억 소자는, 상기 하부전극의 돌출된 상단부 표면과 상변환막 및 상부전극의 표면을 포함한 절연막 상에 균일한 두께로 형성된 절연보호막을 더 포함한다.

한편, 상기와 같은 목적을 달성하기 위한 본 발명의 상변환 기억 소자의 제조방법은, 반도체기판 상에 제1절연막, 식각정지막 및 제2절연막을 차례로 형성하는 단계; 상기 제2절연막, 식각정지막 및 제1절연막을 식각하여 콘택홀을 형성하는 단계; 상기 콘택홀 내에 플러그형의 하부전극을 형성하는 단계; 상기 제2절연막 상에 상변환물질막과 도전막을 차례로 형성하는 단계; 상기 도전막과 상변환물질막을 식각하여 하부전극 보다 큰 크기를 갖는 상변환막과 상부전극의 적층 패턴을 형성하는 단계; 상기 상변환막의 가장자리 부분을 식각하여 상부전극과 식각정지막 사이에 제1빈공간을 형성하는 단계; 상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 제2빈공간을 형성하는 단계; 및 상기 식각정지막 상에 상기 제1 및 제2빈공간을 매립하지 않으면서 상변환막과 상부전극의 적층 패턴을 덮도록 층간절연막을 형성하는 단계;를 포함한다.

여기서, 상기 제2빈공간을 형성하는 단계 후, 그리고, 상기 층간절연막을 형성하는 단계 전, 상기 상변환막과 상부전극의 적층 패턴 표면을 포함한 식각정지막 상에 균일한 두께의 보호절연막을 형성하는 단계를 더 포함한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명의 상변환 기억 소자의 제조방법은, 반도체기판 상에 제1절연막, 식각정지막 및 제2절연막을 차례로 형성하는 단계; 상기 제2절연막, 식각정지막 및 제1절연막을 식각하여 콘택홀을 형성하는 단계; 상기 콘택홀 내에 하부전극을 형성하는 단계; 상기 제2절연막 상에 상변환물질막과 도전막을 차례로 형성하는 단계; 상기 도전막과 상변환물질막을 식각하여 하부전극 보다 큰 크기를 갖는 상변환막과 상부전극의 적층 패턴을 형성하는 단계; 상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 빈공간을 형성하는 단계; 및 상기 식각정지막 상에 상기 상부전극과 식각정지막 사이의 빈공간을 매립하지 않으면서 상변환막과 상부전극의 적층 패턴을 덮도록 층간절연막을 형성하는 단계;를 포함한다.

여기서, 상기 제2절연막을 식각정지막이 노출될때까지 식각하여 상변환막과 식각정지막 사이에 빈공간을 형성하는 단계 후, 그리고, 상기 층간절연막을 형성하는 단계 전, 상기 상변환막과 상부전극의 적층 패턴 표면을 포함한 식각정지막 상에 균일한 두께의 보호절연막을 형성하는 단계를 더 포함한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 4는 본 발명의 실시예에 따른 상변환 기억 소자의 단면도로서, 이를 참조하면, 본 발명의 상변환 기억 소자는 게이트 및 접합영역(소오스/드레인영역)과 같은 소정의 하부구조물(미도시)이 형성되고, 상기 하부구조물(미도시)을 덮도록 산화막 재질의 절연막(41)이 형성되며, 상기 절연막(41) 상에 질화막 재질의 식각정지용 절연막(42)이 구비된 반도체기판(40)과, 상기 식각정지용 절연막(42) 및 절연막(41) 내에 형성되고 상단부가 돌출된 플러그 형태의 하부전극(43)과, 상기 하부전극(43) 상에 형성된 상변환막(45)과, 상기 상변환막(45) 상에 형성되며 하부전극(43) 및 상변환막(45) 보다 큰 크기를 갖는 패턴 형태의 상부전극(46)과, 상기 상변환막(45)과 상부전극(46)의 적층 패턴과 식각정지용 절연막(42) 사이의 빈공간을 매립하지 않으면서 상기 적층 패턴을 덮도록 식각정지용 절연막(42) 상에 형성된 층간절연막(47)을 포함한다.

또한, 본 발명의 상변환 기억 소자는 상기 하부전극(43)의 돌출된 상단부 표면과 상변환막(45) 및 상부전극(46)의 표면을 포함한 식각정지용 절연막(42) 상에 균일한 두께로 형성된 절연보호막(48)을 더 포함한다.

여기서, 상기 절연보호막(48)은 단차피복성이 우수한 ALD 또는 CVD 공정으로 형성된 막으로서, 통상 질화막 재질로 형성하여 층간절연막(47) 형성시 상변환막(45)과 상하부전극(43, 45)의 계면 특성이 열화되는 것을 방지하는 역할을 한다.

또한, 상기 절연보호막(48)은 약 200Å 이하의 두께로 형성하여 상변환막(45)과 상부전극(46)의 적층 패턴과 식각정지용 절연막(42) 사이의 빈공간이 매립되지 않도록 한다.

한편, 도 4에서는 상변환막(45)이 하부전극(43) 보다는 크지만 상부전극(46) 보다는 작은 경우에 대해서 도시하였지만, 본 발명은 이에 국한되지 않으며, 상변환막과 상부전극이 동일한 크기를 갖도록 만들 수도 있다. 그런데, 이렇게 상변환막과 상부전극이 동일한 크기를 갖는 경우 상변환막의 하부면 쪽으로만 빈공간이 확보되므로, 열방출을 억제하는 역할을 하는 빈공간의 크기는 도 4에 도시된 구조의 그것 보다 작아진다.

이하에서는, 도 5a 내지 도 5e를 참조하여 본 발명의 일실시예에 따른 상변환 기억 소자의 제조방법을 설명하도록 한다.

도 5a 내지 도 5e는 본 발명의 일실시예에 따른 상변환 기억 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

도 5a를 참조하면, 게이트 및 접합영역(소오스/드레인영역)과 같은 소정의 하부구조물(미도시)이 형성되고, 상기 하부구조물(미도시)을 덮도록 제1절연막(51)이 형성되며, 상기 제1절연막(51) 상에 식각정지용 절연막(52)과 제2절연막(54)이 차례로 적층된 반도체기판(50)을 마련한다. 여기서, 상기 제1 및 제2절연막(51, 54)은 산화막으로 형성하고, 식각정지용 절연막(52)은 질화막으로 형성함이 바람직하다.

도 5b를 참조하면, 상기 제2절연막(54), 식각정지용 절연막(52) 및 제1절연막(51)을 식각하여 콘택홀(H)을 형성한 후, 상기 콘택홀(H) 내에 도전막을 매립하여 플러그 형태의 하부전극(52)을 형성한다.

그런 다음, 상기 제2절연막(54) 상에 상변환물질막과 도전막을 차례로 형성하고, 상기 도전막과 상변환물질막을 식각하여 하부전극(53) 보다 큰 크기를 갖는 상변환막(55)과 상부전극(56)의 적층 패턴을 형성한다.

도 5c를 참조하면, 상기 상변환막(55)의 가장자리 부분을 식각하여 상부전극(56)과 식각정지용 절연막(52) 사이에 제1빈공간(V1)을 형성한다.

도 5d를 참조하면, 상기 제2절연막을 식각정지용 절연막(52)이 노출될때까지 식각하여 상변환막(55)과 식각정지용 절연막(52) 사이에 제2빈공간(V2)을 형성한다.

도 5e를 참조하면, 상기 상변환막(55)과 상부전극(56)의 적층 패턴 표면을 포함한 식각정지용 절연막(52) 상에 균일한 두께의 보호절연막(58)을 형성한다.

여기서, 상기 보호절연막(58)은 질화막으로 형성함이 바람직하며, 제1 및 제2빈공간(V1, V2)을 매립하지 않는 두께로 형성한다.

그런 다음, 상기 보호절연막(58) 상에 상기 제1 및 제2빈공간(V1, V2)을 매립하지 않으면서 상변환막(55)과 상부전극(56)의 적층 패턴을 덮도록 층간절연막(57)을 형성한다.

이와 같이, 본 발명은 패터닝된 상변환막의 가장자리 부분을 식각하여 상변환막(55)의 측면 방향으로 빈공간을 만들어줄 뿐만 아니라, 플러그형 하부전극(53)의 상단부가 돌출되도록 하여 상변환막(55)의 하부 방향으로도 빈공간을 만들어줌으로써, 빈공간에 의한 열방출 차단 효과를 높여줄 수 있어서 종래 보다 프로그래밍 전류를 낮춰줄 수 있다.

한편, 전술한 본 발명의 일실시예에서는 패터닝된 상변환막의 가장자리 부분을 식각하여 상변환막(55)의 측면 방향으로 제1빈공간(V1)을 만들어준 후, 플러그형 하부전극(53)의 상단부를 돌출시켜 상변환막(55)의 하부 방향으로 제2빈공간(V2)을 만들어 주었지만, 본 발명의 다른 실시예에서는 상기 상변환막의 가장자리 부분 식각 단계를 건너뛰므로써, 도 6에 도시된 바와 같이, 상변환막(55)의 하부 방향으로만 빈공간을 만들어준 상변환 기억 소자를 제조할 수도 있다. 이때, 하부전극(54) 상단부를 돌출시킨 후의 공정 및 그 조건은 전술한 일실시예의 그것과 동일하다. 그런데, 도 6과 같이 상변환막(55)의 하부 방향으로만 빈공간을 만들어준 경우 빈공간의 부피가 도 5e의 그것 보다 줄어들기 때문에 빈공간에 의한 열방출 억제 효과는 다소 감소한다.

이상, 여기에서는 본 발명을 몇 가지 예를 들어 설명하였으나, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 사상에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상에서와 같이, 본 발명은 상변환 기억 소자를 제조함에 있어서, 상변환막의 측면 뿐만 아니라 하부 방향으로도 빈공간이 확보되도록 함으로써, 빈공간에 의한 상변환막으로부터의 열방출 차단 효과를 종래 보다 높여줄 수 있어서 프로그래밍 시 요구되는 전류의 크기를 감소시킬 수 있다.

도면의 간단한 설명

도 1 내지 도 3은 종래의 상변환 기억 소자들을 도시한 단면도.

도 4은 본 발명의 일실시예에 따른 상변환 기억 소자를 도시한 단면도.

도 5a 내지 도 5e는 본 발명의 일실시예에 따른 상변환 기억 소자의 제조방법을 설명하기 위한 공정별 단면도.

도 6은 본 발명의 다른 실시예에 따른 상변환 기억 소자를 도시한 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

40 : 반도체기판 41 : 절연막

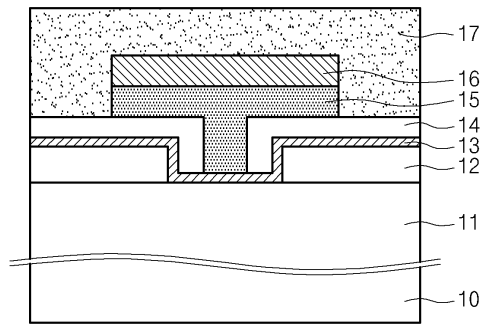
42 : 식각정지용 절연막 43 : 하부전극

55 : 상변환막 46 : 상부전극

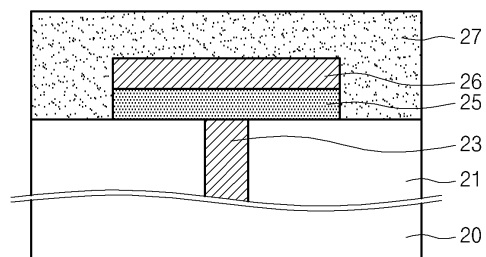
47 : 층간절연막 48 : 보호절연막

도면

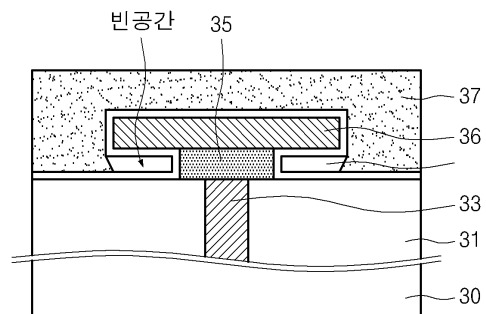
도면1



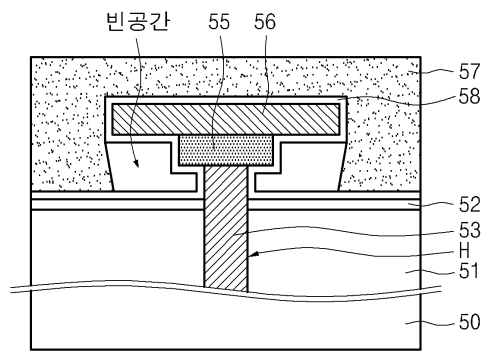
도면2



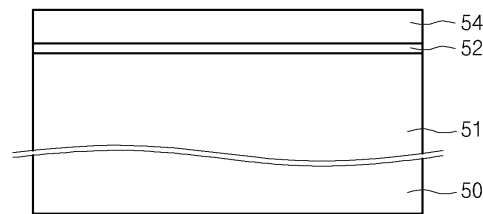
도면3



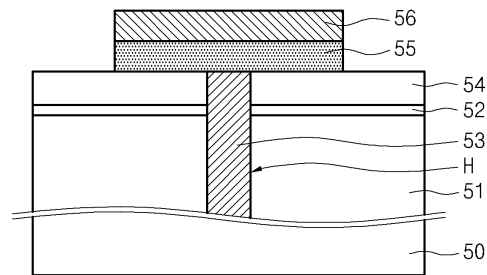
도면4



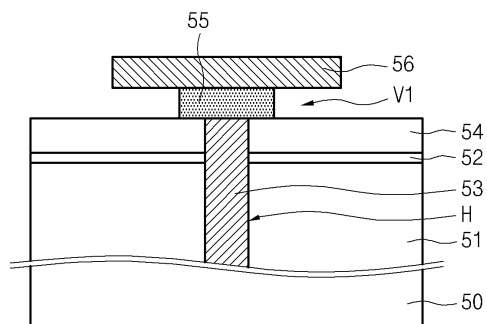
도면5a



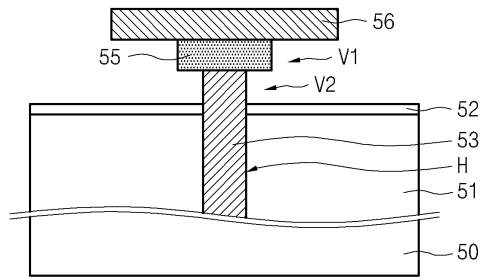
도면5b



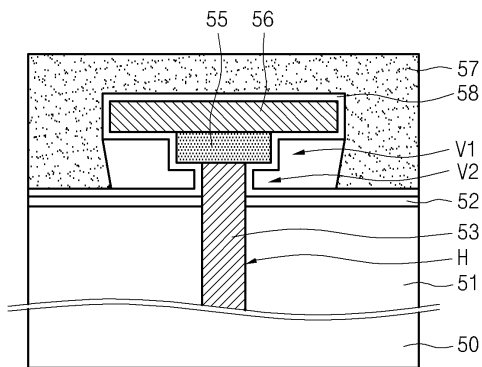
도면5c



도면5d



도면5e



도면6

