(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3593715号
(P3593715)
(45)発行日　平成16年11月24日(2004.11.24)　(24)登録日　平成16年9月10日(2004.9.10)

(51)Int.Cl.[7]	F I		
G09G 5/18	G09G	5/18	
G06F 3/153	G06F	3/153	336B
G09G 5/00	G09G	5/00	530T
G09G 5/36	G09G	5/36	520H

請求項の数 9　(全 32 頁)

(21)出願番号　特願平6-138244
(22)出願日　平成6年5月27日(1994.5.27)
(65)公開番号　特開平7-44151
(43)公開日　平成7年2月14日(1995.2.14)
審査請求日　平成13年5月17日(2001.5.17)
(31)優先権主張番号　特願平5-127431
(32)優先日　平成5年5月28日(1993.5.28)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100097146
弁理士　下出　隆史
(74)代理人　100096817
弁理士　五十嵐　孝雄
(72)発明者　竹内　啓佐敏
長野県諏訪市大和三丁目３番５号　セイコーエプソン株式会社内
(72)発明者　横山　敏彦
長野県諏訪市大和三丁目３番５号　セイコーエプソン株式会社内

審査官　後藤　亮治

最終頁に続く

(54)【発明の名称】映像表示装置

(57)【特許請求の範囲】
【請求項１】
コンピュータシステムに使用され、映像をモニタに表示するための映像表示装置であって、
第１のオペレーティングシステムによって管理される第１の映像記憶部と、
前記第１の映像記憶部に記憶された第１の映像信号を読出して出力する第１の映像制御部と、
第２のオペレーティングシステムによって管理される第２の映像記憶部と、
前記第２の映像記憶部に記憶された第２の映像信号を読出して出力する第２の映像制御部と、
前記第１の映像信号を前記第２の映像信号の同期信号に同期させる第１の位相補正部と、
前記第２の映像信号と、前記第１の位相補正部によって補正された前記第１の映像信号のうちの一方を選択して前記モニタに出力することによって前記第２のオペレーティングシステムの下で生成された映像を前記モニタの画面全体に背景として表示するとともに前記第１のオペレーティングの下で生成されたウィンドウを前記モニタの画面内の一部に表示する第１のビデオスイッチと、
を備え、
前記第１のオペレーティングシステムは前記第２のオペレーティングシステムの管理下で起動するオペレーティングシステムであり、
前記第１の映像記憶部は、前記第２のオペレーティングシステムの管理下のメモリ空間

内に確保されるメモリ領域であり、
前記第１の映像制御部は、前記第１の映像信号の読み出しを制御することによって前記ウィンドウを前記モニタの画面内の任意の位置および任意のサイズで表示させる、映像表示装置。
【請求項２】
請求項１記載の映像表示装置であって、
前記第１と第２の映像信号は互いに非同期である映像表示装置。
【請求項３】
請求項２記載の映像表示装置であって、
前記第１の位相補正部は、
前記第１の映像信号を記憶するフレーム記憶部と、
前記第１の映像信号の同期信号に同期して前記第１の映像信号を前記フレーム記憶部に書込むための書込制御部と、
前記フレーム記憶部に記憶された前記第１の映像信号を、前記第２の映像信号の同期信号に同期して読出して前記第１のビデオスイッチに供給する読出制御部と、を備える映像表示装置。
【請求項４】
請求項３記載の映像表示装置であって、
前記読出制御部は、
前記第１の映像信号の映像領域内においては第１の映像信号を選択することを示し、前記表示領域外においては第２の映像信号を選択することを示す選択信号を前記第１のビデオスイッチに与える選択信号生成手段、を備える映像表示装置。
【請求項５】
請求項３または４記載の映像表示装置であって、
前記第１の位相補正部は、さらに、
アナログ信号である前記第１の映像信号をＡ－Ｄ変換して前記フレーム記憶部に与えるＡ－Ｄ変換手段と、
前記フレーム記憶部から読出されたデジタル信号である前記位相補正後の第１の映像信号をＤ－Ａ変換して前記第１のビデオスイッチに与えるＤ－Ａ変換手段と、
を備える映像表示装置。
【請求項６】
請求項３ないし５のいずれかに記載の映像表示装置であって、前記書込制御部は、
前記第１の映像信号を前記フレーム記憶部に書き込む際の水平方向のタイミングを規定する水平書込ドットクロック信号を前記第１の映像信号の同期信号から作成するための第１のＰＬＬ回路と、
前記第１の映像信号を前記フレーム記憶部に書き込む際の垂直方向のタイミングを規定する垂直書込ラインクロック信号を前記第１の映像信号の同期信号から作成するための第２のＰＬＬ回路とを備え、
前記第１と第２のＰＬＬ回路によって前記水平書込ドットクロック信号と前記垂直書込ラインクロック信号の周波数をそれぞれ調整することにより、前記フレーム記憶部に記憶される映像を変倍する映像表示装置。
【請求項７】
請求項３ないし６のいずれかに記載の映像表示装置であって、前記読出制御部は、
前記位相補正後の第１の映像信号を前記フレーム記憶部から読出す際の水平方向のタイミングを規定する水平読出ドットクロック信号を前記第２の映像信号の同期信号から作成するための第３のＰＬＬ回路と、
前記位相補正後の第１の映像信号を前記フレーム記憶部から読出す際の垂直方向のタイミングを規定する垂直読出ラインクロック信号を前記第２の映像信号の同期信号から作成するための第４のＰＬＬ回路とを備え、
前記第３と第４のＰＬＬ回路によって前記水平読出ドットクロック信号と前記垂直読出ラ

インクロック信号の周波数をそれぞれ調整することにより、前記フレーム記憶部から読出される映像を変倍する映像表示装置。
【請求項８】
請求項１ないし７のいずれかに記載の映像表示装置であって、
前記第１と第２の映像信号は、それぞれ異なる表示解像度の映像を表わす映像信号である映像表示装置。
【請求項９】
請求項１ないし８のいずれかに記載の映像表示装置であって、さらに、
第３のオペレーティングシステムによって管理される第３の映像記憶部と、
前記第３の映像記憶部に記憶された第３の映像信号を読出して出力する第３の映像制御部と、
前記第１のビデオスイッチから出力された映像信号を前記第３の映像信号の同期信号に同期させる第２の位相補正部と、
前記第３の映像信号と、前記第２の位相補正部によって補正された映像信号のうちの一方を選択して前記モニタに出力する第２のビデオスイッチと、
を備える映像表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、映像表示装置に関する。
【０００２】
【従来の技術】
図２１は従来のコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、中央演算処理装置であるＣＰＵ部１５００と、読み／書き可能な記憶部であるＲＡＭ部１５０１と、読出専用記憶部であるＲＯＭ部１５０２と、外部の入力／出力を制御するＩ／Ｏ部１５０３と、Ｉ／Ｏ部１５０３の入力装置としてのキーボード１５０４およびマウス１５０５と、大容量の記憶を有する外部記憶部１５０６と、通信部１５０７とを備えている。また、映像の表示のために、表示用記憶部としての第１映像記憶部１５１２および第２映像記憶部１５１３を備えているとともに、第１映像記憶部１５１２内の映像データを読出して映像信号ＶＳ１に変換する第１映像制御部１５１０と、第２映像記憶部１５１３内の映像データを読出して映像信号ＶＳ２に変換する第２映像制御部１５１１とを備えている。これらの２つの映像信号ＶＳ１，ＶＳ２は互いに非同期である。このシステムは、さらに、２つの映像信号ＶＳ１，ＶＳ２の一方を選択するリレー回路部１５１４と、リレー回路部１５１４で選択された映像信号ＶＳ３を表示するモニタ１５１５も設けられている。このモニタ１５１５は、複数種類の映像信号に同期できる、いわゆるマルチスキャンモニタである。
【０００３】
このコンピュータシステムは、２つのオペレーティングシステム（以下、「ＯＳ」と呼ぶ）の下で動作するように構成されている。２つの映像記憶部１５１２，１５１３は、２つのＯＳによってそれぞれ使用されるフレームメモリである。以下では２つのオペレーティングシステムとして、ＭＳ－ＤＯＳ（米国マイクロソフト社の商標）と、マルチウインドウＯＳであるＭＳ－Ｗｉｎｄｏｗｓ（米国マイクロソフト社の商標）とを利用する場合について説明する。
【０００４】
図２１のコンピュータシステムがＭＳ－ＤＯＳの管理下で動作する場合には、ＣＰＵ１５００は第１の映像制御部１５１０を動作させて第１の映像信号ＶＳ１を出力させる。リレー回路部１５１４は第１の映像信号ＶＳ１を選択して映像信号ＶＳ３としてモニタ１５１５に出力する。従って、第１の映像信号ＶＳ１によって表わされる映像がモニタ１５１５に表示される。
【０００５】

コンピュータシステムがＭＳ－Ｗｉｎｄｏｗｓの管理下で動作する場合には、ＣＰＵ１５００は第２の映像制御部１５１１を動作させて第２の映像信号ＶＳ２を出力させる。リレー回路部１５１４は、第２映像制御部１５１１から与えられた選択信号ＲＳＥに応じて第２の映像信号ＶＳ２を選択して映像信号ＶＳ３として出力する。従って、第２の映像信号ＶＳ１によって表わされる映像がモニタ１５１５に表示される。

【０００６】

図２２は、ＭＳ－Ｗｉｎｄｏｗｓの管理下にあるメモリ空間を示すメモリマップである。ＭＳ－Ｗｉｎｄｏｗｓの管理下でＭＳ－ＤＯＳを起動させると、メモリ空間内に１Ｍバイトの ＭＳ－ＤＯＳ領域が確保される。新たに確保されたＭＳ－ＤＯＳ領域はＶＲＡＭ空間を有しているが、ここにはＶＲＡＭが実装されていないので、実際には第１の映像記憶部１５１２をＶＲＡＭとして用いている。

【０００７】

ＭＳ－ＤＯＳが起動されると、モニタ１５１５には、「ＤＯＳ－ＢＯＸ」と呼ばれるＭＳ－ＤＯＳ用のウィンドウが表示される。図２３は、ＭＳ－Ｗｉｎｄｏｗｓの第２の映像１５３０内に、ＤＯＳ－ＢＯＸとしての第１の映像１５３１が表示されている状態を示している。

【０００８】

【発明が解決しようとする課題】

ＭＳ－Ｗｉｎｄｏｗｓの管理下でＭＳ－ＤＯＳを動作させた場合にも、第２の映像記憶部１５１３から読出された第２の映像信号がモニタ１５１５に与えられて表示される。このため、従来は、図２３のようにＤＯＳ－ＢＯＸ１５３１を表示するために、ＣＰＵ１５００が第１映像記憶部１５１２内の映像データを第２映像記憶部１５１３に転送する必要があった。すなわち、ＣＰＵ部１５００は、第１記憶部１５１２内の膨大な映像データを常時第２記憶部１５１３内へ転送し続けるとともに、ＭＳ－ＤＯＳのオペレーションも行わなければならなかった。従って、ＣＰＵ部１５００の処理速度のほとんどは表示処理につぎ込まれてしまうので、ＭＳ－ＤＯＳのオペレーションは非常に遅いものとなり、ＤＯＳ－ＢＯＸの使い勝手が極めて悪いという問題があった。

【０００９】

本発明は、従来技術における上述の課題を解決するためになされたものであり、第１映像記憶部の内容を第２映像記憶部に転送することなく、第１映像記憶部に記憶された第１の映像と第２映像記憶部に記憶された第２の映像とを切換えつつ高速に表示することを目的とする。

【００１０】

【課題を解決するための手段および作用】

上述の課題を解決するため、この発明の請求項１に記載された映像表示装置は、コンピュータシステムに使用され、映像をモニタに表示するための映像表示装置であって、

第１のオペレーティングシステムによって管理される第１の映像記憶部と、

前記第１の映像記憶部に記憶された第１の映像信号を読出して出力する第１の映像制御部と、

第２のオペレーティングシステムによって管理される第２の映像記憶部と、

前記第２の映像記憶部に記憶された第２の映像信号を読出して出力する第２の映像制御部と、

前記第１の映像信号を前記第２の映像信号の同期信号に同期させる第１の位相補正部と、

前記第２の映像信号と、前記第１の位相補正部によって補正された前記第１の映像信号のうちの一方を選択して前記モニタに出力することによって前記第２のオペレーティングシステムの下で生成された映像を前記モニタの画面全体に背景として表示するとともに前記第１のオペレーティングの下で生成されたウィンドウを前記モニタの画面内の一部に表示する第１のビデオスイッチと、

を備え、

前記第１のオペレーティングシステムは前記第２のオペレーティングシステムの管理下

で起動するオペレーティングシステムであり、
　前記第１の映像記憶部は、前記第２のオペレーティングシステムの管理下のメモリ空間内に確保されるメモリ領域であり、
　前記第１の映像制御部は、前記第１の映像信号の読み出しを制御することによって前記ウィンドウを前記モニタの画面内の任意の位置および任意のサイズで表示させる。
【００１１】
第１の位相補正部が第１の映像信号を第２の映像信号の同期信号に同期させるので、第１のビデオスイッチによって２つの映像信号を切換えてモニタに出力するだけで、２つの映像を切換えて表示することができる。
【００１２】
請求項２に記載された映像表示装置では、前記第１と第２の映像信号は互いに非同期である。
【００１３】
第１の位相補正部は、第１の映像信号を第２の映像信号の同期信号に同期させるので、互いに非同期な第１と第２の映像信号を切換えてモニタに出力することができる。
【００１４】
請求項３に記載された映像表示装置では、前記第１の位相補正部は、前記第１の映像信号を記憶するフレーム記憶部と、前記第１の映像信号の同期信号に同期して前記第１の映像信号を前記フレーム記憶部に書込むための書込制御部と、前記フレーム記憶部に記憶された前記第１の映像信号を、前記第２の映像信号の同期信号に同期して読出して前記第１のビデオスイッチに供給する読出制御部と、を備える。
【００１５】
第１の映像信号をその同期信号に同期してフレーム記憶部に記憶し、第２の映像信号の同期信号に同期して読出すので、第１の映像信号を第２の映像信号の同期信号に同期させることができる。
【００１６】
請求項４に記載された映像表示装置では、前記読出制御部は、前記第１の映像信号の映像領域内においては第１の映像信号を選択することを示し、前記表示領域外においては第２の映像信号を選択することを示す選択信号を前記第１のビデオスイッチに与える選択信号生成手段、を備える。
【００１７】
こうすれば、第１のビデオスイッチによって２つの映像信号を切換えて、２つの映像を重畳した状態で表示することができる。
【００１８】
請求項５に記載された映像表示装置では、前記第１の位相補正部は、さらに、アナログ信号である前記第１の映像信号をＡ－Ｄ変換して前記フレーム記憶部に与えるＡ－Ｄ変換手段と、前記フレーム記憶部から読出されたデジタル信号である前記位相補正後の第１の映像信号をＤ－Ａ変換して前記第１のビデオスイッチに与えるＤ－Ａ変換手段と、を備える。
【００１９】
こうすれば、アナログ映像信号である第１の映像信号を処理することが可能となる。
【００２０】
請求項６に記載された映像表示装置では、前記書込制御部は、前記第１の映像信号を前記フレーム記憶部に書き込む際の水平方向のタイミングを規定する水平書込ドットクロック信号を前記第１の映像信号の同期信号から作成するための第１のＰＬＬ回路と、前記第１の映像信号を前記フレーム記憶部に書き込む際の垂直方向のタイミングを規定する垂直書込ラインクロック信号を前記第１の映像信号の同期信号から作成するための第２のＰＬＬ回路とを備え、前記第１と第２のＰＬＬ回路によって前記水平書込ドットクロック信号と前記垂直書込ラインクロック信号の周波数をそれぞれ調整することにより、前記フレーム記憶部に記憶される映像を変倍する。

【００２１】
こうすれば、第１の映像信号をフレーム記憶部に書き込む際に、映像を変倍することができる。
【００２２】
請求項７に記載された映像表示装置では、前記読出制御部は、前記位相補正後の第１の映像信号を前記フレーム記憶部から読出す際の水平方向のタイミングを規定する水平読出ドットクロック信号を前記第２の映像信号の同期信号から作成するための第３のＰＬＬ回路と、前記位相補正後の第１の映像信号を前記フレーム記憶部から読出す際の垂直方向のタイミングを規定する垂直読出ラインクロック信号を前記第２の映像信号の同期信号から作成するための第４のＰＬＬ回路とを備え、前記第３と第４のＰＬＬ回路によって前記水平読出ドットクロック信号と前記垂直読出ラインクロック信号の周波数をそれぞれ調整することにより、前記フレーム記憶部から読出される映像を変倍する。
【００２３】
こうすれば、第１の映像信号をフレーム記憶部から読出す際に、映像を変倍することができる。
【００２４】
請求項８に記載された映像表示装置では、前記第１と第２の映像信号は、それぞれ異なる表示解像度の映像を表わす映像信号である。
【００２５】
このように、表示解像度が異なる映像を表わす２つの映像信号も、切換えて表示することが可能である。
【００２６】
請求項９に記載された映像表示装置では、さらに、第３のオペレーティングシステムによって管理される第３の映像記憶部と、前記第３の映像記憶部に記憶された第３の映像信号を読出して出力する第３の映像制御部と、前記第１のビデオスイッチから出力された映像信号を前記第３の映像信号の同期信号に同期させる第２の位相補正部と記第３の映像信号と、前記第２の位相補正部によって補正された映像信号のうちの一方を選択して前記モニタに出力する第２のビデオスイッチと、を備える。
【００２７】
こうすれば、３つの映像を切換えて表示することが可能である。
【００２８】
【実施例】
Ａ．装置の全体構成と動作：
図１は、本発明の第１の実施例としての映像表示装置を備えたコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、中央演算処理装置であるＣＰＵ６２０と、読み／書き可能な記憶部であるＲＡＭ部２と、読出専用記憶部であるＲＯＭ部３と、外部の入力／出力を制御するＩ／Ｏ部４とを備えている。また、Ｉ／Ｏ部４の入力手段としてのキーボード５およびマウス６と、大容量の記憶を有する外部記憶部７と、外部との情報通信交換の入出力のための通信部８とを備えている。
【００２９】
このコンピュータシステムは、さらに、フレームメモリとしての第１映像記憶部１２および第２映像記憶部１３と、第１映像記憶部１２内の映像データを読出して第１の映像信号ＶＶＳ１に変換する第１映像制御部１０と、第２映像記憶部１３内の映像データを読出して第２の映像信号ＶＶＳ２に変換する第２映像制御部１１と、第１の映像信号ＶＶＳ１の位相を補正する位相補正部１４と、ビデオスイッチ１５と、マルチスキャンモニタ１６とを備えている。２つの映像信号ＶＶＳ１，ＶＶＳ２は互いに非同期（すなわち同期信号が互いに同期していない）である。
【００３０】
２つの映像記憶部１２，１３は、２つのＯＳによってそれぞれ管理されている。すなわち、第１映像記憶部１２は第１のＯＳ（例えばＭＳ－ＤＯＳ）の管理下にあり、第２映像記

憶部１３は第２のＯＳ（例えばＭＳ－Ｗｉｎｄｓｏｗｓ）の管理下にある。メモリマップは、前述した図２２に示すものと同様である。

【００３１】

２つの映像記憶部１２，１３に記憶される映像データの形式は互いに異なっているので、２つの映像制御部１０，１１も異なる機能を有している。第２映像記憶部１３に記憶される映像データは、モニタ１６の各ドット毎にＲＧＢの各色を例えば８ビットで表わしたビットマップデータである。従って、第２映像制御部１１はＲＧＢ各色のデータを、所定の同期信号ＲＳＹＮＣに応じたアナログ輝度信号に変換する機能を有している。

【００３２】

第１映像記憶部１２は、テキストＶＲＡＭとグラフィックＶＲＡＭとを含んでいる。テキストＶＲＡＭには、映像が文字である場合には文字を表わす文字コードと、各文字の属性（文字の色、反転表示、ブリンク表示等）を表わすアトリビュートデータとが記憶される。アトリビュートデータでは、例えば文字の色は３ビットによって８色のうちの１色が指定されている。グラフィックＶＲＡＭには、そのグラフィックをドット毎に表わすビットマップデータが記憶される。グラフィックのビットマップデータは、３ビットで８色中の１色を指定する場合や、４ビットで１６色中の１色が指定する場合がある。第１映像制御部１０は、文字コードをビットマップデータに変換するキャラクタジェネレータと、文字に属性を与えるアトリビュートジェネレータと、グラフィックデータの色を変換するカラーパレットと、文字画像とグラフィックとを合成するビデオマルチプレクサとしての機能を有している。第１映像制御部１０は、これらの機能によって、モニタ１６の各ドットに対する輝度信号を含む映像信号ＶＶＳ１を生成している。

【００３３】

図２は、位相補正部１４とビデオスイッチ５の機能を示す説明図である。位相補正部１４は、第１の映像信号ＶＶＳ１を、第２の映像信号ＶＶＳ２の同期信号ＲＳＹＮＣに同期させる機能を有している。このような機能を「位相補正」と呼ぶ。すなわち、第１の映像信号ＶＶＳ１は、位相補正部１４において映像信号ＶＶＳ２の同期信号ＲＳＹＮＣに同期するように位相補正されて、位相補正後の映像信号ＶＶＳ３となる。位相補正部１４は、さらに、位相補正後の第１の映像信号ＶＶＳ３と第２の映像信号ＶＶＳ２の一方を選択するための切換信号ＶＳＥＬを生成し、ビデオスイッチ１５に供給している。位相補正部１４は、ＣＰＵバス６１０を介してＣＰＵ６２０によって制御されており、切換信号ＶＳＥＬはＣＰＵ６２０からの指示に基づいて生成される。この結果、ビデオスイッチ１５は、２つの映像信号ＶＶＳ２，ＶＶＳ３を合成した映像信号ＶＶＳ４をモニタ１６に出力する。図２の下部に示すように、モニタ１６には、第２の映像信号ＶＶＳ２によって表わされる映像ＶＶＳ２Ｘの中に、位相補正後の第１の映像信号ＶＶＳ３によって表わされる映像ＶＶＳ３Ｘが合成された映像が表示される。

【００３４】

このコンピュータシステムでは、ＣＰＵ６２０によって第１映像記憶部１０内の映像データを第２映像記憶部１１に転送する必要がなく、２つの映像信号ＶＶＳ１，ＶＶＳ２を位相補正部１４とビデオスイッチ１５とによって合成しているので、２つの映像を切換えつつ高速に表示することが可能である。

【００３５】

図３は、位相補正部１４の概略構成を示すブロック図である。位相補正部１４は、Ａ－Ｄ変換器２１０と、フレーム記憶部３１０と、Ｄ－Ａ変換器４１０と、書込制御部２００と、読出制御部４００とを備えている。

【００３６】

第１の映像信号ＶＶＳ１は、輝度信号（コンポーネント映像信号）ＷＬと、垂直同期信号ＷＶと、水平同期信号ＷＨとで構成されている。輝度信号ＷＬは、ＲＧＢの色信号である。第２の映像信号ＶＶＳ２は、輝度信号（コンポーネント映像信号）ＲＬと、垂直同期信号ＲＶと、水平同期信号ＲＨとで構成されている。なお、図２に示した同期信号ＲＳＹＮＣは、垂直同期信号ＲＶと水平同期信号ＲＨとを含んでいる。

【００３７】
第１の映像信号ＶＶＳ１の輝度信号ＷＬは、Ａ－Ｄ変換器２１０によって輝度データＷＬＤに変換される。書込制御部２００は、垂直同期信号ＷＶと水平同期信号ＷＨとに応じて書込アドレスＷＡＤＤと書込制御信号ＷＣＯＮＴをフレーム記憶部３１０に供給し、輝度データＷＬＤをフレーム記憶部３１０に書込む。このように、第１の映像信号ＶＶＳ１の輝度信号ＷＬは、その同期信号ＷＶ，ＷＨに同期して３ポート映像メモリ３１０に書き込まれるので、第１の映像信号ＶＶＳ１に忠実に対応した映像データが３ポート映像メモリ３１０に記憶される。
【００３８】
読出制御部４００は、第２の映像信号ＶＶＳ２の垂直同期信号ＲＶと水平同期信号ＲＨに応じて読出アドレスＲＡＤＤと読出制御信号ＲＣＯＮＴをフレーム記憶部３１０に供給し、フレーム記憶部３１０に記憶された輝度データＷＬＤを読出す。読出された輝度データＷＬＤＲは、Ｄ－Ａ変換器４１０によってアナログの輝度信号ＷＬＲに変換される。この輝度信号ＷＬＲは、第２の映像信号ＶＶＳ２の同期信号ＲＶ，ＲＨとともに、位相補正後の映像信号ＶＶＳ３として出力される。このように、３ポート映像メモリ３１０に記憶された映像データＷＬＤＲは、第２の映像信号ＶＶＳ２の同期信号ＲＶ，ＲＨに同期して読出されるので、この映像データＷＬＤＲがＤ－Ａ変換器４１０で変換された映像信号ＶＶＳ３は、第２の映像信号ＶＶＳ２に同期したものとなる。
【００３９】
このように、位相補正後の映像信号ＶＶＳ３は第２の映像信号ＶＶＳ２に同期しているので、ビデオスイッチ１５によって２つの映像信号ＶＶＳ２，ＶＶＳ３を単に切換えて出力するだけで、これらを合成することができる。
【００４０】
なお、読出制御部４００は、第２の映像信号ＶＶＳ２の輝度信号ＲＬのレベルに応じて切換信号ＶＳＥＬのレベルを調整し、輝度信号ＲＬのレベルが特定の範囲にある場合にのみ輝度信号ＲＬによる映像を表示させるクロマキー制御手段を備えるようにすることも可能である。
【００４１】
図４は、位相補正部１４とビデオスイッチ１５の内部構成の一例を示すブロック図である。書込制御部２００はディジタイズ制御部２２０を含んでおり、また、読出制御部４００はスーパーインポーズ制御部４２０と２つのバッファ６２，６３を含んでいる。
【００４２】
Ａ－Ｄ変換器２１０は、第１の映像信号ＶＶＳ１の輝度信号ＷＬを、ディジタイズ制御部２２０から出力されるクロック信号ＣＫＡＤに同期してディジタルＲＧＢ信号ＷＬＤに変換する。３ポート映像記憶部３１０は、図３のフレーム記憶部に相当する。ディジタイズ制御部２２０は、Ａ－Ｄ変換器２１０にクロック信号ＣＫＡＤを供給するとともに、３ポート映像メモリ３１０に書込アドレスＷＡＤＤと書込制御信号ＷＣＯＮＴとを供給する。３ポート映像メモリ３１０から読出された映像データＷＬＤＲは、Ｄ－Ａ変換器４１０によってアナログＲＧＢ信号である映像信号ＶＶＳ３に変換される。スーパーインポーズ制御部４２０は、Ｄ－Ａ変換器４１０にクロック信号ＣＫＤＡを供給するとともに、３ポート映像メモリ３１０に読出アドレスＲＡＤＤと読出制御信号ＲＣＯＮＴとを供給する。以下ではまず、ディジタイズ制御部２２０の内部構成と動作を説明し、次に、スーパーインポーズ制御部の内部構成と動作を説明する。
【００４３】
Ｂ．ディジタイズ制御部２２０の内部構成と動作：
図５は、ディジタイズ制御部２２０及びその周辺回路の詳細なブロック回路図である。本実施例では、３ポート映像メモリ３１０として、例えばソニー社製ＣＸＫ１２０６又は富士通社製ＭＢ８１Ｃ１５０１を用いている。ここでは、３ポート映像メモリ３１０の書込ポートのみを用いて説明する。この３ポート映像メモリ３１０の書込ポートについては、ソニー社製のデータシート７１２１５－ＳＴの第２１頁から第２６頁までに特性タイミン

グチャートが記載されている。上記３ポート映像メモリ３１０は９６０行（ＣＯＬＵＭＮ）×３０６列（ＲＯＷ）×４ビット構成であり、これがＲ，Ｇ，Ｂに対してそれぞれ設けられている。従って、一有効水平走査期間を９６０ドット×３色で４ビット／ドットに量子化したデータを記憶することが可能である。

【００４４】

又、上記３ポート映像メモリ３１０のアクセスは、行をブロック単位、列をライン単位として行なわれる。３ポート映像メモリ３１０において、ＤＩＮ０～ＤＩＮ３はディジタルＲＧＢ信号を入力するデータ入力端子、ＡＤＤ０～ＡＤＤ３はアドレス入力端子、ＣＫＷ０はポート０シフト信号端子、ＩＮＣ０はポート０ラインインクリメント端子、ＨＣＬＲ０はポート０水平クリア端子、ＶＣＬＲ０はポート０垂直クリア端子、ＷＥ（負論理　）はポート０ライトイネーブルの信号端子である。上記ディジタルＲＧＢ信号のＲ，Ｇ，Ｂは、それぞれ例えば４ビット信号である。

【００４５】

図５において、２２１は水平書込ドットクロック信号ＨＷＤＣＫ及び基本同期信号ＢＳＹＮＣを出力する水平書込ドットクロック発生回路を示し、２２２は水平書込開始信号ＨＷＳ及びＨＣＬＲ０信号を出力する水平書込開始カウンタを示し、２２３は水平書込回数信号ＨＷＴを出力する水平書込回数カウンタを示す。また、符号２２４は垂直書込ラインクロック信号ＶＷＬＣＫを出力する垂直書込ラインクロック発生回路を示し、２２５は垂直書込開始信号ＶＷＳを出力する垂直書込開始カウンタを示し、２２６は垂直書込回数信号ＶＷＴを出力する垂直書込回数カウンタを示し、２２７は３ポート映像メモリ３１０の垂直方向の書込開始位置を指定する垂直書込オフセット信号ＶＷＯＦＴを出力する垂直書込オフセットカウンタを示している。また、ＯＲ回路２２８は垂直書込ラインクロック信号ＶＷＬＣＫと垂直書込オフセット信号ＶＷＯＦＴのいずれかをポート０ラインインクリメント信号ＩＮＣ０として出力するものであり、ＡＮＤ回路２２９は水平書込ドットクロック信号ＨＷＤＣＫ、水平書込開始信号ＨＷＳ、水平書込回数信号ＨＷＴの反転出力、垂直書込開始信号ＶＷＳ、および、垂直書込回数信号ＶＷＴの反転出力、の５つの信号の論理積を作成して書込許可信号ＷＥＮＢＬを出力するものである。ＮＯＲ回路２３０は、垂直同期信号ＷＶ、ＨＣＬＲ０信号、ＯＲ回路２２８の出力信号、及び、ＡＮＤ回路２２９が出力する書込許可信号ＷＥＮＢＬ、の４つの信号のＯＲ－ＮＯＴ論理演算を行い、ポートライトイネーブル信号ＷＥを出力するものである。

【００４６】

第１の映像信号ＶＶＳ１の水平同期信号ＷＨは、水平書込ドットクロック発生回路２２１、水平書込開始カウンタ２２２、水平書込回数カウンタ２２３及び垂直書込開始カウンタ２２５に与えられる。又、第１の映像信号ＶＶＳ１の垂直同期信号ＷＶは、ＡＮＤ回路８１０を介して、垂直書込ラインクロック発生回路２２４、垂直書込開始カウンタ２２５、垂直書込回数カウンタ２２６、垂直書込オフセットカウンタ２２７、３ポート映像メモリ３１０のポート垂直クリア端子ＶＣＬＲ０及びＮＯＲ回路２３０に与えられる。

【００４７】

図６は、ディジタイズ制御部２２０内の各回路２２１～２２７内の設定値の機能を示す説明図である。以下ではこれらの各回路の機能とその設定値の意味について順次説明する。

【００４８】

水平書込ドットクロック発生回路２２１は、ＣＰＵ６２０で指定された周波数を有し水平同期信号ＷＨに同期した水平書込ドットクロック信号ＨＷＤＣＫを発生するＰＬＬ回路である。この水平書込ドットクロック信号ＨＷＤＣＫは、Ａ－Ｄ変換のサンプリングタイミングを規定するクロック信号ＣＫＡＤとしてＡ－Ｄ変換器２１０に与えられている。この水平書込ドットクロック信号ＨＷＤＣＫは、また、水平書込開始カウンタ２２２、水平書込回数カウンタ２２３及びＡＮＤ回路２２９へも送出される。

【００４９】

ところで、３ポート映像メモリ３１０は適当なブロック単位に分けられてアドレスプリセットが行われる。ここで、３ポート映像メモリ３１０のアドレスプリセットの１ブロック

単位を６０ドット、アナログ映像信号の一有効水平走査期間を４６（μｓ）とした場合、上記水平書込ドットクロック発生回路２２１で発生される水平書込ドットクロック信号ＨＷＤＣＫの周波数は、

６０（ドット）／４６・１０$^{-6}$（ｓ）＝１．３（ＭＨＺ）

になる。この水平書込ドットクロック信号ＨＷＤＣＫにより、一有効水平走査期間のアナログＲＧＢ信号が６０ドット×３色で量子化されることになる。実際には３ポート映像メモリ３１０は９６０ドット（１６ブロック）により一有効水平走査期間のデータを格納するように構成されている。従って、

１．３（ＭＨＺ）×１６（ブロック）＝２１（ＭＨＺ）

の水平書込ドットクロックＨＷＤＣＫを用いれば、一有効水平走査期間のディジタルＲＧＢ信号を９６０ドットで記憶できる。また、一有効水平走査期間のＲＧＢ信号を１０ブロック（６００ドット）で記憶する場合には、

１．３（ＭＨＺ）×１０（ブロック）＝１３（ＭＨＺ）

の水平書込ドットクロックＨＷＤＣＫが用いられる。

【００５０】

このように、水平書込ドットクロック発生回路２２１は、３ポート映像メモリ３１０のアドレスプリセットのブロック単位（６０ドット）及び使用するブロックの数（１～１６）の値に基づく周波数の水平書込ドットクロック信号ＨＷＤＣＫを出力する。なお、使用するブロックの数の値はパーソナルコンピュータ内のＣＰＵ６２０が設定する。

【００５１】

水平書込ドットクロック発生回路２２１はさらに、３ポート映像メモリ３１０のポートシフト信号端子ＣＫＷ０（３ポート映像メモリ３１０の水平方向の書込許可と書込アドレスをドット単位でインクリメントする信号）のクロックとして用いられる基本同期信号ＢＳＹＮＣも発生する。ここで、クロック信号ＣＫＡＤと基本同期信号ＢＳＹＮＣについて考察すると、アナログＲＧＢ信号をディジタル変換するクロック信号ＣＫＡＤの周期は、基本同期信号ＢＳＹＮＣに同期しており、３ポート映像メモリ３１０の水平方向の書込許可制御と、ドット単位でのアドレス・インクリメント制御とを行なう。

【００５２】

上記の水平書込ドットクロック発生回路２２１により発生された基本同期信号ＢＳＹＮＣは、各制御回路に対して基本的な同期をとる信号として、水平書込開始カウンタ２２２、水平書込回数カウンタ２２３、垂直書込ラインクロック発生回路２２４、垂直書込開始カウンタ２２５、垂直書込回数カウンタ２２６、垂直書込オフセットカウンタ２２７及び３ポート映像メモリ３１０へ与えられる。

【００５３】

図６に示すように、水平書込ドットクロック信号ＨＷＤＣＫの周波数ｆＨＷＤＣＫ　と、基本同期信号ＢＳＹＮＣの周波数ｆＢＳＹＮＣ　の比（ｆＨＷＤＣＫ　／ｆＢＳＹＮＣ　）は、第１の映像信号ＶＶＳ１で表わされる映像（図６（Ａ））と、３ポート映像メモリ３１０に書き込まれる映像（図６（Ｂ））の水平方向の変倍率ＭＨ１に等しい。従って、水平書込ドットクロック信号ＨＷＤＣＫの周波数ｆＨＷＤＣＫ　を調整することによって、３ポート映像メモリ３１０に書き込まれる映像を水平方向に拡大したり縮小したりすることが可能である。

【００５４】

垂直書込ラインクロック発生回路２２４は、垂直同期信号ＷＶに同期し垂直同期信号ＷＶの周波数ｆＷＶのＮ倍の周波数ｆＶＷＬＣＫ　を有する垂直書込ラインクロック信号ＶＷＬＣＫを発生し、垂直書込回数カウンタ２２６及びＯＲ回路２２８へ送出するＰＬＬ回路である。なお、上記Ｎ倍の値はＣＰＵ６２０が設定する。図６に示すように、垂直書込ラインクロック信号ＶＷＬＣＫの周波数ｆＶＷＬＣＫ　と、水平同期信号ＷＨの周波数ｆＷＨの比（ｆＶＷＬＣＫ　／ｆＷＨ）は、第１の映像信号ＶＶＳ１で表わされる映像（図６（Ａ））と、３ポート映像メモリ３１０に書き込まれる映像（図６（Ｂ））の垂直方向の縮小率ＭＶ１に等しい。従って、垂直書込ラインクロック発生回路２２４内の設定値Ｎの

値を調節し、垂直書込ラインクロック信号ＶＷＬＣＫの周波数ｆＶＷＬＣＫ　を変えることによって、３ポート映像メモリ３１０に書き込まれる映像を垂直方向に拡大することが可能である。

【００５５】

水平書込開始カウンタ２２２は、水平同期信号ＷＨによりリセットされた後、水平書込ドットクロック信号ＨＷＤＣＫのパルスをＣＰＵ６２０により指定されたクロック数Ｎ２２２　だけカウントすると、水平書込開始信号ＨＷＳを出力する。この水平書込開始信号ＨＷＳは、アナログ映像信号の有効水平走査期間中において、ＣＰＵ６２０が指定したドット位置から量子化を許可する信号である。この水平書込開始信号ＨＷＳを発生した後、水平書込開始カウンタ２２２は３ポート映像メモリ３１０にポート０水平クリア信号ＨＣＬＲ０を１クロックだけ送出する。

【００５６】

なお、図６（Ａ）に示すように、水平書込開始カウンタ２２２の設定値Ｎ２２２　は、第１の映像信号ＶＶＳ１で表わされる有効水平走査期間の中で、３ポート映像メモリ３１０に書き込まれる映像部分（図中破線で囲む領域）の水平方向の開始位置を示している。

【００５７】

水平書込回数カウンタ２２３は、水平同期信号ＷＨによりリセットされた後、水平書込開始信号ＨＷＳが与えられると、水平書込ドットクロック信号ＨＷＤＣＫのクロック数のカウントを開始し、アナログ映像信号の有効水平走査期間でＣＰＵ６２０により指定されたクロック数Ｎ２２３　だけカウントすると、アナログＲＧＢ信号の量子化を許可する水平書込回数信号ＨＷＴを送出する。従って、水平書込回数カウンタ２２３は有効水平走査期間を制御することになり、水平方向についてどの部分まで画像を有効とするか選定できる。

【００５８】

図６（Ｂ）に示すように、水平書込回数カウンタ２２３の設定値Ｎ２２３　は、３ポート映像メモリ３１０に書き込まれる映像部分の水平方向のドット数を示している。

【００５９】

垂直書込開始カウンタ２２５は、垂直同期信号ＷＶによりリセットされた後、水平同期信号ＷＨのクロックをＣＰＵ６２０から指定されたクロック数Ｎ２２５　だけカウントすると、有効水平走査のアナログＲＧＢ信号の量子化を許可する垂直書込開始信号ＶＷＳをＡＮＤ回路２２９及び垂直書込回数カウンタ２２６へ出力する。

【００６０】

図６（Ａ）に示すように、垂直書込開始カウンタ２２５の設定値Ｎ２２５　は、第１の映像信号ＶＶＳ１で表わされる有効映像領域（実線で囲む領域）の中で、３ポート映像メモリ３１０に書き込まれる映像部分（破線で囲む領域）の垂直方向の開始位置を示している。

【００６１】

垂直書込回数カウンタ２２６は、垂直同期信号ＷＶによりリセットされた後、垂直書込開始信号ＶＷＳが与えられると、垂直書込ラインクロック信号ＶＷＬＣＫのクロックのカウントを開始し、クロック数がＣＰＵ６２０により指定されたクロック数Ｎ２２６　に達する間だけ、アナログＲＧＢ信号の量子化を許可する垂直書込回数信号ＶＷＴを送出する。従って、垂直書込回数カウンタ２２６により垂直有効走査期間が制御されることになり、垂直方向についてどのライン部分まで画像を有効とするか決定される。

【００６２】

図６（Ｂ）に示すように、垂直書込回数カウンタ２２６の設定値Ｎ２２６　は、３ポート映像メモリ３１０に書き込まれる映像部分の垂直方向のライン数を示している。

【００６３】

３ポート映像メモリ３１０の表示画面に対する水平方向の書込位置、すなわちＣＯＬＵＭＮ方向の書込位置は、アドレス・プリセットモードにより、ＣＰＵ６２０が、量子化したディジタルＲＧＢ信号の６０ドット×３色を１ブロックとしてブロック指定して行う。こ

のときのブロック指定は、アドレス入力信号ＡＤＤ０～ＡＤＤ３によって１６段階で行なう。すなわち、アドレス入力信号ＡＤＤ０～ＡＤＤ３は図６（Ｃ）に示すように、３ポート映像メモリ３１０における書込開始位置を示している。なお、アドレス入力信号ＡＤＤ０～ＡＤＤ３は、ＣＰＵ６２０より設定される。

【００６４】

図６（Ｃ）に示すように、３ポート映像メモリ３１０の表示画面に対する垂直方向の書込開始位置は、垂直書込オフセットカウンタ２２７の設定値Ｎ２２７　によって規定される。すなわち、垂直書込オフセットカウンタ２２７は、垂直同期信号ＷＶによりリセットされた後、基本同期信号ＢＳＹＮＣに同期しながら３ポート映像メモリ３１０の垂直方向の書込位置をオフセットする垂直書込オフセット信号ＶＷＯＦＴ及びラインインクリメント信号ＩＮＣ０を、ＣＰＵ６２０により指定されたライン数Ｎ２２７　に等しいパルス数だけ送出することにより、３ポート映像メモリ３１０の垂直方向の書込開始位置を制御する。

【００６５】

図７は、ディジタイズ制御部２２０の動作を示すタイミングチャートである。（１）まず、垂直同期信号ＷＶがハイレベル『Ｈ』になると（図７（ａ）参照）、垂直書込開始カウンタ２２５、垂直書込回数カウンタ２２６及び垂直書込オフセットカウンタ２２７がリセットされ、垂直書込開始信号ＶＷＳ及び垂直書込回数信号ＶＷＴがローレベル『Ｌ』になる（図７（ｄ）及び（ｅ）参照）。

【００６６】

（２）垂直書込オフセットカウンタ２２７は基本同期信号ＢＳＹＮＣから垂直書込オフセット信号ＶＷＯＦＴを作成して、この垂直書込オフセット信号ＶＷＯＦＴのクロックを２クロック分だけ出力する（図７（ｈ）参照）。この垂直書込オフセット信号ＶＷＯＦＴがＯＲ回路２２８を介して３ポート映像メモリ３１０のポート０ラインインクリメント信号端子ＩＮＣ０に与えられ、３ポート映像メモリ３１０は垂直方向のアドレスが２回インクリメントされることになり、３ポート映像メモリ３１０内のどの水平ラインから書込みを開始するかがオフセットされる。

【００６７】

（３）一方、垂直書込開始カウンタ２２５は、水平同期信号ＷＨのクロック数がＣＰＵ６２０により指定された数Ｎ２２５　になると、垂直書込開始信号ＶＷＳをハイレベル『Ｈ』にして、垂直有効走査期間の量子化を許可する（図７（ｄ）参照）。これにより、アナログ映像信号による画面のどの水平ラインを有効とするかを制御できる。

【００６８】

（４）垂直書込オフセット信号ＶＷＯＦＴのクロックを得た３ポート映像メモリ３１０は、上記（２）の動作により垂直書込アドレスがオフセットされ、水平同期信号ＷＨがハイレベル『Ｈ』になる（図７（ｊ）参照）と、水平書込開始カウンタ２２２及び水平書込回数カウンタ２２３がリセットされ、水平書込開始信号ＨＷＳ及び水平書込回数信号ＨＷＴをローレベル『Ｌ』にする（図７（ｎ）及び（ｏ）参照）。又、水平書込ドットクロック発生回路２２１は水平書込ドットクロック信号ＨＷＤＣＫを出力する（図７（ｍ）参照）。この水平書込ドットクロック信号ＨＷＤＣＫを受けたＡ－Ｄ変換器２１０は、水平書込ドットクロック信号ＨＷＤＣＫをサンプリングホールド信号及びデータラッチ信号として使用して動作し、アナログＲＧＢをサンプリングする。

【００６９】

また、水平書込開始カウンタ２２２は、水平書込ドットクロック信号ＨＷＤＣＫのクロック数をカウントし、そのカウント値がＣＰＵ６２０により指定された数Ｎ２２２　になると、水平書込開始信号ＨＷＳをハイレベル『Ｈ』にして、有効水平走査期間の量子化を許可する（図７（ｎ）参照）。これと同時に、水平書込開始カウンタ２２２は、３ポート映像メモリ３１０のポート０水平クリア信号ＨＣＬＲ０に１クロック出力して、書き込み準備をする。

【００７０】

このとき、ＡＮＤ回路２２９はハイレベル『Ｈ』の水平書込開始信号ＨＷＳ、反転入力されるローレベル『Ｌ』の垂直書込回数信号ＶＷＴの論理積を作成し、水平書込ドットクロック信号ＨＷＤＣＫを書込許可信号ＷＥＮＢＬとして、ＮＯＲ回路２３０へ送出することになる。さらに、ＮＯＲ回路２３０はハイレベル『Ｈ』のポート０水平クリア信号ＨＣＬＲ０、ハイレベル『Ｈ』の垂直同期信号ＷＶ、ハイレベル『Ｈ』の垂直書込オフセット信号ＶＷＯＦＴ又は垂直書込ラインクロック信号ＶＷＬＣＫ及び書込許可信号ＷＥＮＢＬのＮＯＴ－ＯＲ条件の論理演算を行い、３ポート映像メモリ３１０のライト０イネーブル信号端子ＷＥにライトイネーブル信号ＷＥとして送出する。

【００７１】

３ポート映像メモリ３１０はライトイネーブル信号ＷＥを受けて書込み可となり、Ａ－Ｄ変換器２１０から出力されるディジタルＲＧＢ信号が書き込まれる。同時に、水平書込回数カウンタ２２３は水平書込ドットクロック信号ＨＷＤＣＫのクロック数をカウントしており、そのカウント値がＣＰＵ６２０により指定された数Ｎ２２３　になるまで、輝度信号ＷＬＤの書き込みを許可する。そして、カウント値が指定された数Ｎ２２３　になると、水平書込回数カウンタ２２３は水平書込回数信号ＨＷＴをハイレベル『Ｈ』にして、書込を禁止する（図７（ｏ）参照）。

【００７２】

かくして、ディジタルＲＧＢ信号ＷＬＤが書き込まれる期間内において、垂直書込ラインクロック発生回路２２４が垂直書込ラインクロック信号ＶＷＬＣＫを出力するまでの間は、同一の垂直方向のラインアドレスに対して、水平方向の書込みが行なわれる。そして、垂直書込ラインクロック発生回路２２４が垂直書込ラインクロック信号ＶＷＬＣＫを、３ポート映像メモリ３１０のポート０ラインインクリメントＩＮＣ０信号として送出すると、３ポート映像メモリ３１０の垂直方向の書込ラインアドレスが「１」進む。

【００７３】

このようにして垂直方向への書込みが進み、垂直書込ラインクロック発生回路２２４から出力される垂直書込ラインクロック信号ＶＷＬＣＫのクロック数がＣＰＵ６２０により指定されたライン数Ｎ２２６　になると、垂直書込回数カウンタ２２６は垂直書込回数信号ＶＷＴをハイレベル『Ｈ』にして、垂直有効走査期間に対し、３ポート映像メモリ３１０の書込を停止する（図７（ｅ）参照）。この書込の停止は次の垂直同期信号ＷＶがハイレベル『Ｈ』になるまで続く。

【００７４】

上述したように本実施例では、垂直書込ラインクロック信号ＶＷＬＣＫと水平書込ドットクロック信号ＨＷＤＣＫをＣＰＵ６２０で任意の周波数に調整するとともに、Ａ－Ｄ変換器２１０及び３ポート映像メモリ３１０に出力する制御信号を制御することにより、ＣＰＵ６２０で映像データの転送を行なうことなく３ポート映像メモリ３１０に任意の縮小サイズで映像を書き込むことができる。さらに、水平方向については任意の拡大率で拡大することも可能である。

【００７５】

なお、上記動作はハイレベル『Ｈ』をアクティブ論理としたが、ローレベル『Ｌ』をアクティブ論理としても同じである。

【００７６】

本実施例の画像処理装置により、アナログ映像信号の任意の解像度、任意のアスペクト比、任意の領域のウィンドウ表示及びマルチストロボ静止画像の映像テクニックを、パーソナルコンピュータ内のＣＰＵ６２０により容易に操作できる。

【００７７】

Ｃ．スーパーインポーズ制御部４２０の詳細構成と動作：

図８は図３に示したスーパーインポーズ制御部４２０及びその周辺回路のブロック回路図である。又、ここに示される３ポート映像メモリ３１０は、３つの入出力ポートのうち読出ポートが使用される。ソニー社製ＣＸＫ１２０６のデータシート番号７１２１５－ＳＴの第２７頁～第３１頁には、上記の読出ポートに係るタイミングチャートが記載されてい

る。使用するポートは上記データシート第２頁のリードポート１である。
【００７８】
３ポート映像メモリ３１０では、メモリ駆動クロック信号ＨＤＣＫがポート１シフト信号端子ＣＫＲ１に、メモリ垂直／水平リセット信号ＭＲＳＴがポート１垂直クリア端子ＶＣＬＲ１に、水平方向リセット信号ＨＲＳＴがポート１水平クリア端子ＨＣＬＲ１に、垂直オフセット信号ＶＲＯＦＴ又は垂直読出ラインクロック信号ＶＲＬＣＫがポート１ラインインクリメント端子ＩＮＣ１に、ポート１出力イネーブルＲＥ１（負論理）がポート１出力イネーブル端子ＲＥ１（負論理）にそれぞれ与えられる。又、アナログＲＧＢ信号ＷＬＤＲ（Ｒ，Ｇ，Ｂ中の１データがそれぞれ）がポート１データ出力ＤＯ１０～ＤＯ１３から読み出される。
【００７９】
上記各端子に対応するポート１シフト信号ＣＫＲ１，ポート１垂直クリアＶＣＬＲ１、ポート１水平クリア信号ＨＣＬＲ１、ポート１ラインインクリメント信号ＩＮＣ１、ポート１出力イネーブルＲＥ１（負論理）により、読出制御されるアナログＲＧＢ信号ＷＬＤＲは、Ｒ，Ｇ，Ｂ毎に例えば４ビットで、それぞれポート１データ出力ＤＯ１０～ＤＯ１３より出力される。
【００８０】
図８のビデオスイッチ５１０は切換信号入力端子ＣＮＴに入力される切換信号ＶＳＥＬにより、Ａ端子又はＢ端子の入力をコモン端子Ｃから出力する。具体的には、切換信号ＶＳＥＬがハイレベル『Ｈ』のときにＢ端子の入力を、ローレベル『Ｌ』のときにＡ端子の入力を、それぞれＣ端子から出力する。ＣＰＵ６２０は、パーソナルコンピュータ内のＣＰＵバス６１０を介して各部を制御する。
【００８１】
図８の４２１は水平基準読出ドットクロック信号ＨＢＤＣＫを出力する水平基準読出ドットクロック発生器を示し、４２２は水平読出開始信号ＨＲＳＡ及び水平読出方向リセット信号ＨＲＳＴを出力する水平読出開始カウンタを示し、４２３は水平基準開始信号ＨＲＳＢを出力する水平６４クロックカウンタを示し、４２４は水平読出回数信号ＨＲＴを出力する水平読出回数カウンタを示し、４２５は水平読出ドットクロック信号ＨＤＤＡを出力する水平読出ドットクロック発生器を示す。また、垂直読出オフセットカウンタ４２６は、水平基準読出ドットクロック発生器４２１に同期したカウント数で、３ポート映像メモリ３１０の垂直方向の読出しラインのオフセットラインを決定する垂直読出オフセット信号ＶＲＯＦＴを出力する。垂直ブランキング数カウンタ４２７は垂直ブランキング終了信号ＶＢＥを出力し、垂直読出開始カウンタ４２８は垂直読出開始信号ＶＲＳを出力し、垂直読出回数カウンタ４２９は垂直読出回数信号ＶＲＴを出力し、垂直読出ラインクロック発生器４３０は垂直読出ラインクロック信号ＶＲＬＣＫを出力する。ＡＮＤ回路４３１は２つの映像信号ＶＶＳ２，ＶＶＳ３をスーパーインポーズさせる切換信号ＶＳＥＬを出力し、ＯＲ回路４３２は垂直読出オフセット信号ＶＲＯＦＴと垂直読出ラインクロック信号ＶＲＬＣＫを、ポート１ラインインクリメント信号ＩＮＣ１として出力し、ＮＯＲ回路４３３はリードイネーブルＲＥ１信号を出力する。また、符号４３４、４３５はトライステート回路、４３６はインバータ回路を示す。
【００８２】
色信号入力端子５０６から到来する映像信号ＶＶＳ２の色信号はビデオスイッチ５１０のＡ端子に与えられる。入力端子５０６の水平同期信号を成す同期端子５０７から到来する水平同期信号ＲＨは、水平基準読出ドットクロック発生器４２１、水平読出開始カウンタ４２２、水平６４クロックカウンタ４２３、水平読出回数カウンタ４２４、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８、垂直読出回数カウンタ４２９、垂直読出ラインクロック発生器４３０に与えられると共に、垂直同期信号ＲＶは、３ポート映像メモリ３１０、垂直読出オフセットカウンタ４２６、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８、垂直読出回数カウンタ４２９、垂直読出ラインクロック発生器４３０に与えられる。また、同期信号ＲＨ，ＲＶは、同期信号端子４９０、４

９１へもそれぞれ送出される。

【００８３】

ここで、水平同期信号ＲＨ及び垂直同期信号ＲＶの入出力について、図９を用いて説明する。水平同期信号ＲＨ及び垂直同期信号ＲＶは、バッファ６２，６１を介して同期信号端子４９０，４９１及びスーパーインポーズ制御部４２０中の図８に示す所要回路へ与えられる。このバッファ６１，６２はインピーダインズ変換・波形整形等の機能を有し、画像処理装置が縦続接続される場合でも、上記同期信号の的確な伝送に寄与する。また、水平同期信号ＲＨは水平基準読出ドットクロック発生器４２１内のＰＬＬ回路６３へ与えられ、ＣＰＵ６２０により指定された水平画面全体の水平解像度を規定する信号として水平基準読出ドットクロックＨＢＤＣＫが発生される。

【００８４】

ＰＬＬ回路６３は図１０に示されるように構成される。つまり、信号線７０から水平同期信号ＲＨが位相比較器７１へ与えられ、また、Ｎ分周期７４の出力が位相比較器７１へ与えられ、位相比較器７１ではこれらの信号の位相比較を行って位相差に対応したパルス幅の信号を出力する。位相比較器７１の出力はローパスフィルタ７２に与えられ平滑化され、ＶＣＯ７３へ与えられる。ＶＣＯ７３は与えられる電圧に応じた周波数で発振し、これが水平基準読出ドットクロックＨＢＤＣＫとされて各部へ送出されるとともに、Ｎ分周期７４へ与えられ、水平同期信号ＲＨの周波数にまで分周されて位相比較器７１へ戻される。この結果、水平同期信号ＲＨに同期した水平基準読出ドットクロックＨＢＤＣＫが作成される。

【００８５】

図８のスーパーインポーズ制御部４２０における水平読出開始カウンタ４２２、水平６４クロックカウンタ４２３及び水平読出回数カウンタ４２４は、水平同期信号ＲＨによりそのカウント値がそれぞれリセットされる。さらに、同期端子５０８から到来する垂直同期信号ＲＶは、３ポート映像メモリ３１０のポート１垂直クリアＶＣＬＲ１、ＮＯＲ回路４３３、垂直読出オフセットカウンタ４２６、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８、垂直読出回数カウンタ４２９、垂直読出ラインクロック発生器４３０及び同期信号端子４９１へそれぞれ送出される。また、垂直読出オフセットカウンタ４２６、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８および垂直読出回数カウンタ４２９は、垂直同期信号ＲＶによりそのカウント値がそれぞれリセットされる。

【００８６】

水平基準読出ドットクロック発生器４２１より発生された水平基準読出ドットクロック信号ＨＢＤＣＫは、水平読出開始カウンタ４２２、水平６４クロックカウンタ４２３、水平読出回数カウンタ４２４、垂直読出オフセットカウンタ４２６に与えられると共に、トライステート回路４３５を介して３ポート映像メモリ３１０のクロック信号ＨＤＣＫとして、３ポート映像メモリ３１０のポート１シフト信号端子ＣＫＲ１に送出される。

【００８７】

また、水平読出ドットクロック発生器４２５は、水平６４クロックカウンタ４２３からの水平読出基準信号ＨＲＳＢを基準とし、水平同期信号ＲＨの周波数のＮ１　倍の周波数の信号を出力するＰＬＬ回路により構成されており、水平読出ドットクロック信号ＨＤＤＡを出力する。この水平読出ドットクロック発生器４２５により発生された水平読出ドットクロック信号ＨＤＤＡは、トライステート回路４３４を介して３ポート映像メモリ３１０のクロック信号ＨＤＣＫとして３ポート映像メモリ３１０のポート１シフト信号端子ＣＫＲ１及びＤ－Ａ変換器４１０へ与えられ、ディジタルＲＧＢ信号ＷＬＤＲの読出クロック信号及びＤ－Ａ変換器４１０の変換クロック信号として用いられる。

【００８８】

図１１は、スーパーインポーズ制御部４２０内の各回路の設定値の機能を示す説明図である。図１１に示すように、水平基準読出ドットクロック信号ＨＢＤＣＫの周波数ｆＨＢＤＣＫ　と、水平読出ドットクロック信号ＨＲＤＣＫの周波数ｆＨＤＤＡの比（ｆＨＢＤＣ

Ｋ　／ｆＨＤＤＡ　）は、映像メモリ３１０から読出される映像（図１１（Ａ））と、モニタ１６に表示される映像（図１１（Ｂ））の水平方向の変倍率ＭＨ２に等しい。従って、水平読出ドットクロック信号ＨＤＤＡの周波数ｆＨＤＤＡを調整することによって、モニタ１６に表示される映像を水平方向に拡大したり縮小したりすることが可能である。

【００８９】

垂直読出ラインクロック発生器４３０は、垂直同期信号ＲＶに同期し、垂直同期信号ＲＶの周波数のＮ２　倍の周波数の信号を出力するＰＬＬ回路により構成されており、垂直読出ラインクロック信号ＶＲＬＣＫを出力する。この垂直読出ラインクロック発生器４３０により発生された垂直読出ラインクロック信号ＶＲＬＣＫは、ＯＲ回路４３２を介して３ポート映像メモリ３１０の垂直方向のアドレスであるラインアドレスを進めるポート１ラインインクリメント端子ＩＮＣ１に与えられると共に、ＯＲ回路４３２、ＮＯＲ回路４３３を介してポート１出力イネーブルＲＥ１端子（負論理）へ与えられる。

【００９０】

図１１に示すように、水平同期信号ＲＨの周波数ｆＲＨと、垂直読出ラインクロック信号ＶＲＬＣＫの周波数ｆＶＲＬＣＫ　の比（ｆＲＨ／ｆＶＲＬＣＫ　）は、３ポート映像メモリ３１０から読出された映像（図１１（Ａ））と、モニタ１６に表示される映像（図１１（Ｂ））の垂直方向の変倍率ＭＶ２に等しい。従って、垂直読出ラインクロック信号ＶＲＬＣＫの周波数ｆＶＲＬＣＫ　を調整することによって、モニタ１６に表示される映像を垂直方向に拡大・縮小することが可能である。

【００９１】

スーパーインポーズ制御部４２０は、これら水平基準読出ドットクロック信号ＨＢＤＣＫ、水平読出ドットクロック信号ＨＤＤＡ及び垂直読出ラインクロック信号ＶＲＬＣＫにより、基本的な読出しタイミングを得ている。

【００９２】

垂直読出オフセットカウンタ４２６は、３ポート映像メモリ３１０の読出ラインの開始オフセットライン位置を決めるため、垂直同期信号ＲＶによりカウント値がリセットされた後に、水平基準読出ドットクロック発生器４２１から出力される水平基準読出ドットクロック信号ＨＢＤＣＫに同期しながら、３ポート映像メモリ３１０の垂直方向のラインアドレスを歩進する垂直オフセット信号ＶＲＯＦＴをＯＲ回路４３２へ送出する。

【００９３】

図１１（Ａ）に示すように、垂直読出オフセットカウンタ４２６の設定値Ｎ４２６　は、３ポート映像メモリ３１０から読出される映像部分（図中破線で囲む領域）の垂直方向の開始位置を示している。

【００９４】

垂直ブランキング数カウンタ４２７は映像信号ＶＶＳ２の垂直バックポーチ領域を削除させるためのカウンタ（図示せず）を含んでいる。このカウンタは水平同期信号ＲＨのクロック数をカウントし、垂直バックポーチ領域を過ぎると垂直ブランキング終了信号ＶＢＥを垂直読出開始カウンタ４２８へ出力する。

【００９５】

垂直読出開始カウンタ４２８は、垂直ブランキング数カウンタ４２７から送出される許可信号（垂直ブランキング終了信号ＶＢＥ）を受けて、水平同期信号ＲＨのクロック数をカウントし、３ポート映像メモリ３１０からの垂直方向に対する読出開始許可信号（垂直読出開始信号）ＶＲＳを垂直読出回数カウンタ４２９へ出力する。

【００９６】

図１１（Ｃ）に示すように、垂直読出開始カウンタ４２８の設定値Ｎ４２８　は、３ポート映像メモリ３１０から読出された映像がモニタ１６の画面に表示される際の、垂直方向の表示開始位置を規定する。

【００９７】

垂直読出回数カウンタ４２９は、垂直読出開始カウンタ４２８から送出される許可信号（制御信号ＶＲＳ）を受けて、水平同期信号ＲＨのクロック数をカウントし、３ポート映像

メモリ３１０からの垂直方向に対する読出期間を示す信号、すなわち垂直読出回数信号ＶＲＴをＡＮＤ回路４３１へ出力する。

【００９８】

図１１（Ｂ），（Ｃ）に示すように、垂直読出回数カウンタ４２９の設定値Ｎ４２９　は、モニタ１６に表示される映像の垂直方向のライン数を規定する。

【００９９】

以上に説明した垂直読出オフセットカウンタ４２６、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８、垂直読出回数カウンタ４２９及び垂直読出ラインクロック発生器４３０により、３ポート映像メモリ３１０に対する垂直方向の読出し制御が行われる。

【０１００】

なお、垂直読出オフセットカウンタ４２６がカウントする水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数Ｎ４２６　、垂直ブランキング数カウンタ４２７がカウントする水平同期信号ＲＨのクロック数Ｎ４２７　、垂直読出開始カウンタ４２８がカウントする水平同期信号ＲＨのクロック数Ｎ４２８　、垂直読出回数カウンタ４２９がカウントする水平同期信号ＲＨのクロック数Ｎ４２９　、垂直読出ラインクロック発生器４３０内のＰＬＬ回路内のＮ分周器の値は、パーソナルコンピュータ内のＣＰＵ６２０によってそれぞれ所要の値に設定される。

【０１０１】

水平読出開始カウンタ４２２は、水平基準読出ドットクロック発生器４２１から送出される水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数をカウントし、３ポート映像メモリ３１０の水平方向に対する読出開始許可信号（水平読出開始信号ＨＲＳＡ）を水平６４クロックカウンタ４２３へ送出する。

【０１０２】

図１１（Ｃ）に示すように、水平読出開始カウンタ４２２の設定値Ｎ４２２　は、３ポート映像メモリ３１０から読出された映像がモニタ１６の画面に表示される際の、水平方向の表示開始位置を規定する。

【０１０３】

水平６４クロックカウンタ４２３は水平読出開始カウンタ４２２から送出される許可信号（水平読出開始信号ＨＲＳＡ）を受けて、水平基準読出ドットクロック発生器４２１から出力される水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数をカウントする。そして、そのカウント値が３ポート映像メモリ３１０の読出時の特性である６４クロックになると、水平読出基準信号ＨＲＳＢを水平読出ドットクロック発生器４２５、水平読出回数カウンタ４２４及びＡＮＤ回路４３１へ出力する。

【０１０４】

水平読出回数カウンタ４２４は水平基準読出ドットクロック発生器４２１から送出される水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数をカウントし、３ポート映像メモリ３１０の水平方向に対する読出期間の許可信号（水平読出回数信号ＨＲＴ）をＡＮＤ回路４３１へ送出する。

【０１０５】

図１１（Ｂ），（Ｃ）に示すように、水平読出回数カウンタ４２４の設定値Ｎ４２４　は、モニタ１６に表示される映像の水平方向のドット数を規定する。

【０１０６】

かくして、水平読出開始カウンタ４２２、水平６４クロックカウンタ４２３及び水平読出回数カウンタ４２４により、３ポート映像メモリ３１０に対する水平方向の読出制御が行われる。なお、水平基準読出ドットクロック発生器４２１のＰＬＬ回路内の分周器の設定値と、水平読出ドットクロック発生器４２５のＰＬＬ回路内の分周器の設定値と、水平読出開始カウンタ４２２がカウントする水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数Ｎ４２２　と、水平読出回数カウンタ４２４がカウントする基準ドットクロック信号ＨＢＤＣＫのクロック数Ｎ４２４　は、パーソナルコンピュータ内のＣＰＵ６２０によ

ってそれぞれ所要の値に設定される。

【０１０７】

次に、スーパーインポーズ制御部４２０の動作について、図１２、図１３、図１４及び図１５を参照して説明する。なお、図１２は３ポート映像メモリ３１０の垂直方向の読出許可のタイミングチャートであり、図１３は３ポート映像メモリ３１０の垂直オフセットのタイミングチャートであり、図１４は３ポート映像メモリ３１０の水平方向の読出許可のタイミングチャートであり、図１５は３ポート映像メモリ３１０の水平方向の読み出しのタイミングチャートである。

【０１０８】

まず、３ポート映像メモリ３１０の水平方向の読出許可について、図１２を参照して説明する。垂直同期信号ＲＶがハイレベル『Ｈ』になると（図１２（ａ）参照）、垂直ブランキング数カウンタ４２７、垂直読出開始カウンタ４２８及び垂直読出回数カウンタ４２９がリセットされ、垂直ブランキング終了信号ＶＢＥ、垂直読出開始信号ＶＲＳ及び垂直読出回数信号ＶＲＴがそれぞれローレベル『Ｌ』になり（図１２（ｄ），（ｅ），（ｆ）参照）、垂直ブランキング数カウンタ４２７が水平同期信号ＲＨのクロック数をカウントし、垂直バックポーチ領域を過ぎると垂直ブランキング終了信号ＶＢＥをハイレベル『Ｈ』にする（図１２（ｄ）参照）。垂直ブランキング終了信号ＶＢＥがハイレベル『Ｈ』になると、垂直読出開始カウンタ４２８が水平同期信号ＲＨのクロック数のカウントを開始する。そして、垂直読出開始カウンタ４２８がＣＰＵ６２０の設定した値Ｎ４２８　をカウントすると、垂直読出開始信号ＶＲＳをハイレベル『Ｈ』にする（図１２（ｅ）参照）。垂直読出開始信号ＶＲＳがハイレベル『Ｈ』になると、３ポート映像メモリ３１０の垂直方向に対して、ディジタルＲＧＢ信号ＷＬＤＲの読みだしの開始が許可されたことになるので、垂直読出回数カウンタ４２９が水平同期信号ＲＨのクロック数のカウントを開始する。垂直読出回数カウンタ４２９がＣＰＵ６２０により設定された値Ｎ４２９　をカウントすると、垂直読出回数信号ＶＲＴをハイレベル『Ｈ』にする（図１２（ｆ）参照）。

【０１０９】

このため、水平読出基準信号ＨＲＳＢがハイレベル『Ｈ』、水平読出回数信号ＨＲＴがローレベル『Ｌ』であるときに、垂直読出開始信号ＶＲＳがハイレベル『Ｈ』であり、かつ垂直読出回数信号ＶＲＴがローレベル『Ｌ』である期間だけ、ＡＮＤ回路４３１からハイレベル『Ｈ』のスーパーインポーズさせる信号ＶＳＥＬが出力される垂直方向に対して条件が整う。従って、３ポート映像メモリ３１０では、この間の水平方向の読出許可に基づいてディジタルＲＧＢ信号ＷＬＤＲの読み出しが行われる。

【０１１０】

次に、３ポート映像メモリ３１０の垂直オフセットについて、図１３を参照して説明する。垂直同期信号ＲＶがハイレベル『Ｈ』になると（図１３（ａ）参照）、垂直読出オフセットカウンタ４２６はリセットされ、水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数のカウントを開始する。この垂直読出オフセットカウンタ４２６がＣＰＵ６２０の設定した値Ｎ４２６　までクロックをカウントしながら、垂直読出オフセット信号ＶＲＯＦＴをＯＲ回路４３２を介して３ポート映像メモリ３１０のポート１ラインインクリメントＩＮＣ１に与え（図１３（ｃ）参照）、３ポート映像メモリ３１０の垂直方向の読出アドレス値をオフセットする。

【０１１１】

そのとき、ＮＯＲ回路４３３に垂直同期信号ＲＶ及び垂直読出オフセット信号ＶＲＯＦＴが与えられているので、リードイネーブル信号ＲＥ１（負論理）が３ポート映像メモリ３１０のリードイネーブル端子ＲＥ１（負論理）に与えられ、ＣＰＵ６２０により設定された値までカウントすると垂直オフセットがなされるため、垂直読出オフセットカウンタ４２６は垂直読出オフセット信号ＶＲＯＦＴの出力を次の垂直同期信号ＲＶの到来まで停止する。

【０１１２】

次に、３ポート映像メモリ３１０の水平方向の読出し許可について、図１４を参照して説

明する。水平同期信号ＲＨが出力されると、水平読出開始カウンタ４２２、水平６４クロックカウンタ４２３及び水平読出回数カウンタ４２４がリセットされ、水平読出開始信号ＨＲＳＡ、水平読出基準信号ＨＲＳＢ及び水平読出回数信号ＨＲＴがローレベル『Ｌ』になる（図１４（ｄ），（ｅ），（ｆ）参照）。そこで、水平読出開始カウンタ４２２は水平基準読出ドットクロック発生器４２１が出力する水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数をカウントし、そのカウント値がＣＰＵ６２０に設定した値Ｎ４２１　になると、水平読出開始信号ＨＲＳＡをハイレベル『Ｈ』にする（図１４（ｄ）参照）。水平読出開始信号ＨＲＳＡがハイレベル『Ｈ』になると、水平６４クロックカウンタ４２３が基準読出ドットクロック信号ＨＢＤＣＫのクロック数のカウントを開始し、そのカウント値が６４になると、水平読出基準信号ＨＲＳＢをハイレベル『Ｈ』にする（図１４（ｅ）参照）。すると水平読出ドットクロック発生器４２５は、水平読出基準信号ＨＲＳＢに位相ロックされる。なお、水平６４クロックカウンタ４２３は３ポート映像メモリ３１０の特性上、「６４」のカウント値で水平読出基準信号ＨＲＳＢのハイレベル『Ｈ』を生じるもので、６４に限る訳ではない。

【０１１３】

上記水平読出基準信号ＨＲＳＢがハイレベル『Ｈ』になると、３ポート映像メモリ３１０の水平方向の読出が許可されたことになり、水平読出回数カウンタ４２４は水平基準読出ドットクロック信号ＨＢＤＣＫのクロック数のカウントを開始し、そのカウント値がＣＰＵ６２０の設定した値Ｎ４２４　になると、水平読出回数信号ＨＲＴをハイレベル『Ｈ』にする（図１４（ｆ）参照）。

【０１１４】

垂直読出開始信号ＶＲＳがハイレベル『Ｈ』、垂直読出回数信号ＶＲＴがローレベル『Ｌ』であるときに、水平読出基準信号ＨＲＳＢがハイレベル『Ｈ』であり、かつ水平読出回数信号ＨＲＴがローレベル『Ｌ』である期間だけ、水平読出回数信号ＨＲＴを受けるＡＮＤ回路４３１からは、ハイレベル『Ｈ』のスーパーインポーズ許可させる切換信号ＶＳＥＬが出力される。従って、３ポート映像メモリ３１０では、この間の垂直方向の読出許可に基づいて、ディジタルＲＧＢ信号ＷＬＤＲが読み出される。

【０１１５】

次に、３ポート映像メモリ３１０の水平方向の読み出しについて、図１５を参照して説明する　スーパーインポーズさせる信号ＶＳＥＬがハイレベル『Ｈ』となり（図１５（ｃ）参照）、水平読出ドットクロック発生器４２５が出力する水平読出ドットクロック信号ＨＤＤＡのクロックに基づいて（図１５（ｂ）参照）、３ポート映像メモリ３１０からのディジタル信号ＷＬＤＲの読みだし及びＤ－Ａ変換器４１０のアナログ変換が行われる。このときのリードイネーブル信号ＲＥ１も示されている（図１５（ｄ）参照）。

【０１１６】

一方、図８に示すように映像信号ＶＶＳ２はビデオスイッチ５１０のＡ点に入力され、又、３ポート映像メモリ３１０から読み出されてＤ－Ａ変換器４１０によりアナログ変換された映像信号ＶＶＳ３はビデオスイッチ５１０のＢ点に入力されている。従って、スーパーインポーズさせる切換信号ＶＳＥＬによるビデオスイッチ５１０の切り換えにより、ビデオスイッチ５１０の出力である映像信号ＶＶＳ４は、映像信号ＶＶＳ２で表わされる画像の中に、位相補正後の映像信号ＶＶＳ３で表わされる映像をはめ込んだ（スーパーインポーズした）画像を表わしている。なお、映像信号ＶＶＳ４は、ビデオスイッチ５１０から出力端子５０５に出力されるＲＧＢ信号と、出力端子４９０，４９１に出力される同期信号ＲＨ，ＲＶとで構成されている。

【０１１７】

なお、上述したタイミングチャートは、一例であり、各信号が正論理又は負論理であっても上述した動作をすることができる。

【０１１８】

又、図８においては、ハイレベル『Ｈ』のスーパーインポーズさせる切換信号ＶＳＥＬがＮＯＴ回路４３６を介してトライステート回路４３４に出力されているときは、トライス

テート回路４３４が動作して、水平読出ドットクロック信号ＨＤＤＡが駆動クロック信号ＨＤＣＫとして送出される。逆に、スーパーインポーズさせる信号ＶＳＥＬがローレベル『Ｌ』のときは、トライステート回路４３５が動作して、水平基準読出ドットクロック信号ＨＢＤＣＫが駆動クロック信号ＨＤＣＫとして３ポート映像メモリ３１０へ与えられている。

【０１１９】

すなわち、スーパーインポーズさせる切換信号ＶＳＥＬがハイレベル『Ｈ』でスーパーインポーズが行われるときには、水平読出ドットクロック発生器４２５から出力される水平読出ドットクロックＨＤＤＡにより３ポート映像メモリ３１０がアクセスされて、スーパーインポーズに十分な速度でディジタルＲＧＢ信号ＷＬＤＲの読出しが行われる。一方、スーパーインポーズさせる信号ＶＳＥＬがローレベル『Ｌ』でスーパーインポーズが行われないときには、水平基準読出ドットクロック発生器４２１から出力される水平基準読出ドットクロックＨＢＤＣＫにより３ポート映像メモリ３１０がアクセスされて、水平読出オフセット点までのアドレスの歩進や、スーパーインポーズが行われない水平／垂直領域のディジタルＲＧＢ信号のいわば読み飛しが行われ、次のスーパーインポーズされる信号ＶＳＥＬがハイレベル『Ｈ』となるタイミングに備えることになる。

【０１２０】

以上により、図１１（Ｃ）に示すように、映像信号ＶＶＳ３が映像信号ＶＶＳ２内にスーパーインポーズされる位置は、垂直方向が垂直読出開始カウンタ４２８からの垂直読出開始信号ＶＲＳで、水平方向が水平読出開始カウンタ４２２からの水平読出開始信号ＨＲＳＡにより決定される。また、スーパーインポーズされる表示サイズは、垂直方向が垂直読出回数カウンタ４２９からの垂直読出回数信号ＶＲＴで、水平方向が水平読出回数カウンタ４２４からの水平読出回数信号ＨＲＴにより決定される。

【０１２１】

また、図１１（Ａ），（Ｂ）に示すように、映像信号ＶＶＳ３による映像を拡大縮小表示させるには、垂直方向では垂直読出ラインクロック発生器４３０の垂直読出ラインクロック信号ＶＲＬＣＫ、水平方向では水平読出ドットクロック発生器４２５の水平読出ドットクロック信号ＨＤＤＡのそれぞれの周波数を低くすると拡大し、高くすると縮小させた表示が行える。

【０１２２】

図１６は、第１の実施例によって重畳された２つの映像のサイズの一例を示す説明図である。ここで、第２の映像信号ＶＶＳ２で表わされる映像ＶＶＳ２ＸをＭＳ－ＷＩＮＤＯＷＳの画面全体とし、第１の映像信号ＶＶＳ１をＭＳ－ＤＯＳの映像信号、映像信号ＶＶＳ１を位相補正して得られた映像信号ＶＶＳ３で表わされる映像ＶＶＳ３ＸをＤＯＳ－ＢＯＸのウィンドウとする。ＤＯＳ－ＢＯＸのウィンドウＶＶＳ３Ｘは、ＭＳ－ＷＩＮＤＯＷＳの画面ＶＶＳ２Ｘ内の任意の位置において縮小サイズＶＶＳ３ＸＺで表示されたり、拡大サイズＶＶＳ３ＸＸで表示させたりすることが容易にできる。

【０１２３】

また、図１６のように映像ＶＶＳ３Ｘを表示している際にも、ＣＰＵ６２０は映像ＶＶＳ３Ｘの表示に関与することなく、ＭＳ－ＤＯＳの処理に専念できる。そのため、従来のように、ＤＯＳ－ＢＯＸの映像データを第１映像記憶部１２から第２映像記憶部１３に転送する処理をＣＰＵ６２０が行なう場合に比べて高速な処理が実現できるという利点がある。

【０１２４】

なお、ＭＳ－ＷＩＮＤＯＷＳとＭＳ－ＤＯＳの解像度が同一解像度の場合にも、ＭＳ－ＷＩＮＤＯＷＳ表示画面内に、ＭＳ－ＤＯＳの画面表示サイズを縮小して、ＤＯＳ－ＢＯＸ表示画面とする表示も容易にできる。また、ＤＯＳ－ＢＯＸ表示の形状をクロマキーにより、複雑なものにすることも可能である。

【０１２５】

図１７は、位相補正後の映像を拡大・縮小した場合を示す説明図である。図１７（ａ）に

示すように、２種類の映像信号ＶＶＳ１ＹとＶＶＳ２Ｙがともに同じ画像表示密度（水平６４０ドット×垂直４８０ライン）の映像信号の場合に、本発明によると、図１６（ｂ）に示すように映像の一部を拡大表示しながら表示領域を小さくして映像ＶＶＳ３Ｙのように表示することができる。また、図１６（ｃ）のように、映像の全体を縮小しながら表示領域を小さくした映像ＶＶＳ３ＹＹを表示することもできる。

【０１２６】

また他の応用例として、本発明は図１に示す如くパソコンの内部に取り入れられた複数の映像信号を処理しているが、外部からＮＴＳＣ規格の映像信号を入力するための入力端子とデコーダとを設けるようにしてもよい。この場合には、第１映像制御部１０の出力と位相補正部１４との間に新たに第２のビデオスイッチを挿入する。この第２のビデオスイッチは、図１に示すビデオスイッチ１５と同様なスイッチであればよく、このスイッチの一端子はＮＴＳＣ信号の入力端子に、他の端子は第１映像制御部１０の出力端に接続され、この両者を第２のビデオスイッチで切り換えて、その出力端を位相補正部１４に入力する。その結果、パソコンの映像信号のみ位相補正するだけでなく、同様にして一般のテレビ信号として利用されているＮＴＳＣ信号であっても本発明に応用することがでる。

【０１２７】

Ｄ．第２の実施例：

図１８は、この発明の第２の実施例における位相補正部とその周辺回路の構成を示すブロック図である。この位相補正部の書込制御部２００ａは、図４に示す第１の実施例の位相補正部における書込制御部２００に、映像メモリ制御信号選択部３３０とＣＰＵデータ書込制御部３４０とを追加したものである。ＣＰＵデータ書込制御部３４０は、ＣＰＵ６２０から与えられた映像データを３ポート映像メモリ３１０に書き込む際の制御を行なう。映像メモリ制御信号選択部３３０は、ディジタイズ制御部２２０とＣＰＵデータ書込制御部３４０とから与えられた書込制御信号の一方を選択して３ポート映像メモリ３１０に供給する。

【０１２８】

Ａ－Ｄ変換器２１０と３ポート映像メモリ３１０の間には映像データ選択部３２０が介挿されている。この映像データ選択部３２０は、ＣＰＵデータ書込制御部３４０を介してＣＰＵ６２０から与えられた映像データと、Ａ－Ｄ変換器２１０から出力された映像データＷＬＤのうちの一方を選択して３ポート映像メモリ３１０に供給している。

【０１２９】

図１８の回路において、映像データを３ポート映像メモリ３１０に書き込む動作は次のように行なわれる。まず、ＣＰＵ６２０は、ＣＰＵデータ書込制御部３４０から切換制御信号ＣＣを出力させることによって、映像データ選択部３２０及び映像メモリ制御信号選択部３３０をＣＰＵデータ書込制御部３４０側に切り換える。この切換えにより、３ポート映像メモリ３１０には、ディジタイズ制御部２２０から出力される書込制御信号ＷＣＯＮＴではなく、ＣＰＵデータ書込制御部３４０から出力される書込制御信号ＷＥＰＣが与えられることになる。すなわち、ＣＰＵ６２０が出力するディジタルＲＧＢ信号が、ＣＰＵデータ書込制御部３４０及び映像データ選択部３２０を介して３ポート映像メモリ３１０へ与えられる。この結果、３ポート映像メモリ３１０にはＣＰＵデータ書込制御部３４０から送出される書込制御信号ＷＥＰＣにより、ＣＰＵ６２０より与えられるディジタルＲＧＢ信号が書き込まれることになる。こうして３ポート映像メモリ３１０に格納されたディジタルＲＧＢ信号は、スーパーインポーズ制御部４２０の制御により読み出される。

【０１３０】

このように、図１６に示す第２の実施例では、ＣＰＵ６２０から与えられる映像を直接３ポート映像メモリ３１０に書き込んで表示することが可能である。

【０１３１】

Ｅ．第３の実施例：

図１９は、本発明の第３の実施例としての映像表示装置を備えたコンピュータシステムの構成を示すブロック図である。このコンピュータシステムは、第１映像制御部１０から第

ｎ映像制御部２１までのｎ個の映像制御部と、第１映像記憶部１２から第ｎ映像記憶部２２までのｎ個の映像記憶部と、第２位相補正部１４から第ｎ位相補正部２３までの（ｎ－１）個の位相補正部と、第２ビデオスイッチ１５から第ｎビデオスイッチ２４までの（ｎ－１）個のビデオスイッチとを備えている。映像制御部と映像記憶部と位相補正部とビデオスイッチの組み合わせを映像重畳部と呼ぶと、図１９のコンピュータシステムは、（ｎ－１）組の映像重畳部を備えていると言うことできる。

【０１３２】

第１映像記憶部１２から第ｎ映像記憶部２２までのｎ個の映像記憶部は、それぞれ異なるＯＳの管理下にあり、複数の異なったＯＳによる映像がモニタ１６の画面内に表示される。図２０は、第１ないし第ｎ映像記憶部１２，１３，１８，２２に記憶された映像が重畳されてモニタ１６に表示された状態を示す説明図である。なお、複数の映像記憶部の一部は同じＯＳの管理下にあってもよい。このように、映像重畳部を多段に設けることによって、３つ以上の映像を重畳して表示することができる。この場合にも、ＣＰＵ６２０が各映像記憶部間において映像データを転送する必要がないので、重畳された映像の表示を高速で行なうことができ、ＣＰＵ６２０は表示以外の他の処理を実行することができる。

【０１３３】

なお、この発明は上記実施例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能である。

【０１３４】

【発明の効果】

以上説明したように、請求項１に記載した発明によれば、第１の位相補正部が第１の映像信号を第２の映像信号の同期信号に同期させるので、第１のビデオスイッチによって２つの映像信号を切換えてモニタに出力するだけで、２つの映像を切換えて表示することができる。従って、第１の映像記憶部の内容を第２の映像記憶部に転送することなく、２つの映像を切換えつつ高速に表示することができる。

【０１３５】

請求項２に記載した発明によれば、第１の位相補正部が、第１の映像信号を第２の映像信号の同期信号に同期させるので、互いに非同期な第１と第２の映像信号を切換えてモニタに出力することができる。

【０１３６】

請求項３に記載した発明によれば、第１の映像信号をその同期信号に同期してフレーム記憶部に記憶し、第２の映像信号の同期信号に同期して読出すので、第１の映像信号を第２の映像信号の同期信号に同期させることができる。

【０１３７】

請求項４に記載した発明によれば、第１のビデオスイッチによって２つの映像信号を切換えて、２つの映像を重畳した状態で表示することができる。

【０１３８】

請求項５に記載した発明によれば、アナログ映像信号である第１の映像信号を処理して映像を表示することができる。

【０１３９】

請求項６に記載した発明によれば、第１の映像信号をフレーム記憶部に書き込む際に映像を変倍することができる。

【０１４０】

請求項７に記載した発明によれば、第１の映像信号をフレーム記憶部から読出す際に映像を変倍することができる。

【０１４１】

請求項８に記載した発明によれば、表示解像度が異なる映像を表わす２つの映像信号を切換えて表示することが可能である。

【０１４２】

請求項９に記載した発明によれば、３つの映像を切換えて表示することができる。

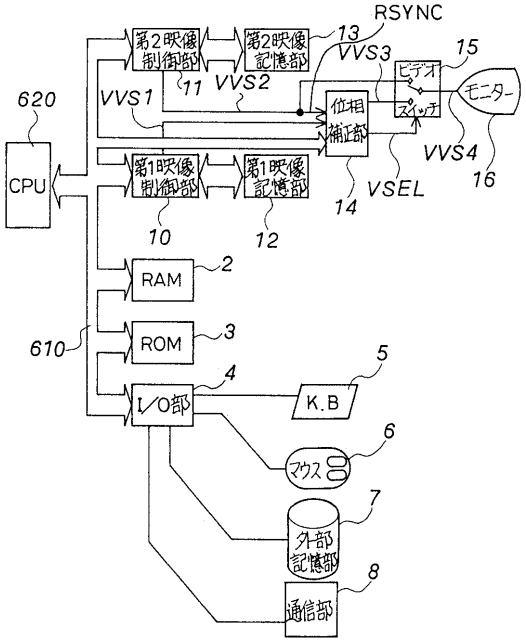
【図面の簡単な説明】
【図１】本発明の一実施例としての映像表示装置を備えたコンピュータシステムの構成を示すブロック図。
【図２】位相補正部１４とビデオスイッチ５の機能を示す説明図。
【図３】位相補正部１４の概略構成を示すブロック図。
【図４】位相補正部１４とビデオスイッチ１５の構成を示すブロック図。
【図５】ディジタイズ制御部２２０及びその周辺回路の詳細なブロック回路図。
【図６】ディジタイズ制御部２２０内の各回路の設定値の機能を示す説明図。
【図７】ディジタイズ制御部２２０の動作を示すタイミングチャート。
【図８】スーパーインポーズ制御部４２０とその周辺回路の詳細なブロック回路図。
【図９】スーパーインポーズ制御部４２０における水平同期信号ＲＨ及び垂直同期信号ＲＶの入出力回路を示す説明図。
【図１０】ＰＬＬ回路６３の構成を示すブロック図。
【図１１】スーパーインポーズ制御部４２０内の各回路の設定値の機能を示す説明図。
【図１２】３ポート映像メモリ３１０の垂直方向の読出許可のタイミングチャート。
【図１３】３ポート映像メモリ３１０の垂直オフセットのタイミングチャート。
【図１４】３ポート映像メモリ３１０の水平方向の読出許可のタイミングチャート。
【図１５】３ポート映像メモリ３１０の水平方向の読み出しのタイミングチャート。
【図１６】重畳された２つの映像のサイズの一例を示す説明図。
【図１７】位相補正後の映像を拡大・縮小した場合を示す説明図。
【図１８】第２の実施例における位相補正部の構成を示すブロック図。
【図１９】本発明の第３の実施例としての映像表示装置を備えたコンピュータシステムの構成を示すブロック図。
【図２０】第１ないし第ｎ映像記憶部１２，１３，１８，２２に記憶された映像が重畳されてモニタ１６に表示された状態を示す説明図。
【図２１】従来のコンピュータシステムの構成を示すブロック図。
【図２２】ＭＳ－Ｗｉｎｄｏｗｓの管理下にあるメモリ空間を示すメモリマップ。
【図２３】第２の映像１５３０内に第１の映像１５３１が表示されている状態を示す説明図。
【符号の説明】
２…ＲＡＭ
３…ＲＯＭ
４…Ｉ／Ｏ部
５…ビデオスイッチ
６…マウス
７…外部記憶部
８…通信部
１０…第１映像制御部
１１…第２映像制御部
１２…第１映像記憶部
１３…第２映像記憶部
１４…位相補正部
１５…ビデオスイッチ
１６…マルチスキャンモニタ
２１…第ｎ映像制御部
２２…第ｎ映像記憶部
２４…第ｎビデオスイッチ
６１，６２…バッファ
６３…ＰＬＬ回路
７１…位相比較器

７２…ローパスフィルタ
７３…ＶＣＯ
７４…Ｎ分周期
１５００…ＣＰＵ
１５０１…ＲＡＭ部
１５０２…ＲＯＭ部
１５０３…Ｉ／Ｏ部
１５０４…キーボード
１５０５…マウス
１５０６…外部記憶部
１５０７…通信部
１５１０…第１映像制御部
１５１１…第２映像制御部
１５１２…第１映像記憶部
１５１３…第２映像記憶部
１５１４…リレー回路部
１５１５…モニタ
２００…書込制御部
２１０…Ａ－Ｄ変換器
２２０…ディジタイズ制御部
２２１…水平書込ドットクロック発生回路
２２２…水平書込開始カウンタ
２２３…水平書込回数カウンタ
２２４…垂直書込ラインクロック発生回路
２２５…垂直書込開始カウンタ
２２６…垂直書込回数カウンタ
２２７…垂直書込オフセットカウンタ
２２８…ＯＲ回路
２２９…ＡＮＤ回路
２３０…ＮＯＲ回路
３１０…３ポート映像メモリ（フレーム記憶部）
３２０…映像データ選択部
３３０…映像メモリ制御信号選択部
３４０…ＣＰＵデータ書込制御部
４００…読出制御部
４１０…Ｄ－Ａ変換器
４２０…スーパーインポーズ制御部
４２１…水平基準読出ドットクロック発生器
４２２…水平読出開始カウンタ
４２４…水平読出回数カウンタ
４２３…水平６４クロックカウンタ
４２５…水平読出ドットクロック発生器
４２６…垂直読出オフセットカウンタ
４２７…垂直ブランキング数カウンタ
４２８…垂直読出開始カウンタ
４２９…垂直読出回数カウンタ
４３０…垂直読出ラインクロック発生器
４３１…ＡＮＤ回路
４３２…ＯＲ回路
４３３…ＮＯＲ回路

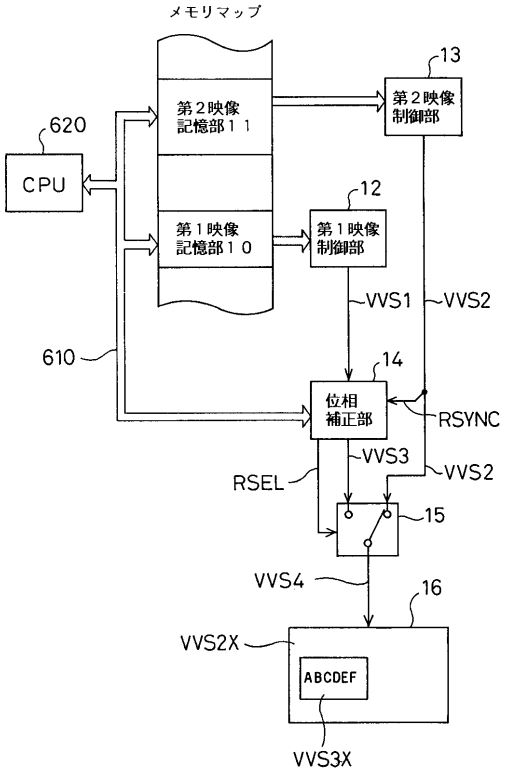
４３４…トライステート回路
４３５…トライステート回路
４３６…ＮＯＴ回路
４９０，４９１…同期信号端子
４９０…同期信号端子
５０５…出力端子
５０６…入力端子
５０７…同期信号端子
５０８…同期信号端子
５１０…ビデオスイッチ
６１０…ＣＰＵバス
６２０…ＣＰＵ
ＢＳＹＮＣ…基本同期信号
Ｃ…コモン端子
ＣＣ…切換制御信号
ＣＫＡＤ…クロック信号
ＣＫＤＡ…クロック信号
ＣＮＴ…切換信号入力端子
ＨＢＤＣＫ…水平基準読出ドットクロック信号
ＨＤＣＫ…メモリ駆動クロック信号
ＨＤＤＡ…水平読出ドットクロック信号
ＨＲＤＣＫ…水平読出ドットクロック信号
ＨＲＳＡ…水平読出開始信号
ＨＲＳＢ…水平基準開始信号
ＨＲＳＴ…水平読出方向リセット信号
ＨＲＴ…水平読出回数信号
ＨＷＤＣＫ…水平書込ドットクロック信号
ＨＷＳ…水平書込開始信号
ＨＷＴ…水平書込回数信号
ＭＨ１…変倍率
ＭＨ２…変倍率
ＭＶ１…縮小率
ＭＶ２…変倍率
ＭＲＳＴ…メモリ垂直／水平リセット信号
ＲＡＤＤ…読出アドレス
ＲＣＯＮＴ…読出制御信号
ＲＥ１…リードイネーブル信号
ＲＨ…水平同期信号
ＲＬ…輝度信号
ＲＳＥ…選択信号
ＲＳＹＮＣ…同期信号
ＲＶ…垂直同期信号
ＶＢＥ…垂直ブランキング終了信号
ＶＲＬＣＫ…垂直読出ラインクロック信号
ＶＲＯＦＴ…垂直読出オフセット信号
ＶＲＳ…垂直読出開始信号
ＶＲＴ…垂直読出回数信号
ＶＳＥＬ…切換信号
ＶＷＬＣＫ…垂直書込ラインクロック信号
ＶＷＯＦＴ…垂直書込オフセット信号

ＶＷＳ…垂直書込開始信号
ＶＷＴ…垂直書込回数信号
ＷＡＤＤ…書込アドレス
ＷＣＯＮＴ…書込制御信号
ＷＥ…ライトイネーブル信号
ＷＥＮＢＬ…書込許可信号
ＷＥＰＣ…書込制御信号
ＷＨ…水平同期信号
ＷＬ…輝度信号
ＷＬＤ…書き込まれる映像データ（輝度データ）
ＷＬＤＲ…読出された映像データ（輝度データ）
ＷＬＲ…輝度信号
ＷＶ…垂直同期信号

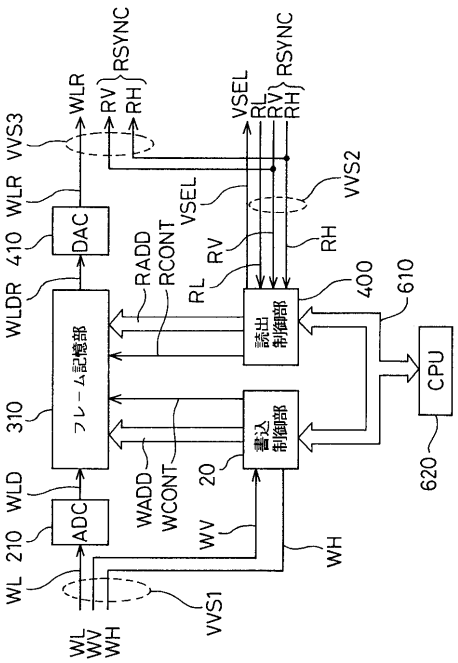
【図１】



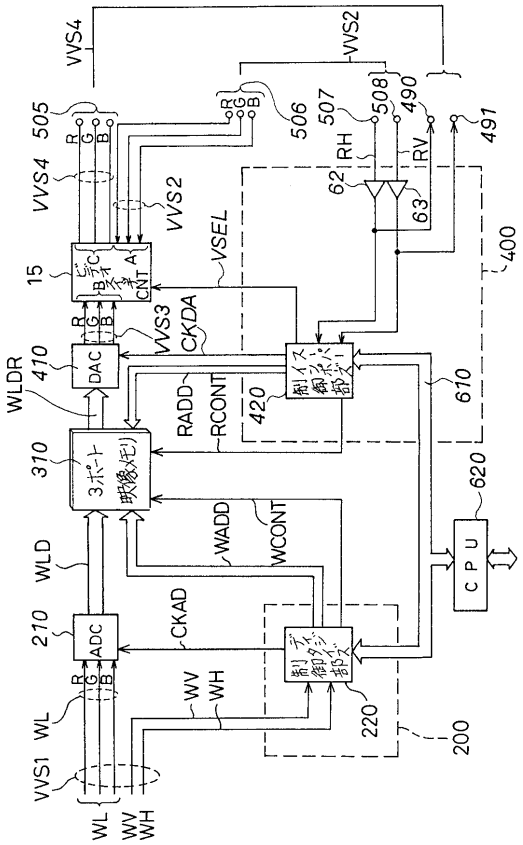
【図２】



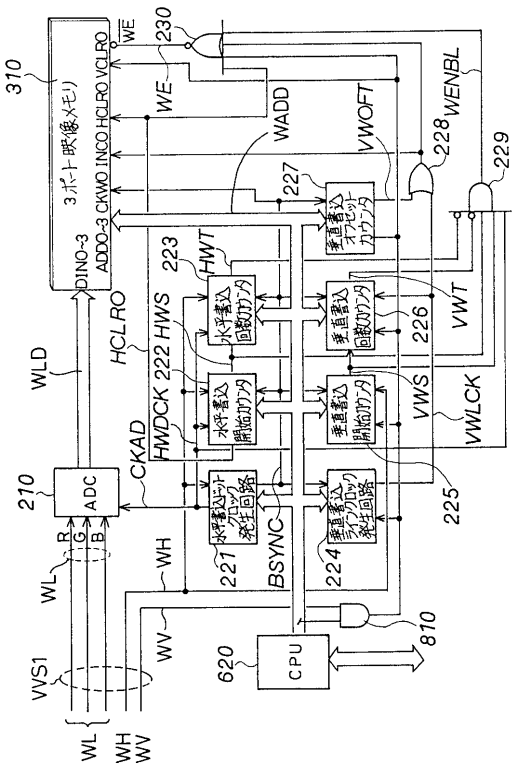
【図３】


VVS3
WLR
RV
RH
RSYNC
VSEL
RL
RV
RH
RSYNC
VVS2
410
DAC
RADD
RCONT
VSEL
RL
RV
RH
WLDR
フレーム記憶部
読出制御部
400
610
310
書込制御部
CPU
WLD
ADC
WADD
WCONT
20
WV
WH
620
210
WL
VVS1
WL
WV
WH

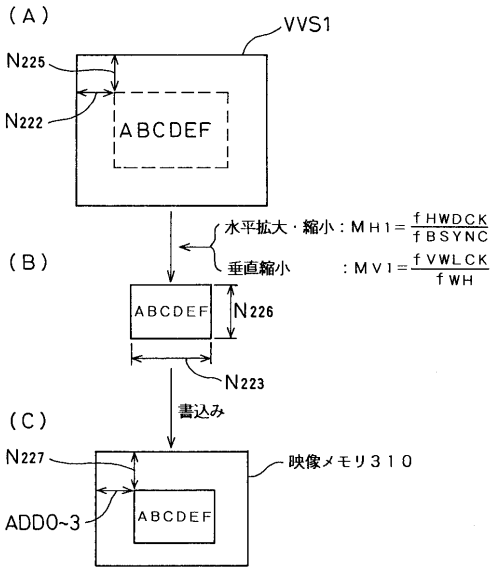
【図４】


VVS4
VVS2
505
506
507
508
490
491
VVS4
VVS2
VSEL
62
63
400
15
CKDA
VVS3
WLDR
410
DAC
RADD
RCONT
420
610
310
3ポート映像メモリ
WADD
WCONT
620
CPU
WLD
210
ADC
CKAD
220
200
WV
WH
WL
VVS1
WL
WV
WH

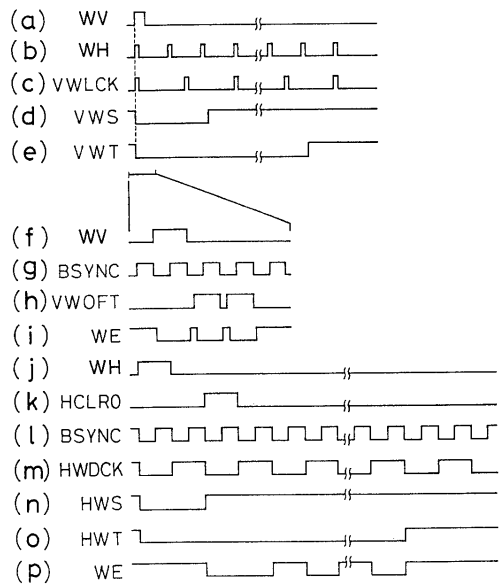
【図５】


310
3ポート映像メモリ
DIN0-3
ADD0-3
CKWO
INCO
HCLRO
VCLRO
WE
230
WE
WADD
VWOFT
228
WENBL
229
227
223
HWT
HCLRO
222
HWS
226
VWT
WLD
HWDCK
VWS
VWLCK
CKAD
210
ADC
225
221
BSYNC
224
WL
WH
WV
VVS1
620
CPU
810
WL
WH
WV

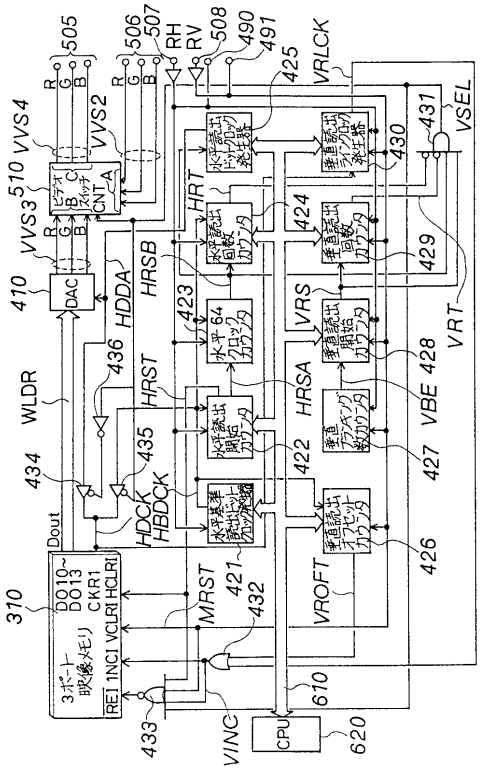
【図６】


(A)
VVS1
N225
N222
ABCDEF
水平拡大・縮小：MH1＝fHWDCK/fBSYNC
(B)
垂直縮小
：MV1＝fVWLCK/fWH
ABCDEF
N226
N223
書込み
(C)
N227
映像メモリ３１０
ADD0~3
ABCDEF

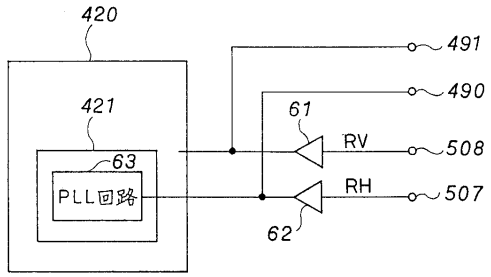
【図７】



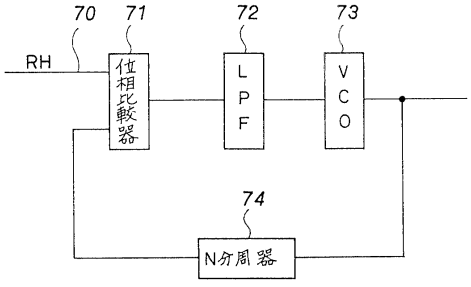
【図８】



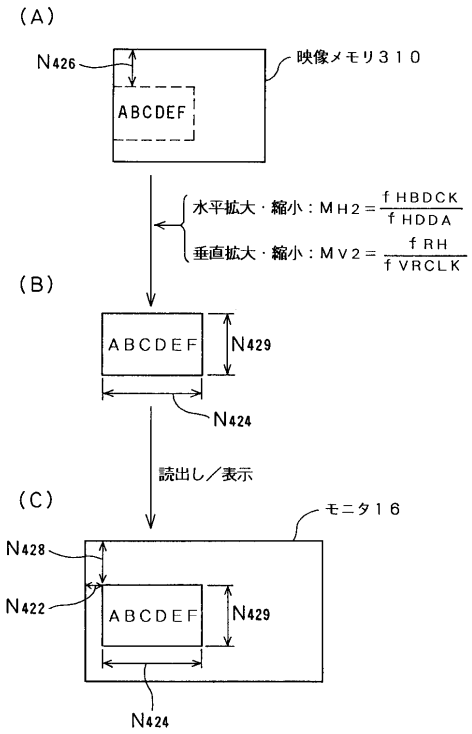
【図９】



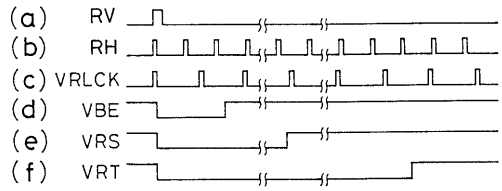
【図１０】



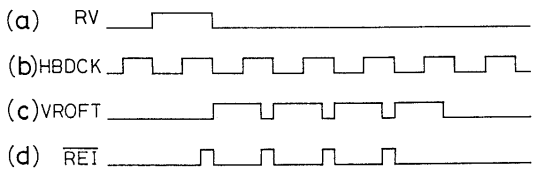
【図１１】



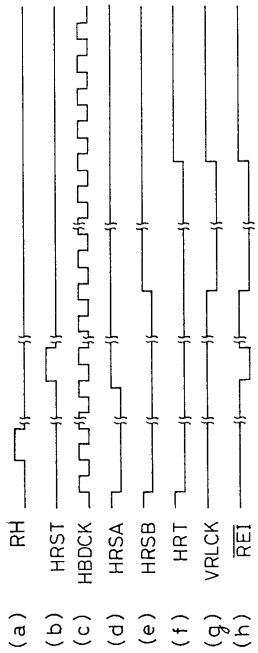
【図１２】



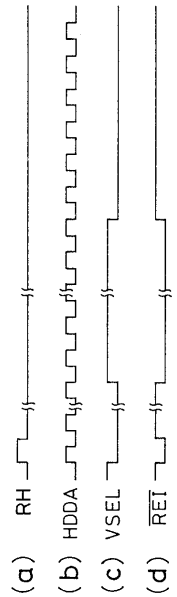
【図１３】



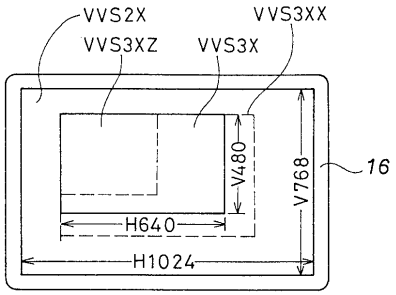
【図１４】



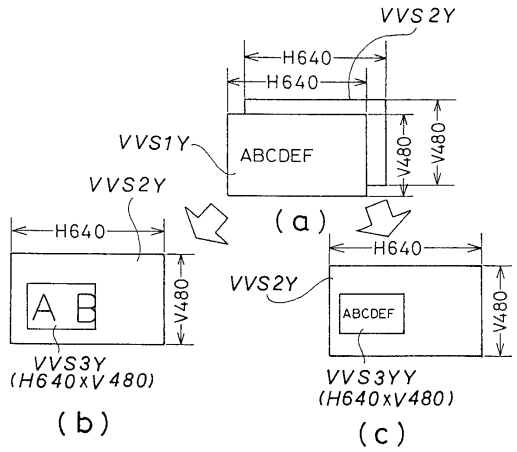
【図１５】



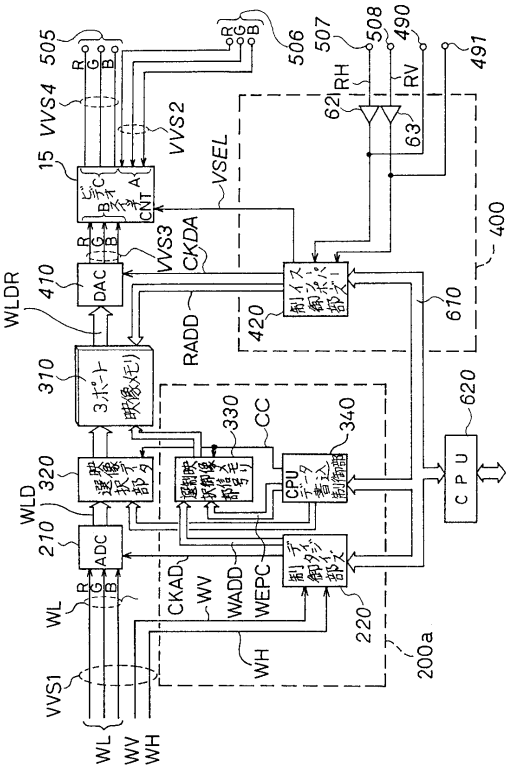
【図１６】



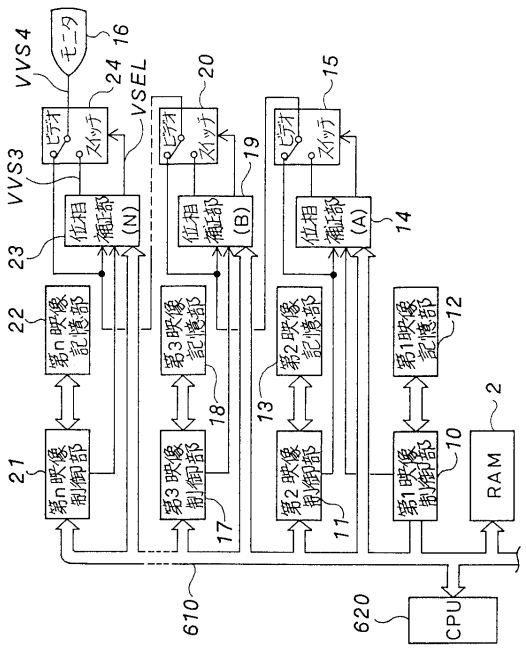
【図１７】



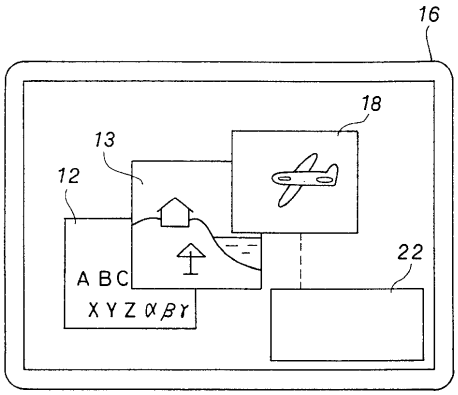
【図１８】



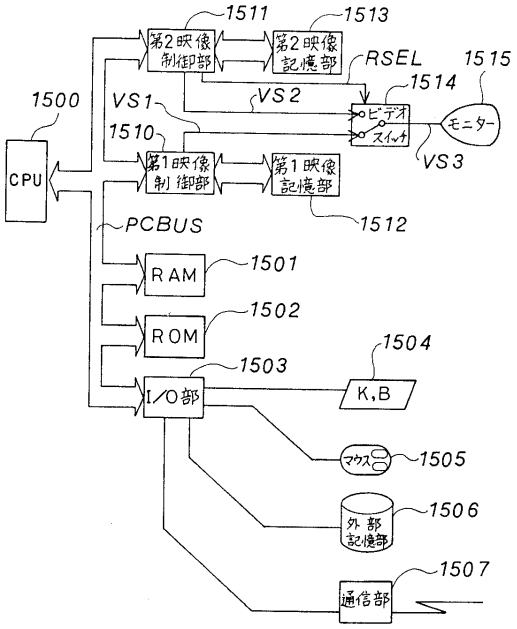
【図１９】



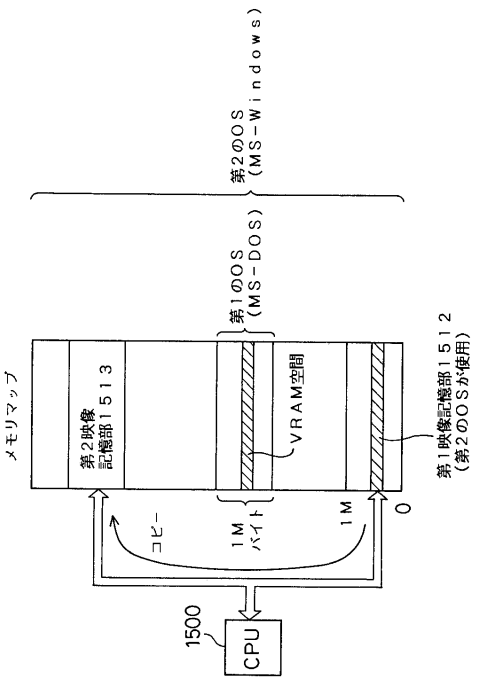
【図２０】



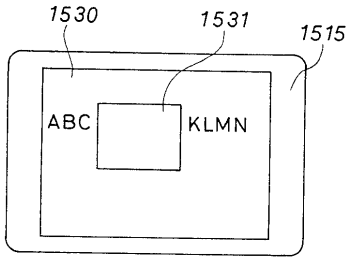
【図２１】


1511
1513
第2映像制御部
第2映像記憶部
RSEL
1515
1514
1500
VS1
VS2
ビデオスイッチ
モニター
1510
VS3
CPU
第1映像制御部
第1映像記憶部
1512
PCBUS
RAM
1501
ROM
1502
1504
1503
I/O部
K,B
マウス
1505
外部記憶部
1506
通信部
1507

【図２２】


第2のOS (MS-Windows)
第1のOS (MS-DOS)
メモリマップ
第2映像記憶部1513
VRAM空間
第1映像記憶部1512 (第2のOSが使用)
コピー
1Mバイト
1M
0
1500
CPU

【図２３】


1530
1531
1515
ABC
KLMN

フロントページの続き

(56)参考文献 特開平０１－１４０８６３（ＪＰ，Ａ）
特開平０２－２９８１７６（ＪＰ，Ａ）
特開平０３－２２８４８０（ＪＰ，Ａ）
特開平０３－１９６１８３（ＪＰ，Ａ）
ＭＳ４１００シリーズ　システム概説書，日本，日本電気株式会社，１９９１年１０月３１日，第５版，p85-87

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G 5/00 - 5/42
G06F 3/00
3/14 - 3/153