

【特許請求の範囲】

【請求項 1】

複数個のメモリブロックで構成される不揮発性メモリアレイと、
前記不揮発性メモリアレイの書き込み領域の始まりブロックアドレスと終了ブロックアドレスとを貯蔵し、外部から印加されるブロックアドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かに従って前記不揮発性メモリアレイの書き込み動作を制御する書き込み防止制御回路とを含む、ことを特徴とする装置。

【請求項 2】

前記ブロックアドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域に属する時に、前記不揮発性メモリアレイの書き込み動作が実行される、ことを特徴とする請求項 1 に記載の装置。 10

【請求項 3】

前記ブロックアドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱する時に、前記不揮発性メモリアレイの書き込み動作が防止される、ことを特徴とする請求項 1 に記載の装置。

【請求項 4】

前記書き込み防止制御回路に貯蔵された始まりおよび終了ブロックアドレスは、前記書き込み領域が変更するようにアップデート可能である、ことを特徴とする請求項 1 に記載の装置。 20

【請求項 5】

前記始まりおよび終了ブロックアドレスは、前記書き込み防止制御回路に貯蔵された後に、アップデートされない、ことを特徴とする請求項 1 に記載の装置。

【請求項 6】

前記始まりおよび終了ブロックアドレスのアップデート防止状態は、システムリセットが実行される時に解約される、ことを特徴とする請求項 5 に記載の装置。

【請求項 7】

前記書き込み防止制御回路は、前記始まりブロックアドレスの印加を知らせる第 1 命令に
応答して前記始まりブロックアドレスをラッチし、前記終了ブロックアドレスの印加を知らせる第 2 命令に
応答して前記終了ブロックアドレスをラッチする、ことを特徴とする請求項 1 に記載の装置。 30

【請求項 8】

前記書き込み防止制御回路は、パワーアップ時、前記不揮発性メモリアレイのすべてのメモリブロックに対する書き込み動作を防止する、ことを特徴とする請求項 1 に記載の装置。

【請求項 9】

複数個のメモリブロックを有する不揮発性メモリアレイと、
書き込みイネーブル信号に
応答して前記不揮発性メモリアレイの書き込み動作を制御する書き込み制御回路と、
前記不揮発性メモリアレイの書き込み領域の始まりブロックアドレスと終了ブロックアドレスとを貯蔵し、外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かに従って前記書き込みイネーブル信号を選択的に活性化させる書き込み防止制御回路と、を含む、ことを特徴とする不揮発性半導体メモリ装置。 40

【請求項 10】

前記書き込み防止制御回路は、
前記始まりブロックアドレスの印加を知らせる第 1 命令に
応答して第 1 アドレスラッチ信号を発生し、前記終了ブロックアドレスの印加を知らせる第 2 命令に
応答して第 2 アドレスラッチ信号を発生する命令デコーダ回路と、
前記第 1 アドレスラッチ信号 LAT_ADD 1 に
応答して前記始まりブロックアドレス 50

をラッチし、前記第2アドレスラッチ信号LAT_ADD2に应答して前記終了ブロックアドレスをラッチするアドレスレジスタと、

前記外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かを示すロックフラグ信号FLOCKを発生する検出回路と、を含み、

前記命令デコーダ回路は書き込み命令が印加される時、前記ロックフラグ信号に应答して前記書き込みイネーブル信号を活性化させる、ことを特徴とする請求項9に記載の不揮発性半導体メモリ装置。

【請求項11】

前記検出回路は、前記第1または第2命令が印加された後に活性化される、ことを特徴とする請求項10に記載の不揮発性半導体メモリ装置。 10

【請求項12】

パワーアップの後、前記検出回路の非活性化区間の間、前記不揮発性メモリアレイに対する書き込み動作は防止される、ことを特徴とする請求項11に記載の不揮発性半導体メモリ装置。

【請求項13】

前記始まりおよび終了ブロックアドレスは、前記第1および第2命令の再印加に従ってアップデートされる、ことを特徴とする請求項10に記載の不揮発性半導体メモリ装置。

【請求項14】

前記始まりおよび終了ブロックアドレスの変更を防止するための第3命令が印加される時、前記始まりおよび終了ブロックアドレスは、前記第1および第2命令の再印加に従ってアップデートされない、ことを特徴とする請求項10に記載の不揮発性半導体メモリ装置。 20

【請求項15】

前記アドレスレジスタのアップデート防止状態は、システムリセットが実行される時に解約される、ことを特徴とする請求項14に記載の不揮発性半導体メモリ装置。

【請求項16】

前記外部アドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱する時に、前記命令デコーダ回路は、前記不揮発性メモリアレイに対する書き込み動作が実行されないように、前記書き込みイネーブル信号を非活性化させる、ことを特徴とする請求項10に記載の不揮発性半導体メモリ装置。 30

【請求項17】

前記外部アドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域に属する時に、前記命令デコーダ回路は、前記不揮発性メモリアレイに対する書き込み動作が実行されるように、前記書き込みイネーブル信号を活性化させる、ことを特徴とする請求項10に記載の不揮発性半導体メモリ装置。

【請求項18】

複数個のメモリブロックを有する不揮発性メモリアレイと、

書き込みイネーブル信号に应答して前記不揮発性メモリアレイの書き込み動作を制御する書き込み制御回路と、 40

第1および第2アドレスラッチ信号に应答して前記不揮発性メモリアレイの書き込み領域を定義するための始まりおよび終了ブロックアドレスを貯蔵するアドレスレジスタと、

外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かを知らせるロックフラグ信号を発生するアドレス比較回路と、

前記始まりおよび終了ブロックアドレスの印加を知らせる第1および第2命令に应答して前記第1および第2アドレスラッチ信号を発生し、前記ロックフラグ信号に従って書き込み命令をデコーディングして、前記書き込みイネーブル信号を発生する命令デコーダ回路と、

電源電圧の印加に应答して前記アドレスレジスタ、前記アドレス比較回路、および前記命令デコーダ回路を初期化させるためのリセット信号を発生するパワーオンリセット回路 50

と、を含む、ことを特徴とする不揮発性半導体メモリ装置。

【請求項 19】

外部装置とインターフェースするインターフェース回路をさらに含み、

前記インターフェース回路は、前記パワーアップの後、前記不揮発性メモリアレイに対する書き込み動作が防止されるように、前記リセット信号の活性化にตอบสนองしてアンロックフラグ信号を非活性化させ、前記アドレス比較回路は前記アンロックフラグ信号にตอบสนองして動作する、ことを特徴とする請求項 18 に記載の不揮発性半導体メモリ装置。

【請求項 20】

前記始まりおよび終了ブロックアドレスは、前記第 1 および第 2 命令の再印加に従ってアップデートされる、ことを特徴とする請求項 18 に記載の不揮発性半導体メモリ装置。

10

【請求項 21】

前記インターフェース回路は、前記始まりおよび終了ブロックアドレスの変更を防止するための第 3 命令にตอบสนองしてロックタイトフラグ信号を発生し、前記アドレスレジスタのアップデートは、前記ロックタイトフラグ信号によって防止される、ことを特徴とする請求項 19 に記載の不揮発性半導体メモリ装置。

【請求項 22】

前記インターフェース回路は、システムリセットが実行されることによって、前記ロックタイトフラグ信号を非活性化させ、その結果、前記アドレスレジスタのアップデート防止状態が解約される、ことを特徴とする請求項 21 に記載の不揮発性半導体メモリ装置。

20

【請求項 23】

前記インターフェース回路は、書き込み状態、書き込み防止状態およびアップデート防止状態を知らせる状態コードを貯蔵する状態レジスタを含み、前記状態レジスタは外部でアクセスされる、ことを特徴とする請求項 19 に記載の不揮発性半導体メモリ装置。

【請求項 24】

ホストと、

不揮発性メモリと、

前記ホストと前記不揮発性メモリとの間に連結され、前記不揮発性メモリを制御するメモリコントローラと、を含み、

前記メモリコントローラは、イネーブル信号にตอบสนองして前記不揮発性メモリの書き込み動作を制御する制御回路と、前記不揮発性メモリの書き込み領域の始まりブロックアドレスと終了ブロックアドレスとを貯蔵し、外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かに従って、前記イネーブル信号を選択的に活性化させる書き込み防止制御回路を含む、ことを特徴とするシステム。

30

【請求項 25】

前記書き込み防止制御回路は

前記始まりブロックアドレスの印加を知らせる第 1 命令にตอบสนองして第 1 アドレスラッチ信号を発生し、前記終了ブロックアドレスの印加を知らせる第 2 命令にตอบสนองして第 2 アドレスラッチ信号を発生する命令デコーダ回路と、

前記第 1 アドレスラッチ信号 LAT_ADD1 にตอบสนองして前記始まりブロックアドレスをラッチし、前記第 2 アドレスラッチ信号 LAT_ADD2 にตอบสนองして前記終了ブロックアドレスをラッチするアドレスレジスタと、

40

前記外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かを示すロックフラグ信号 FLOCK を発生する検出回路と、を含み、前記命令デコーダ回路は、書き込み命令が印加される時、前記ロックフラグ信号にตอบสนองして前記イネーブル信号を活性化させる、ことを特徴とする請求項 24 に記載のシステム。

【請求項 26】

前記検出回路は、前記第 1 または第 2 命令が印加された後に活性化される、ことを特徴とする請求項 25 に記載のシステム。

50

【請求項 27】

パワーアップの後、前記検出回路の非活性化区間の間、前記不揮発性メモリに対する書き込み動作は防止される、ことを特徴とする請求項 26 に記載のシステム。

【請求項 28】

前記始まりおよび終了ブロックアドレスは、前記第 1 および第 2 命令の再印加に従ってアップデートされる、ことを特徴とする請求項 25 に記載のシステム。

【請求項 29】

前記始まりおよび終了ブロックアドレスの変更を防止するための第 3 命令が印加される時、前記始まりおよび終了ブロックアドレスは、前記第 1 および第 2 命令の再印加に従ってアップデートされない、ことを特徴とする請求項 25 に記載のシステム。

10

【請求項 30】

前記アドレスレジスタのアップデート防止状態は、システムリセットが実行される時に解約される、ことを特徴とする請求項 29 に記載のシステム。

【請求項 31】

前記外部アドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱する時、前記命令デコーダ回路は、前記不揮発性メモリに対する書き込み動作が実行されないように、前記イネーブル信号を非活性化させる、ことを特徴とする請求項 24 に記載のシステム。

【請求項 32】

前記外部アドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域に属する時、前記命令デコーダ回路は、前記不揮発性メモリに対する書き込み動作が実行されるように、前記書き込みイネーブル信号を活性化させる、ことを特徴とする請求項 24 に記載のシステム。

20

【請求項 33】

ホストと、
不揮発性メモリと、
前記ホストと前記不揮発性メモリとの間に連結され、前記不揮発性メモリを制御するメモリコントローラと、を含み、
前記メモリコントローラは、

イネーブル信号にตอบสนองして前記不揮発性メモリの書き込み動作を制御する制御回路と、
第 1 および第 2 アドレスラッチ信号にตอบสนองして前記不揮発性メモリの書き込み領域を定義するための始まりおよび終了ブロックアドレスを貯蔵するアドレスレジスタと、

30

アンロックフラグ信号にตอบสนองして動作し、外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かを知らせるロックフラグ信号を発生するアドレス比較回路と、

前記ロックフラグ信号にตอบสนองして書き込み命令をデコーディングし、デコーディング結果によって、前記イネーブル信号を活性化させ、前記始まりおよび終了ブロックアドレスの印加を知らせる第 1 および第 2 命令にตอบสนองして前記第 1 および第 2 アドレスラッチ信号を発生する命令デコーダ回路と、

前記外部アドレス、前記始まりおよび終了ブロックアドレス、前記第 1 および第 2 命令、そして前記書き込み命令をインターフェースし、前記第 1 または第 2 命令にตอบสนองして前記アンロックフラグ信号を発生するインターフェース回路と、

40

電源電圧の印加にตอบสนองして、前記アドレスレジスタ、前記アドレス比較回路、前記命令デコーダ回路、前記インターフェース回路を初期化させるためのリセット信号を発生するパワーオンリセット回路、とを含む、ことを特徴とするシステム。

【請求項 34】

前記インターフェース回路は、前記パワーアップの後、前記不揮発性メモリに対する書き込み動作が防止されるように、前記リセット信号の活性化にตอบสนองして前記アンロックフラグ信号を非活性化させる、ことを特徴とする請求項 33 に記載のシステム。

【請求項 35】

50

前記始まりおよび終了ブロックアドレスは、前記第1および第2命令の再印加に従ってアップデートされる、ことを特徴とする請求項33に記載のシステム。

【請求項36】

前記インターフェース回路は、前記始まりおよび終了ブロックアドレスの変更を防止するための第3命令に回答してロックタイトフラッグ信号を発生し、前記アドレスレジスタのアップデートは、前記ロックタイトフラッグ信号によって防止される、ことを特徴とする請求項33に記載のシステム。

【請求項37】

前記インターフェース回路は、システムリセットが実行されることによって、ロックタイトフラッグ信号を非活性化させ、その結果、前記アドレスレジスタのアップデート防止状態が解約される、ことを特徴とする請求項36に記載のシステム。 10

【請求項38】

前記インターフェース回路は、書き込み状態、書き込み防止状態、およびアップデート防止状態を知らせる状態コードを貯蔵する状態レジスタを含み、前記状態レジスタは外部でアクセスされる、ことを特徴とする請求項33に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は不揮発性半導体メモリ装置に関するものであり、さらに具体的には、メモリブロックを書き込み防止状態(lock state or write-protection state)に容易に設定することができる装置およびシステムに関するものである。 20

【背景技術】

【0002】

フラッシュEEPROM装置は、広いデジタル応用分野で不揮発性、電気的に消去およびプログラム可能なメモリに発展して来ている。フラッシュメモリ装置は、一般的に、1-トランジスタメモリセル(one-transistor memory cell)を使用し、これは高いメモリ密度(high memory densities)、高い信頼性(high reliabilities)、および少電力消費(low power consumption)を可能にする。このような特徴は、フラッシュメモリ装置が、低電力応用分野(例えば、バッテリーで動作するまたは内臓型メモリ回路)に使用されるようにする。 30

【0003】

不揮発性半導体メモリ装置は、一般的に、携帯用コンピュータ、個人携帯情報端末機、デジタルカメラ、および携帯電話機に使用される。このような装置において、比較的容易なソフトウェアアップグレード特性と小型貯蔵装置という理由のため、プログラムコードとシステムデータ全部がフラッシュメモリ装置に貯蔵されることがある。アップグレード可能なデータを貯蔵するためにフラッシュメモリを使用する場合に、意図されない消去または再プログラムからアップグレード可能なデータを保護するための装置が開発されて来ている。 40

【0004】

一般的なフラッシュメモリ装置によると、貯蔵されたコードまたはデータの消去は、装置全体の消去を求める。しかし、より新しい装置は、フラッシュメモリ装置がディスク運営体系(disk operating system)のディスクセクタと類似のブロックに分けられたブロック-消去構造(block-erase architecture)に基づく。ブロックを基づいた構造によると、装置全体に代えて、フラッシュメモリ装置のブロックが、ファイルシステムによって消去される。また、そのようなブロック-基礎構造は、使用者がフラッシュメモリ装置内に貯蔵されたコードまたはデータの他の部分を自由に消去することができるようにする。例えば、ブートコードのような重要なシステムコードは、フラッシュメモリ装置の書き込み防止可能なブートブロック(lock a 50

ble boot block)に貯蔵される一方に、他のブロックはコードまたはデータの他の部分に割り当てられる。

【0005】

ブロックに基づいたフラッシュメモリ装置の無欠性(integrity)を保障するためには、メモリがプログラムまたは消去動作を通じて修正される時に貯蔵されたデータを保護するためのブロック保護スキームが必要である。メモリブロックは、データがフラッシュメモリ装置に使用される時または新しいコードセグメントがアップデートされる時に、意図されない書き込みに対して保護されなければならない。同様に、データブロックは、他のデータブロックが修正される時に、またはコードアップデートが生ずる時に、保護されなければならない。または、プログラムバイアスまたはソフトウェア異常によるコードブロックが保護されなければならない。

10

【0006】

意図されない書き込みを防止する一例が、米国特許6,209,069号(issued to Baltar, 2001.03.27)に“METHOD AND APPARATUS USING VOLATILE LOCK ARCHITECTURE FOR INDIVIDUAL BLOCK LOCKING ON FLASH MEMORY”というタイトルで開示されている。上記した特許に記載されたブロック制御回路を示す回路図が図1に示されている。図1を参照すると、ブロック制御回路206はメモリブロックに各々複数個のデジタルレジスタ302~306を含み、各レジスタまたはラッチは対応する書き込み防止可能なブロックの書き込み防止状態(lock state)を制御する。ブロック制御回路206は、ブロックを構成するフラッシュメモリアレイに適切な制御信号を発生する。

20

【0007】

しかし、上記した特許のブロック制御回路206は、高密度フラッシュメモリ装置を実現するのに回路的に大きい負担になる。なぜなら、NAND型フラッシュメモリ装置を構成するメモリブロックが数千個に達するためである。例えば、128M NANDフラッシュメモリ装置は、1024個のメモリブロックを含む。1024個のメモリブロックの書き込み防止情報を貯蔵するために、メモリブロックと同一の数のレジスタが必要である。メモリ容量が増加することによって、メモリブロック数も増加する。したがって、レジスタを利用したブロック制御回路を、高密度フラッシュメモリ装置に実現することは、かなり難しい。

30

【0008】

【特許文献1】米国特許6,209,069号

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、メモリブロックの書き込み防止状態を容易に設定することができる装置およびシステムを提供することである。

【0010】

本発明の他の目的は、メモリブロックの書き込み防止状態を容易に設定すること装置を含む不揮発性半導体メモリ装置およびシステムを提供することである。

40

【0011】

本発明の他の目的は、不揮発性半導体メモリ装置のメモリブロックの書き込み防止状態を容易に設定することができる装置を含むメモリコントローラおよびシステムを提供することである。

【課題を解決するための手段】

【0012】

上述の諸般の目的を達成するための本発明の特徴によると、複数個のメモリブロックで構成される不揮発性メモリアレイが提供される。書き込み防止制御回路は、前記不揮発性メモリアレイの書き込み領域の始まりブロックアドレスと終了ブロックアドレスとを貯蔵

50

する。前記書き込み防止制御回路は、外部から印加されるブロックアドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かに従って、前記不揮発性メモリアレイの書き込み動作を制御する。

【0013】

この実施の形態において、前記ブロックアドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域に属する時に、前記不揮発性メモリアレイの書き込み動作が実行される。

【0014】

この実施の形態において、前記ブロックアドレスが、前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱する時に、前記不揮発性メモリアレイの書き込み動作が防止される。

10

【0015】

この実施の形態において、前記書き込み防止制御回路に貯蔵された始まりおよび終了ブロックアドレスは、前記書き込み領域が変更するようにアップデート可能である。

【0016】

この実施の形態において、前記始まりおよび終了ブロックアドレスは、前記書き込み防止制御回路に貯蔵された後にアップデートされない。

【0017】

この実施の形態において、前記始まりおよび終了ブロックアドレスのアップデート防止状態は、システムリセットが実行される時に解約される。

20

【0018】

この実施の形態において、前記書き込み防止制御回路は、前記始まりブロックアドレスの印加を知らせる第1命令に 응답して前記始まりブロックアドレスをラッチし、前記終了ブロックアドレスの印加を知らせる第2命令に 응답して前記終了ブロックアドレスをラッチする。

【0019】

この実施の形態において、前記書き込み防止制御回路は、パワーアップ時、前記不揮発性メモリアレイのすべてのメモリブロックに対する書き込み動作を防止する。

【0020】

本発明の他の特徴によると、不揮発性半導体メモリ装置は、複数個のメモリブロックを有する不揮発性メモリアレイと、書き込みイネーブル信号に 응답して前記不揮発性メモリアレイの書き込み動作を制御する書き込み制御回路と、前記不揮発性メモリアレイの書き込み領域の始まりブロックアドレスと終了ブロックアドレスとを貯蔵し、外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かに従って前記書き込みイネーブル信号を選択的に活性化させる書き込み防止制御回路と、を含む。

30

【0021】

この実施の形態において、前記書き込み防止制御回路は、前記始まりブロックアドレスの印加を知らせる第1命令に 응답して第1アドレスラッチ信号を発生し、前記終了ブロックアドレスの印加を知らせる第2命令に 응답して第2アドレスラッチ信号を発生する命令デコーダ回路と、前記第1アドレスラッチ信号に 응답して前記始まりブロックアドレスをラッチし、前記第2アドレスラッチ信号に 응답して前記終了ブロックアドレスをラッチするアドレスレジスタと、前記外部アドレスが前記始まりブロックアドレスと前記終了ブロックアドレスとの間のアドレス領域を脱したか否かを示すロックフラグ信号を発生する検出回路と、を含む。前記命令デコーダ回路は、書き込み命令が印加される時、前記ロックフラグ信号に 응답して前記書き込みイネーブル信号を活性化させる。

40

【発明の効果】

【0022】

ブロック単位で書き込み防止状態を設定する方式に代えて、予め指定された書き込み領域の始まりおよび終了ブロックアドレスを、レジスタに貯蔵する方式を使用することによ

50

って、回路負担なしに、不揮発性メモリアレイの書き込み防止領域を容易に設定することができる。

【発明を実施するための最良の形態】

【0023】

本発明の望ましい実施の形態が、参照図面に基づいて以下詳細に説明される。

【0024】

図2は、本発明による書き込み防止制御回路を示すブロック図である。図2を参照すると、本発明の書き込み防止制御回路1000は、不揮発性メモリアレイ1400の予め設定された書き込み防止領域に対する書き込み動作を防止し、レジスタ1100、制御回路1200、およびパワーオンリセット回路1300を含む。不揮発性メモリアレイ(例えば、NANDフラッシュメモリアレイ)1400は、図3に示したように、複数個のメモリブロックBLK0~BLKnを含む。

10

【0025】

レジスタ1100は、不揮発性メモリアレイ1400の書き込み領域を定義するための始まりブロックアドレスと終了ブロックアドレスとを貯蔵する。すなわち、書き込み領域において、書き込み領域の一番目のメモリブロックを指定するためのアドレスが始まりブロックアドレスになり、書き込み領域の最後のメモリブロックを指定するためのアドレスが終了ブロックアドレスになる。書き込み領域(unlocked region)に属するメモリブロックを除いた残りのメモリブロックは、書き込み防止領域(locked region)に指定される。すなわち、本発明の場合に、ただ始まりおよび終了ブロックアドレスのローディングによって、不揮発性メモリアレイの書き込みおよび書き込み防止領域が容易に定義することができる。制御回路1200は、書き込み動作のために入力されたアドレスがレジスタ1100に貯蔵された始まりブロックアドレスと終了ブロックアドレスとの間のアドレス領域を脱したか否かを判別する。もし入力されたアドレスがレジスタ1100に貯蔵された始まりブロックアドレスと終了ブロックアドレスとの間のアドレス領域を脱すると、制御回路1200は、不揮発性メモリアレイ1400の書き込み動作が実行されないようにする。パワーオンリセット回路1300は、電源の印加に 응답してレジスタ1100と制御回路1200とを初期化する。初期化した後に、そして始まりおよび終了ブロックアドレスのローディング以前に、不揮発性メモリアレイ1400のすべてのメモリブロックは、書き込み防止領域に設定される。これについては、以後詳細に説明する。

20

30

【0026】

この実施の形態において、レジスタ1100に貯蔵された始まりおよび終了ブロックアドレスは、制御回路1200の制御によってアップデート可能である。一方に、始まりおよび終了ブロックアドレスの変更を禁止するための命令(以後、“ロックタイト命令(lock-tight command)と称する)が印加されると、レジスタ1100に貯蔵された始まりおよび終了ブロックアドレスを、アップデートすることが不可能である。レジスタ1100のアップデート防止状態は、システムリセットによってだけ解約される。このような機能は以後詳細に説明される。

【0027】

不揮発性メモリアレイ1400のメモリブロックBLK0~BLKn各々の書き込み防止状態を設定する従来技術に代えて、本発明は、書き込み領域に予め定義したメモリブロックの始まりおよび終了ブロックアドレスのみを貯蔵する方式を使用する。例えば、図3を参照すると、始まりブロックアドレスに対応するメモリブロックBLK5から終了ブロックアドレスに対応するメモリブロックBLK10まで書き込み領域(unlocked region)に定義する。残りのメモリブロックBLK0~BLK4、BLK11~BLKnは、自動的に書き込み防止領域(locked region)に定義される。従来技術の場合に、メモリブロックの書き込み防止状態を設定するために、メモリブロックに各々対応するレジスタ(またはラッチ)が求められた。しかし、本発明の場合に、始まりおよび終了ブロックアドレスを貯蔵するためのレジスタのみを利用して、メモリブロック

40

50

の書き込み防止状態を設定することができる。

【0028】

図4は、本発明による不揮発性半導体メモリ装置を示すブロック図である。図4を参照すると、本発明の不揮発性半導体メモリ装置2000はNAND型フラッシュメモリ装置として、複数個のメモリブロックで構成された不揮発性メモリアレイ2100を含む。不揮発性メモリアレイ2100の書き込みまたは読み出し動作は、行選択器2200とページバッファおよび列選択器2300を通じて実行され、行選択器2200とページバッファおよび列選択器2300は、この分野の通常の知識を持つ者などによく知られている。したがって、行選択器とページバッファおよび列選択器に対する説明はここで省略する。

【0029】

続けて、図4を参照すると、インターフェースブロック2400は、外部装置(例えば、ホストまたはメモリコントローラ)とインターフェースをする。インターフェースブロック2400には、制御信号ピンnCE、nWP、ALE、CLE、R/Bバーとデータ入出力ピンIO[x:i]が連結されている。よく知られたように、NANDフラッシュメモリ装置は、命令/アドレス/データマルチプレクシング入出力構造を有する。すなわち、データ入出力ピンを通じて命令およびアドレスが入力され、データ入出力ピンを通じてデータが口/出力される。nCEピンにはチップイネーブル信号が印加され、nWEピンには書き込みイネーブル信号が印加され、nWPピンには書き込み防止信号(write protection signal)が印加される。ALEピンにはアドレスラッチイネーブル信号が印加され、CLEピンには命令ラッチイネーブル信号が印加される。R/Bバーピンはメモリ装置の動作状態を示すのに使用される。インターフェースブロック2400には状態レジスタ2400Aが提供され、状態レジスタ2400Aには不揮発性メモリアレイ2100の書き込み防止状態情報が貯蔵される。

【0030】

例えば、状態レジスタ2400Aに貯蔵されたデータは外部で参照され、データ値による不揮発性メモリアレイ2100の状態は次の通りである。

【0031】

【表1】

データ値	B2	B1	B0
ブロック状態			
書き込み状態	1	0	0
書き込み防止状態	0	1	0
アップデート防止状態	0	0	1

【0032】

書き込み状態(unlock state)は、始まりブロックアドレスと終了ブロックアドレスによって、不揮発性メモリアレイの書き込み領域が定義されたことを示す。書き込み防止状態(lock state)は、不揮発性メモリアレイのすべてのメモリブロックが書き込み防止領域として定義されたことを示す。アップデート防止状態(lock-tight state)は、現在設定されたメモリの書き込みおよび書き込み防止領域を変更することができないことを示す。

【0033】

続けて、図4を参照すると、インターフェースブロック2400から出力されるアドレスADD[x:m]は、アドレスラッチブロック2500にラッチされる。これと同時に、アドレスADD[x:m]のうちメモリブロックを指定するためのブロックアドレスADD[x:n]は、アドレスレジスタ2600とアドレス検出ブロック2700に伝達する。アドレスレジスタ2600は、アドレスラッチ信号LAT_ADD[2i:1i](この実施例において、i=1、2、3)に应答して、インターフェースブロック2400

10

20

30

40

50

から出力されるブロックアドレス $ADD[x:m]$ をラッチする。例えば、書き込み領域の一番目のメモリブロックを指定するための始まりブロックアドレスは、アドレスラッチ信号 LAT_ADD1i のトグルに従ってアドレスレジスタ 2600 にラッチされ、書き込み領域の最後のメモリブロックを指定するための終了ブロックアドレスは、アドレスラッチ信号 LAT_ADD2i のトグルに従ってアドレスレジスタ 2600 にラッチされる。

【0034】

アドレス検出ブロック 2700 は、インターフェースブロック 2400 からのアンロックフラグ信号 ($unlock\ flag\ signal$) $FUNLOCK$ に応答して動作し、入力アドレス $ADD[x:n]$ がアドレスレジスタ 2600 からの始まりおよび終了ブロックアドレス $ADD_ST[x:n]$ 、 $ADD_ED[x:n]$ との間のアドレス領域を脱したか否かを検出する。アドレス検出ブロック 2700 は、検出結果として、入力アドレス $ADD[x:n]$ がアドレスレジスタ 2600 からの始まりおよび終了ブロックアドレス $ADD_ST[x:n]$ 、 $ADD_ED[x:n]$ の間のアドレス領域を脱したか否かを示すロックフラグ信号 ($lock\ flag\ signal$) $FLOCK$ を、出力する。命令デコーダブロック 2800 は、インターフェースブロック 2400 からの命令データ $CMD[x:m]$ をデコーディングし、デコーディング結果およびロックフラグ信号 $FLOCK$ のロジック状態に従って、アドレスラッチ信号 $LAT_ADD[2:1]$ または命令フラグ信号 $FCMD$ を発生する。コア制御ブロック 2900 は、命令フラグ信号 $FCMD$ に応答してメモリコアを制御する。パワーオンリセットブロック 3000 は電源電圧の印加に応答してリセット信号 RST を発生し、インターフェースブロック 2400、アドレスレジスタ 2600、アドレス検出ブロック 2700、および命令デコーダブロック 2800 は、リセット信号 RST によって初期化する。

【0035】

図 5 は本発明による不揮発性半導体メモリ装置の書き込み防止動作を説明するための動作タイミング図である。以下、本発明による不揮発性半導体メモリ装置の書き込み防止動作が、図 4 および図 5 を参照して詳細に説明される。パワーアップシインターフェースブロックが初期化することによって、制御信号 $FLOCKT$ 、 $FUNLOCK$ は、非活性化される。制御信号 $FUNLOCK$ が非活性化することによって、アドレス検出回路 2700 も検出動作を実行しない。この場合に、命令デコーダブロック 2800 からの命令フラグ信号 $FCMD$ は非活性化され、その結果、不揮発性メモリアレイの書き込み動作が防止される。すなわち、不揮発性メモリアレイ 2100 のすべてのメモリブロックが書き込み防止領域に指定される。このような条件の下で、不揮発性半導体メモリ装置の書き込み防止動作が説明される。

【0036】

先に、制御信号 CLE 、 ALE 、 nWE が各々ハイレベル、ローレベル、およびローレベルを有する時に、データ入出力ピン $IO[x:i]$ を通じて受け取られた第 1 アンロック命令データ $UNLOCK_CMD1$ が、インターフェースブロック 2400 を通じて命令デコーダブロック 2800 に伝達する。命令デコーダブロック 2800 は、入力されたアンロック命令データ $UNLOCK_CMD1$ をデコーディングして、アドレスラッチ信号 LAT_ADD1i を発生する。第 1 アンロック命令データ $UNLOCK_CMD1$ の入力後に、制御信号 nWE のトグルに従って、始まりブロックアドレス $ADD_ST[x:n]$ が、データ入出力ピン $IO[x:i]$ を通じてインターフェースブロック 2400 に印加される。インターフェースブロック 2400 からの始まりブロックアドレス $ADD_ST[x:n]$ は、アドレスラッチ信号 LAT_ADD1i の活性化に従って、アドレスレジスタ 2600 によってラッチされる。

【0037】

続けて、制御信号 CLE 、 ALE 、 nWE が、各々ハイレベル、ローレベル、およびローレベルを有する時に、データ入出力ピン $IO[x:i]$ を通じて受け取られた第 2 アンロック命令データ $UNLOCK_CMD2$ が、インターフェースブロック 2400 を通じ

10

20

30

40

50

て命令デコーダブロック2800に伝達する。命令デコーダブロック2800は入力されたアンロック命令データUNLOCK_CMD2をデコーディングして、アドレスラッチ信号LAT_ADD2iを発生する。第2アンロック命令データUNLOCK_CMD2の入力の後に、制御信号nWEのトグルに従って、終了ブロックアドレスADD_ED[x:n]が、データ入出力ピンIO[x:i]を通じて、インターフェースブロック2400に印加される。インターフェースブロック2400からの終了ブロックアドレスADD_ED[x:n]は、アドレスラッチ信号LAT_ADD2iの活性化に従ってアドレスレジスタ2600によってラッチされる。

【0038】

以上の動作は、アドレスレジスタ2600に始まりおよび終了ブロックアドレスADD_ST[x:m]、ADD_ED[x:m]を貯蔵するためのものである。すなわち、不揮発性メモリアレイ2100の書き込み領域または書き込み防止領域が設定される。このような動作の完了の後に、実質的な動作が実行される。もし書き込み動作の時、書き込み領域を脱したブロックアドレスが入力されると、不揮発性メモリアレイ2100に対する書き込み動作が禁止される。もしアドレス設定動作の完了の後に、書き込み領域に属するブロックアドレスが入力されると、不揮発性メモリアレイ2100に対する書き込み動作が正常に実行される。さらに具体的な説明は以下詳細に説明する。

【0039】

アドレスレジスタ2600を設定する間、図5に示したように、第2アンロック命令データUNLOCK_CMD2の入力の後に、アンロックフラッグ信号FUNLOCKが活性化される。アドレス検出ブロック2700は、アンロックフラッグ信号FUNLOCKが非活性化されている時に、検出動作を実行しない。アンロックフラッグ信号FUNLOCKが活性化されることによって、アドレス検出ブロック2700は検出動作を実行する。

【0040】

よく知られたように、書き込み動作は大きくプログラム動作と消去動作に区分されることが出来る。任意のメモリブロックにデータをプログラムしようとする場合に、直列データ入力命令、アドレス、直列データ、およびプログラム命令が、よく知られたタイミングに、従って順次に印加される。任意のメモリブロックに貯蔵されたデータを消去する場合に、ブロック消去セットアップ命令、アドレス、および消去命令が、よく知られたタイミングによって順次に印加される。プログラム/消去命令が印加される以前に、アドレス検出ブロック2700は、現在入力されたブロックアドレスADD[x:m]がアドレスレジスタ2600に貯蔵された始まりブロックアドレスADD_SD[x:m]と終了ブロックアドレスADD_ED[x:m]との間の書き込みアドレス領域を脱したか否かを検出する。

【0041】

もし現在入力されたブロックアドレスADD[x;m]が書き込みアドレス領域を脱すると、アドレス検出ブロック2700は、ロックフラッグ信号FLOCKを非活性化させる。たとえプログラム/消去命令CMD[x:m]が印加されても、命令デコーダブロック2800は、非活性化されたロックフラッグ信号FLOCKに従って、命令フラッグ信号FCMDを非活性化させる。コア制御ブロック2900は、非活性化された命令フラッグ信号FCMDに回答して、不揮発性メモリアレイ2100のプログラム/消去動作が実行されないようにする。もし現在入力されたブロックアドレスADD[x:m]が書き込みアドレス領域を脱しなければ、アドレス検出ブロック2700はロックフラッグ信号FLOCKを活性化させる。命令デコーダブロック2800は、活性化されたロックフラッグ信号FLOCKに回答して、プログラム/消去命令データCMD[x:m]をデコーディングし、デコーディング結果として、命令フラッグ信号FCMDを活性化させる。コア制御ブロック2900は、活性化された命令フラッグ信号FCMDに回答して不揮発性メモリアレイ2100のプログラム/消去動作が実行されるようにする。

【0042】

以上の説明から分かるように、ただ始まりおよび終了ブロックアドレス $ADD_ST[x:m]$ 、 $ADD_ED[x:m]$ をアドレスレジスタ 2600 に貯蔵することによって、不揮発性メモリアレイ 2100 の書き込み領域および書き込み防止領域を容易に設定することができる。

【0043】

アドレスレジスタ 2600 に貯蔵された始まりおよび終了ブロックアドレス $ADD_ST[x:m]$ 、 $ADD_ED[x:m]$ は、先の説明の過程を通じて、新しい書き込み領域を設定するためにアップデートされることができる。始まりおよび終了ブロックアドレス $ADD_ST[x:m]$ 、 $ADD_ED[x:m]$ のアップデートを防止するためのロックタイト命令 $LOCK_TIGHT_CMD$ が印加される場合に、図 5 に示したように、インターフェースブロック 2400 は、ロックタイトフラグ信号 $FLOCKT$ を活性化させる。ロックタイトフラグ信号 $FLOCKT$ が活性化される場合に、アドレスラッチ信号 $LAT_ADD[2i:1i]$ が活性化されても、始まりおよび終了ブロックアドレス $ADD_ST[x:m]$ 、 $ADD_ED[x:m]$ はラッチされない。したがって、ロックタイトフラグ信号 $FLOCKT$ が活性化される場合に、アドレスレジスタ 2600 はアップデート防止状態になる。アドレスレジスタ 2600 のアップデート防止状態は、書き込み防止信号 nWP の活性化(またはハイ-ロー遷移)に従って、解約されることができる。

10

【0044】

図 6 は、図 4 に示したアドレスレジスタの望ましい実施の形態を示すブロック図である。図 6 を参照すると、アドレスレジスタ 2600 は始まりブロックアドレス貯蔵回路 2600A と終了ブロックアドレス貯蔵回路 2600B とを含む。始まりブロックアドレス貯蔵回路 2600A は、アドレスラッチ信号 $LAT_ADD[1i]$ に応答して始まりブロックアドレス $ADD_ST[x:m]$ をラッチし、終了ブロックアドレス貯蔵回路 2600B は、アドレスラッチ信号 $LAT_ADD[2i]$ に応答して終了ブロックアドレス $ADD_ED[x:m]$ をラッチする。

20

【0045】

始まりブロックアドレス貯蔵回路 2600A は、NOR ゲート 2610a ~ 2610c、複数個の D フリップフロップ 2611 ~ 2613 を含む。各 D フリップフロップデータ入力端子 D、リセット端子 R、クロック端子 CLK 、および出力端子 Q を含む。各 D フリップフロップのリセット端子 R には、パワーオンリセットブロック 3000 からのリセット信号 RST が印加され、各 D フリップフロップのクロック端子 CLK には、NOR ゲート 2610 の出力信号が印加される。各 NOR ゲートは、対応するアドレスラッチ信号 $LAT_ADD[1i]$ が供給される第 1 入力端子と、ロックタイトフラグ信号 $FLOCKT$ が供給される第 2 入力端子とを有する。始まりブロックアドレス貯蔵回路 2600A の D フリップフロップ 2611 ~ 2613 のデータ入力端子 D には、対応する始まりブロックアドレスビット $ADD[m]$ 、 $ADD[m+1]$ 、...、 $ADD[x]$ が各々印加される。始まりブロックアドレス貯蔵回路 2600A の D フリップフロップ 2611 ~ 2613 の出力端子 Q は、ラッチされた始まりブロックアドレスビット $ADD_ST[m]$ ~ $ADD_ST[x]$ を出力する。

30

40

【0046】

続けて、図 6 を参照すると、終了ブロックアドレス貯蔵回路 2600B は、NOR ゲート 2620a ~ 2620c、複数個の D フリップフロップ 2621 ~ 2623 を含む。各 D フリップフロップは、データ入力端子 D、リセット端子 R、クロック端子 CLK 、および出力端子 Q を含む。各 D フリップフロップのリセット端子 R には、パワーオンリセットブロック 3000 からのリセット信号 RST が印加され、各 D フリップフロップのクロック端子 CLK には、NOR ゲート 2620 の出力信号が印加される。各 NOR ゲートは、アドレスラッチ信号 $LAT_ADD[2i]$ が供給される第 1 入力端子と、ロックタイトフラグ信号 $FLOCKT$ が供給される第 2 入力端子とを有する。終了ブロックアドレス貯蔵回路 2600B の D フリップフロップ 2621 ~ 2623 のデータ入力端子 D には、

50

対応する終了ブロックアドレスビット $ADD[m]$ 、 $ADD[m+1]$ 、 \dots 、 $ADD[x]$ が各々印加される。終了ブロックアドレス貯蔵回路 2600B の D フリップフロップ 2621 ~ 2623 の出力端子 Q は、ラッチされた終了ブロックアドレスビット $ADD_ED[m]$ ~ $ADD_ED[x]$ を出力する。

【0047】

回路動作において、リセット信号 RST が活性化される時に、始まりおよび終了ブロックアドレス貯蔵回路 2600A、2600B の D フリップフロップ 2611 ~ 2613、2621 ~ 2623 は初期化する。ロックタイフラッグ信号 $FLOCKT$ がローに非活性化されていると仮定すると、アドレスラッチ信号 $LAT_ADD[1i]$ が各々ハイに活性化される時に、始まりブロックアドレス貯蔵回路 2600A の D フリップフロップ 2611 ~ 2613 は、対応する始まりブロックアドレスビット $ADD[m]$ ~ $ADD[x]$ を各々ラッチする。同様に、アドレスラッチ信号 $LAT_ADD[2i]$ が各々ハイに活性化される時、終了ブロックアドレス貯蔵回路 2600B の D フリップフロップ 2621 ~ 2623 は、対応する終了ブロックアドレスビット $ADD[m]$ ~ $ADD[x]$ を各々ラッチする。もしロックタイフラッグ信号 $FLOCKT$ がハイに活性化されれば、始まりおよび終了ブロックアドレス貯蔵回路 2600A、2600B は、アドレスラッチ信号 $LAT_ADD[1i]$ 、 $LAT_ADD[2i]$ の活性化に関係なしに、入力アドレスをラッチしない。アドレスレジスタ 2600 のこのような状態を“アップデート防止状態”と称する。すなわち、ロックタイフラッグ信号 $FLOCKT$ がハイに活性化される場合に、新しい始まりおよび終了ブロックアドレスは、これ以上アドレスレジスタ 2600 に貯蔵されることができない。

【0048】

図 7 は、図 4 に示したアドレス検出ブロックの望ましい実施の形態を示すブロック図である。

【0049】

図 8 を参照すると、本発明のアドレス検出ブロック 2700 は、第 1 および第 2 アドレス比較器 2710、2720、S-R フリップフロップ 2730、AND ゲート 2740、および NAND ゲート 2750 を含む。第 1 アドレス比較器 2710 は、アドレスレジスタ 2600 からの始まりブロックアドレス $ADD_ST[x:m]$ を受け入れる第 1 入力端子 $IN1$ 、現在入力アドレス $ADD[x:m]$ を受け入れる第 2 入力端子 $IN2$ 、および比較信号 $COMP1$ を出力する出力端子 OUT を有する。第 1 アドレス比較器 2710 は、現在入力されたブロックアドレス $ADD[x:m]$ と始まりブロックアドレス $ADD_ST[x:m]$ を比較して、比較信号 $COMP1$ を出力する。第 2 アドレス比較器 2720 は、アドレスレジスタ 2600 からの終了ブロックアドレス $ADD_ED[x:m]$ を受け入れる第 1 入力端子 $IN1$ 、現在入力アドレス $ADD[x:m]$ を受け入れる第 2 入力端子 $IN2$ 、および比較信号 $COMP2$ を出力する出力端子 OUT を有する。第 2 アドレス比較器 2720 は、現在入力されたブロックアドレス $ADD[x:m]$ と終了ブロックアドレス $ADD_ED[x:m]$ を比較して、比較信号 $COMP2$ を出力する。S-R フリップフロップ 2730 は、アンロックフラッグ信号 $FUNLOCK$ を受け入れるセット端子 S、リセット信号 RST を受け入れるリセット端子 R、および出力信号を出力する出力端子 Q を有する。AND ゲート 2740 は、第 1 および第 2 アドレス比較器 2710、2720 からの比較信号 $COMP1$ 、 $COMP2$ を受け入れる。NAND ゲート 2750 は、AND ゲート 2740 の出力信号と S-R フリップフロップ 2730 の出力信号を受け入れ、ロックフラッグ信号 $FLOCK$ を出力する。

【0050】

第 1 および第 2 アドレス比較器 2710、2720 において、第 1 入力端子 $IN1$ の入力値が第 2 入力端子 $IN2$ の入力値と同一、またはそれより大きい時、出力信号 OUT はハイレベルを有する。第 1 入力端子 $IN1$ の入力値が、第 2 入力端子 $IN2$ の入力値より小さい時、出力信号 OUT はローレベルを有する。

【0051】

10

20

30

40

50

回路動作において、現在入力されたアドレスが書き込みアドレス領域に属するか否かを検出する動作は、アンロックフラグ信号 F U N L O C K が活性化された後に実行される。アンロックフラグ信号 F U N L O C K が活性化される時に、S - R フリップフロップ 2 7 3 0 の出力はハイレベルになる。もし現在入力されたアドレス A D D [x : m] が始まりおよび終了ブロックアドレス A D D _ S T [x : m]、A D D _ E D [x : m] の間の書き込みアドレス領域に属すると、比較信号 C O M P 1、C O M P 2 は先の条件に従って全部ハイレベルになり、その結果、A N D ゲート 2 7 4 0 の出力信号はハイレベルになる。N A N D ゲート 2 7 5 0 の入力信号全部がハイレベルであるので、ロックフラグ信号 F L O C K はローレベルになる。これは、現在入力アドレスに対応するメモリブロックに対する書き込み動作が実行されることを意味する。

10

【 0 0 5 2 】

もし現在入力されたアドレス A D D [x : m] が、始まりブロックアドレス A D D _ S T [x : m] より小さければ、比較信号 C O M P 1 はローレベルになり、比較信号 C O M P 2 はハイレベルになる。A N D ゲート 2 7 4 0 の出力信号がローレベルになるので、ロックフラグ信号 F L O C K はハイレベルになる。もし現在入力されたアドレス A D D [x : m] が、終了ブロックアドレス A D D _ E D [x : m] より大きければ、比較信号 C O M P 2 がローレベルになる。A N D ゲート 2 7 4 0 の出力信号がローレベルであるので、ロックフラグ信号 F L O C K はハイレベルになる。ロックフラグ信号 F L O C K のハイレベルは、現在入力アドレスに対応するメモリブロックに対する書き込み動作が禁止されることを示す。

20

【 0 0 5 3 】

したがって、現在入力されたアドレスが始まりおよび終了ブロックアドレスの間の書き込みアドレス領域に属すると、ロックフラグ信号 F L O C K がハイに活性化されて、書き込み動作が実行される。一方、現在入力されたアドレスが始まりおよび終了ブロックアドレスの間の書き込みアドレス領域を脱すると、ロックフラグ信号 F L O C K がローに非活性化されて、書き込み動作が実行されない。すなわち、所望しない(または意図されない)ブロックアドレスが入力される場合に、不揮発性メモリアレイに対する書き込み動作が防止される。

【 0 0 5 4 】

アドレス入力条件による制御信号 C O M P 1、C O M P 2、F L O C K のロジック状態は次の表 2 の通りである。

30

【 0 0 5 5 】

【 表 2 】

	COMP1	COMP2	FLOCK
ADD>ADD_ST/ED	H	L	H
ADD_ED>ADD>ADD_ST	H	H	L
ADD<ADD_ST/ED	L	H	H

(ADD : 現在入力されたアドレス、ADD_ST : 始まりアドレス、
ADD_ED : 終了アドレス)

40

【 0 0 5 6 】

図 7 で、リセット信号 R S T が活性化される時に、S - R フリップフロップ 2 7 3 0 の出力はローレベルを有する。これはパワーアップ時、ロックフラグ信号 F L O C K がハイレベルになるようにする。ロックフラグ信号 F L O C K がハイで活性化される場合に、先の説明のように、書き込み動作が禁止される。したがって、パワーアップロックフラグ信号 F L O C K がハイで活性化されるので、不揮発性メモリアレイ 2 1 0 0 は自動的に書き込み防止領域で指定されることが分かる。

50

【 0 0 5 7 】

図 8 は、本発明による不揮発性半導体メモリ装置の書き込み防止状態を説明するための状態遷移図である。

【 0 0 5 8 】

図 8 を参照すると、システムリセットまたはパワーアップ時、不揮発性メモリアレイ 2100 は書き込み防止状態 (lock state) ST1 になる。この状態は不揮発性メモリアレイの初期状態 (initial state) と呼ばれる。不揮発性メモリアレイ 2100 のすべてのメモリブロックは、書き込み防止状態 ST1 で、先の説明の方法に従って書き込み防止領域で指定されるであろう。不揮発性メモリアレイ 2100 は、書き込み防止状態 ST1 から書き込み状態 (unlock state) ST2 に、またはアップデート防止状態 (lock-tight state) ST3 に遷移されることができ、

書き込み防止状態 ST1 から書き込み状態 ST2 への遷移は、先の説明の手続き (第 1 アンロック命令、始まりブロックアドレス、第 2 アンロック命令、および終了ブロックアドレスの順次の入力) に従って、実行される。書き込み状態 ST2 では、不揮発性メモリアレイのすべてまたは一部が、先の説明の方法に従って書き込み領域で指定される。書き込み状態 ST2 では、アドレスレジスタ 2600 に新しい始まりおよび終了ブロックアドレスがアップデートされることができ、

10

【 0 0 5 9 】

書き込み防止状態 ST1 からアップデート防止状態 ST3 への遷移は、図 5 の説明のように、ロックタイト命令 LOCK_TIGHT_CMD の入力に従って、実行される。不揮発性メモリアレイ 2100 の書き込み状態 ST2 は、書き込み防止状態 ST1 またはアップデート防止状態 ST3 に遷移されることができ、

書き込み状態 ST2 から書き込み防止状態 ST1 への遷移は、適切な命令の入力に従って実行されることができ、

書き込み状態 ST2 からアップデート防止状態 ST3 への遷移は、ロックタイト命令 LOCK_TIGHT_CMD の入力に従って実行される。アップデート防止状態では、アドレスレジスタに新しい始まりおよび終了ブロックアドレスが再貯蔵されない。アップデート防止状態 ST3 はシステムリセットによって解約され、この時に、不揮発性メモリアレイ 2100 は書き込み防止状態 ST1 になる。

20

【 0 0 6 0 】

図 9 はパワーアップの後に、アドレスレジスタに書き込みアドレス領域の始まりブロックアドレスおよび終了ブロックアドレスを貯蔵する過程を説明するための流れ図である。

30

【 0 0 6 1 】

パワーオンリセットブロック 3000 は、パワーアップ時、リセット信号 RST を発生し S100、リセット信号 RST の活性化に従って各ブロックが初期化する。この時に、先の説明のように、不揮発性メモリアレイ 2100 が初期状態として書き込み防止状態に設定されるように、ロックフラグ信号 FLOCK はハイで活性化される。その次に、第 1 アンロック命令 UNLOCK_CMD1 が入力されることによって、命令デコーダブロック 2800 は、アドレスラッチ信号 LAT_ADD[1i] を活性化させ、所定の書き込み領域の始まりブロックアドレスはアドレスレジスタ 2600 に貯蔵される S110。

続けて、第 2 アンロック命令 UNLOCK_CMD2 が入力されることによって、命令デコーダブロック 2800 は、アドレスラッチ信号 LAT_ADD[2i] を活性化させ、所定の書き込み領域の終了ブロックアドレスは、アドレスレジスタ 2600 に貯蔵される S120。以上の過程を通じて、アドレスレジスタ 2600 に、始まりおよび終了ブロックアドレスが貯蔵される。以後、正常動作が実行され、入力アドレス条件に従って、書き込み動作が実行または防止されるであろう。さらに、具体的に説明すると、次の通りである。

40

【 0 0 6 2 】

現在入力されたアドレス ADD[x:m] が、アドレスレジスタ 2600 に貯蔵された始まりおよび終了ブロックアドレスの間の書き込みアドレス領域に属するか否かが、判別される S130。もし現在入力されたアドレス ADD[x:m] が書き込みアドレス領域

50

を脱すると、現在入力されたアドレス $ADD[x:m]$ に対応する、メモリブロックに対する書き込み動作が、禁止される $S140$ 。これは、命令デコーダブロック 2800 が書き込み命令の入力に関係なしに、ハイレベルのロックフラグ信号 $FLOCK$ に応答して、命令フラグ信号 F_CMD を非活性化させるためである。もし現在入力されたアドレス $ADD[x:m]$ が書き込みアドレス領域内にあると、現在入力されたアドレス $ADD[x:m]$ に対応するメモリブロックに対する書き込み動作、正常に実行されるであろう $S150$ 。

【0063】

以後、ロックタイト命令 $LOCK_TIGHT_CMD$ が印加されたか否かが判別される $S160$ 。ロックタイト命令 $LOCK_TIGHT_CMD$ が印加されない場合に、第1アンロック命令 $UNLOCK_CMD1$ が印加されたか否かが判別される $S170$ 。第1アンロック命令 $UNLOCK_CMD1$ が印加されない時に、手続きは $S150$ 段階に進行する。もし第1アンロック命令 $UNLOCK_CMD1$ が印加されれば、アドレスレジスタ 2600 が、先の説明の過程 $S110$ 、 $S120$ を通じて、新しい始まりおよび終了ブロックアドレスにアップデートされるであろう。

10

【0064】

$S160$ 段階で、ロックタイト命令 $LOCK_TIGHT_CMD$ が印加される場合に、アドレスレジスタ 2600 はアップデート防止状態に設定される $S180$ 。これはロックタイトフラグ信号 $FLOCKT$ をハイで活性化させることによって行われる。ロックタイトフラグ信号 $FLOCKT$ がハイで活性化されれば、アドレスレジスタ 2600 にはこれ以上、始まりおよび終了ブロックアドレスが再貯蔵されない。このような条件の下で、不揮発性メモリアレイ 2100 に対する書き込み動作は、先の説明と同一の方式を通じて実行または禁止されるであろう $S190$ 。次の段階 $S200$ では、システムリセット動作が実行されたか否かが判別される。もしそうではなければ、続いて正常動作が実行されるであろう。もしそうだったら、不揮発性メモリアレイ 2100 は初期状態として書き込み防止状態に設定されるであろう $S210$ 。この時に、アドレスレジスタ 2600 のアップデート防止状態は解除され、新しい始まりおよび終了ブロックアドレスは、先の説明と同一の方式で、アドレスレジスタ 2600 に貯蔵されるであろう。

20

【0065】

システムリセットはどのような段階でも可能であり、ロックタイト命令 $LOCK_TIGHT_CMD$ は、 $S120$ 段階の後にすぐ、または $S120$ 段階の以後のどのような段階でも、印加されることができる。このような点を考慮する時に、図9に示した流れ図が多様に変更することができることは、この分野の通常の知識を持つ者などに自明である。

30

【0066】

図10は、アップデート防止状態のアドレスレジスタに新しいアドレスを貯蔵する過程を説明するための流れ図である。

【0067】

パワーアップ時に、所定の書き込み領域を指定するための、始まりおよび終了ブロックアドレスを、アドレスレジスタ 2600 に貯蔵した後に、先の説明のように、アドレスレジスタ 2600 には、新しい始まりおよび終了ブロックアドレスが再貯蔵されることができる。これは次のような過程を通じて行われる。インターフェースブロック 2400 の状態レジスタ $2400A$ に貯蔵された値が、ホストまたはメモリコントローラ(図示しない)の要求に従って、ホストまたはメモリコントローラに伝達する $S200$ 。状態レジスタ $2400A$ の値がアップデート防止状態を示すか否かが判別される $S210$ 。もしアドレスレジスタ 2600 がアップデート防止状態に設定されていれば、システムリセットが実行されて、アドレスレジスタのアップデート防止状態が解除されると同時に、不揮発性メモリアレイ 2100 が、初期状態(または書き込み防止状態)に設定される $S220$ 。以後の段階 $S230 \sim S320$ は、図9に示した段階 $S110 \sim S210$ と実質的に同一であるので、それに対する説明は省略する。

40

【0068】

50

図11は、本発明による書き込み防止制御スキームを有するメモリコントローラを示すブロック図である。

【0069】

図11を参照すると、本発明のメモリコントローラ4000は、ホスト5000とNANDフラッシュメモリ装置6000との間でインターフェース役割を実行する。特に、本発明のメモリコントローラ4000は、NANDフラッシュメモリ装置6000のアレイに対する書き込み防止動作を制御する。本発明のメモリコントローラ4000は、ホストインターフェースブロック4100、制御ロジック&NANDインターフェースブロック4200、アドレスレジスタ4300、アドレス検出ブロック4400、命令デコーダブロック4500、およびパワーオンリセットブロック4600を含む。図11に示した構成要素4100、4300、4400、4500、4600は、図4に示した構成要素2400、2600、2700、2800、3000と実質的に同一に動作するので、それに対する説明は省略する。

10

20

【0070】

ここで、制御ロジック&NANDインターフェースブロック4200は、命令デコーダブロック4500の出力によってNANDフラッシュメモリ装置6000への制御信号を選択的に活性化させる。例えば、命令デコーダブロック4500の出力がメモリアレイに対する書き込み動作を示す時に、制御ロジック&NANDインターフェースブロック4200は、NANDフラッシュメモリ装置6000への制御信号を所定の制御タイミングに合わせて制御する。一方、命令デコーダブロック4500の出力がメモリアレイに対する書き込み防止動作を示す時に、制御ロジック&NANDインターフェースブロック4200は、NANDフラッシュメモリ装置6000への制御信号を活性化させない。このような方式で、メモリアレイに対する書き込み防止動作が実行されるであろう。

【0071】

図11において、本発明による書き込み防止制御回路を構成する要素がメモリコントローラ内に実現されるという点が、図4に示した不揮発性半導体メモリ装置と異なる。一方、書き込み領域の始まりおよび終了ブロックアドレスを設定する動作、書き込み防止状態で設定する動作、書き込み状態で設定する動作、およびアップデート防止状態で設定する動作は、図4に示したことと同様に実行されるので、それに対する説明は省略する。

30

【0072】

以上、本発明による回路の構成および動作を、上記した説明および図面に従って示したが、これは例をあげて説明したことに過ぎず、本発明の技術的思想および範囲を逸脱しない範囲内で、多様な変化および変更が可能であることは勿論である。

【図面の簡単な説明】

【0073】

【図1】従来の技術によるフラッシュメモリ装置のブロック制御回路を示す回路図。

【図2】本発明による書き込み防止制御回路を示すブロック図。

【図3】図2に示した不揮発性メモリアレイの書き込み領域と書き込み防止領域を示す図面。

40

【図4】本発明による不揮発性半導体メモリ装置を示すブロック図。

【図5】本発明による不揮発性半導体メモリ装置の書き込み防止動作を説明するための動作タイミング図。

【図6】図4に示したアドレスレジスタの望ましい実施の形態を示すブロック図。

【図7】図4に示したアドレス検出ブロックの望ましい実施の形態を示すブロック図。

【図8】本発明による不揮発性半導体メモリ装置の書き込み防止状態を説明するための状態遷移図。

【図9】パワーアップの後に、アドレスレジスタに書き込みアドレス領域の始まりブロックアドレスおよび終了ブロックアドレスを貯蔵する過程を説明するための流れ図。

【図10】アップデート防止状態のアドレスレジスタに新しいアドレスを貯蔵する過程を説明するための流れ図。

50

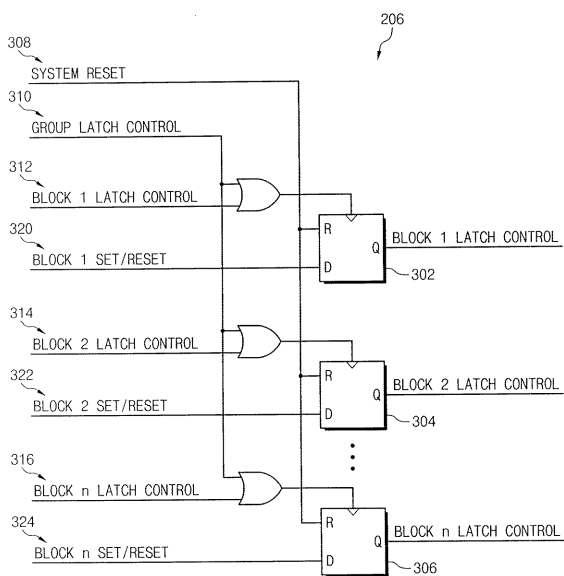
【図11】本発明による書き込み防止制御スキームを有するメモリコントローラを示すブロック図。

【符号の説明】

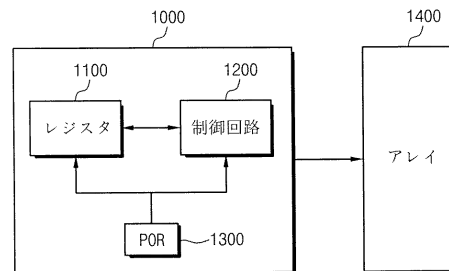
【0074】

- 1000 書き込み防止制御回路
- 1100 レジスタ
- 1200 制御回路
- 1300、3000、4600 パワーオンリセット回路
- 1400、2100 不揮発性メモリアレイ
- 2000、6000 不揮発性半導体メモリ装置
- 2200 行選択器
- 2300 ページバッファおよび列選択器
- 2400、4100、4200 インターフェースブロック
- 2500 アドレスラッチブロック
- 2600、4300 アドレスレジスタ
- 2700、4400 アドレス検出ブロック
- 2800、4500 命令デコーダブロック
- 2900 コア制御ブロック
- 5000 ホスト

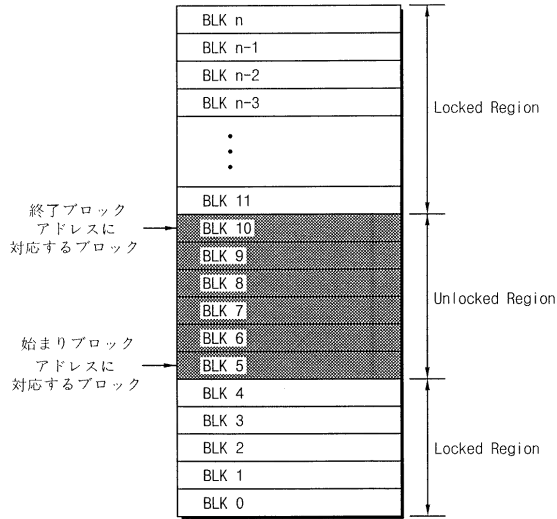
【図1】



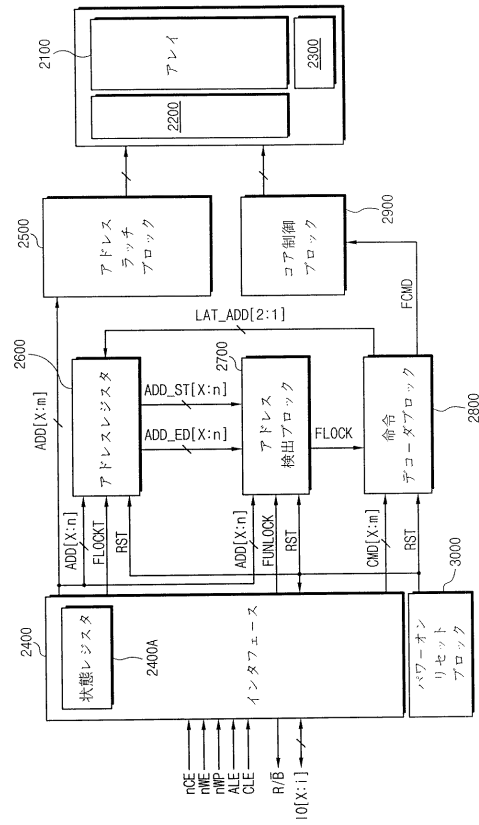
【図2】



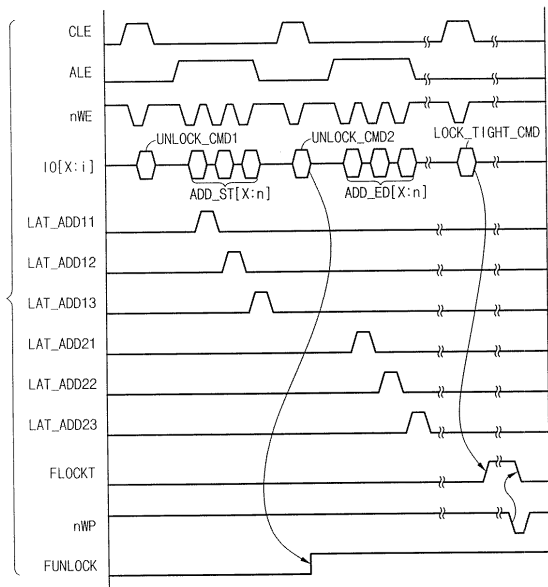
【 図 3 】



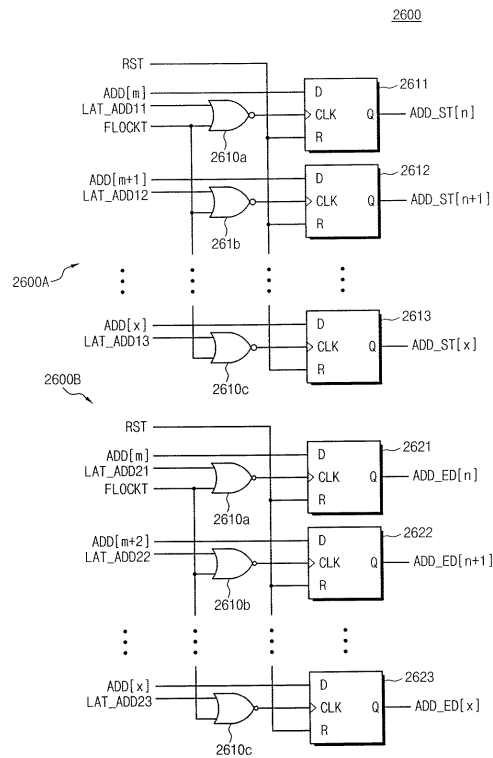
【 図 4 】



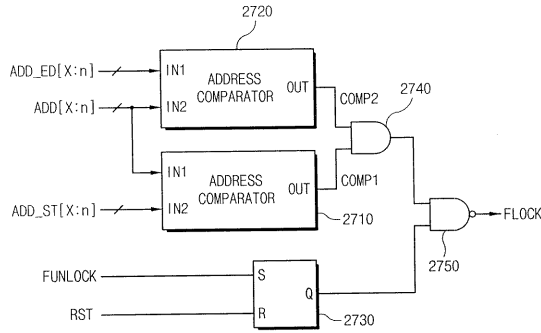
【 図 5 】



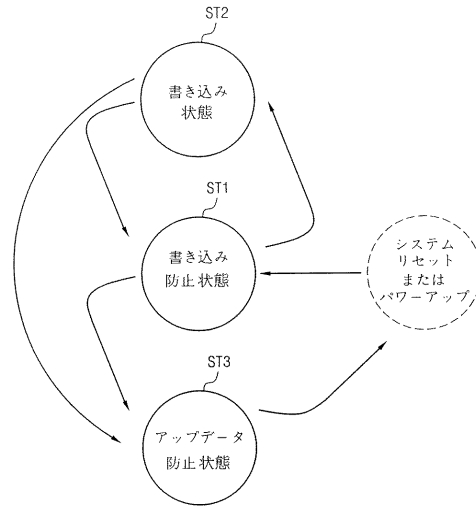
【 図 6 】



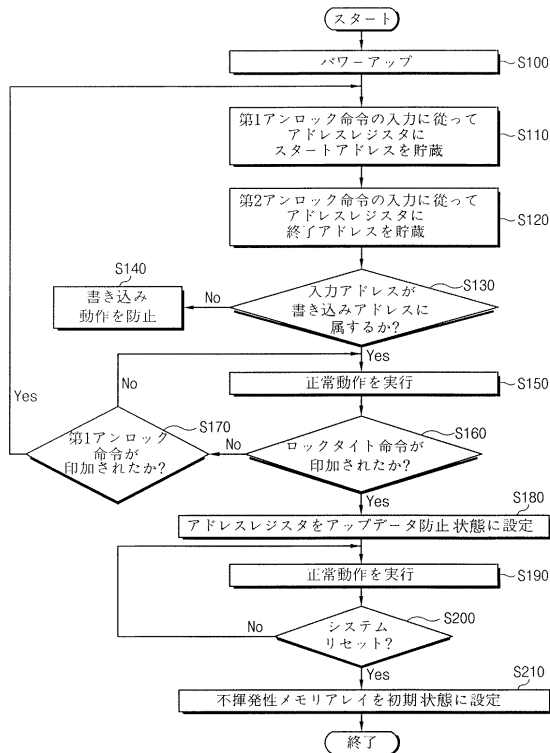
【 図 7 】



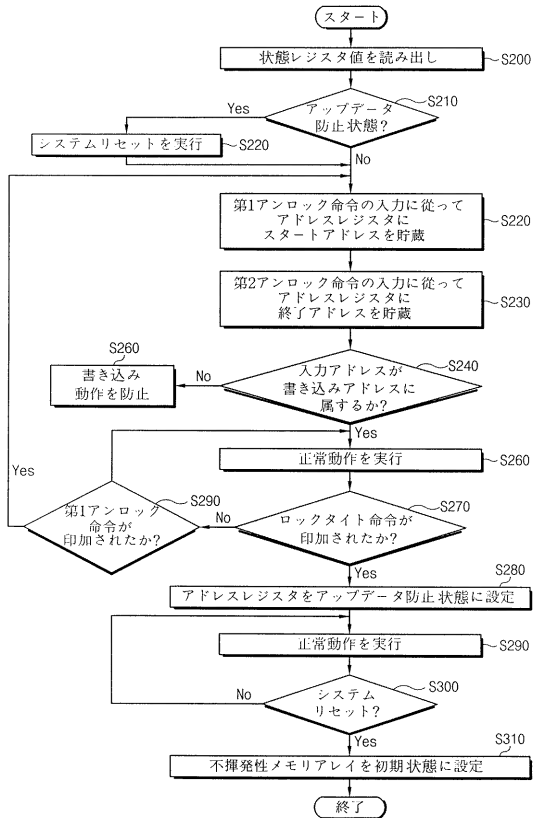
【 図 8 】



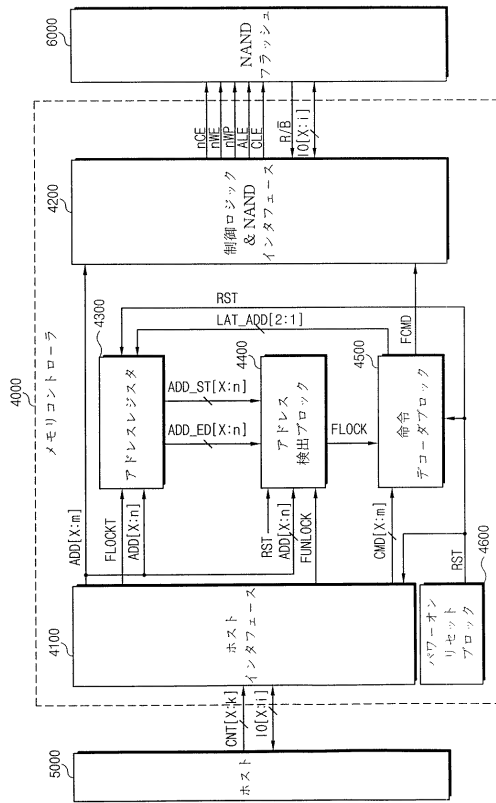
【 図 9 】



【 図 10 】



【図 11】



フロントページの続き

Fターム(参考) 5B025 AA03 AB01 AC01 AD01 AD04 AD08 AD14 AE08 AE10