(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 571 913**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **84 15899**

(51) Int Cl⁴ : H 04 N 3/14; H 01 L 27/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 17 octobre 1984.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 16 du 18 avril 1986.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *RICHARD Joseph, VINOUZE Bruno et BONNEL Madeleine.* — FR.

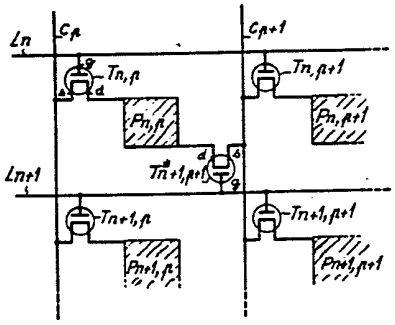
(72) Inventeur(s) : Joseph Richard, Bruno Vinouze et Madeleine Bonnel.

(73) Titulaire(s) :

(74) Mandataire(s) : Brevatome.

(54) Ecran d'affichage à matrice active à double transistor d'adressage.

(57) Ecran d'affichage à matrice active comprenant une matrice de points d'affichage et, pour ces points, des lignes d'adressage L*n* et des colonnes C*p* d'adressage, chaque point P*n, p* étant relié par un transistor à couches minces T*n, p* à une ligne L*n* et à une colonne C*p*. Cet écran est caractérisé par le fait que chaque point est, en outre, relié par un second transistor TA + 1, *p* + 1 à la ligne suivante L*n* + 1 et à la colonne suivante C*p* + 1. Les effets de coupures de colonne sont alors supprimés.



FR 2 571 913 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

ECRAN D'AFFICHAGE A MATRICE ACTIVE A DOUBLE TRANSISTOR D'ADRESSAGE

La présente invention a pour objet un écran d'affichage à matrice active à double transistor d'adressage.

Un écran d'affichage à matrice active est un dispositif formé d'une mosaïque de points mémoire, répartis sur toute la surface d'un support. Ces points mémoire stockent le signal vidéo pendant toute la durée d'affichage d'une image. Un transducteur électronique (par exemple un cristal liquide) est en contact avec chaque point mémoire. Ce transducteur est excité pendant toute la durée d'une image, alors que, dans les systèmes dépourvus de mémoire électronique, le transducteur n'est sollicité que pendant la durée de l'excitation du point. L'effet optique et le taux de multiplexage sont donc améliorés.

Le transistor à couches minces (en abrégé TCM) se prête bien à la réalisation d'un tel dispositif. Chaque point mémoire est alors situé au croisement d'une ligne et d'une colonne d'adressage et il est constitué d'un TCM d'adressage et d'un condensateur. Dans le cas où le transducteur est un cristal liquide, les armatures du condensateur sont constituées par les électrodes de la cellule à cristal liquide elles-mêmes. Le point mémoire se ramène donc à un TCM et à un condensateur dont l'une des armatures est constituée par l'électrode disposée sur l'une des parois de la cellule qui contient le cristal liquide, l'autre armature étant constituée par la contre-électrode disposée sur l'autre paroi de la cellule.

Une telle structure est représentée sur la figure 1. On y voit, d'une part, une paroi inférieure 10 portant des colonnes conductrices 12 et des lignes

conductrices 14, un TCM 20 et une électrode transparente 22, et d'autre part, une paroi supérieure 24 recouverte d'une contre-électrode 26 également transparente.

L'adressage d'un tel dispositif s'effectue de la manière suivante. Les lignes sont portées séquentiellement à un potentiel qui correspond à la tension de grille apte à rendre le TCM conducteur. Pendant toute la durée d'application de ce potentiel sur une ligne, les signaux vidéo sont appliqués successivement aux diverses colonnes, ce qui a pour effet d'exciter tous les points d'affichage (ou "pixels") de la ligne. La commande d'une ligne étant achevée, on passe à la ligne suivante, etc...

L'image est ainsi affichée point par point, chaque point gardant la mémoire de l'excitation reçue, du fait de la structure en capacité de chaque pixel. La seule perte de charge résulte du courant de fuite qui s'écoule à travers le transistor d'adressage lorsque celui-ci est dans l'état bloqué. Mais la résistance équivalente présentée par ce transistor est généralement très élevée (10^{13} ohms), de sorte que cet effet est pratiquement sans conséquence.

On connaît déjà bon nombre de procédés de fabrication de matrices actives utilisant des TCM et des condensateurs. La figure 2 illustre par exemple une technique décrite par A.J. SNELL et al. dans un article intitulé "Application of Amorphous Silicon Field Effect Transistors in Adressable Liquid Crystal Display Panels" publié dans "Applied Physics", 24, 357-362 (1981). Le TCM est formé d'une grille G en chrome déposée sur un substrat isolant 30, d'une couche de silicium amorphe 34 (aSi), d'un drain D et d'une source S en aluminium. L'armature inférieure du condensateur est formée d'une couche 38 d'oxyde

d'étain et d'indium. La connexion entre le TCM et l'armature se fait par le drain D prolongé par une patte 40 qui emprunte un trou de contact 42. L'ensemble du circuit est constitué d'une pluralité de telles structures rangées sous forme matricielle. Les grilles G sont constituées par des lignes de connexion 44 et les sources par des colonnes 46.

On connaît une autre technique de fabrication dans laquelle, à la différence de la précédente, le TCM présente ses contacts de source et de drain à la partie inférieure et sa grille à la partie supérieure. Cette technique est décrite par M. MATSUMURA et al. dans l'article intitulé "Amorphous-Silicon Integrated Circuit", publié dans "Proceedings of the IEEE", vol.68, n°10, octobre 1980, pages 1349-1350.

On connaît encore un autre procédé de fabrication, plus efficace que les précédents en ce sens qu'il ne nécessite que deux niveaux de masquage au lieu de 5 ou 6, comme c'est le cas dans les deux procédés mentionnés plus haut. Cette technique est décrite dans la publication de brevet français FR-A-2533072 et intitulée "Procédé de fabrication de circuits électroniques à base de transistors en couches minces et de condensateurs".

Les différentes opérations effectuées selon ce procédé sont illustrées sur la figure 3 qui montre différents états intermédiaires de l'écran obtenu. Ces opérations sont les suivantes :

- préparation d'un substrat de verre 100, par exemple de la marque Corning 7059, par nettoyage physico-chimique ;

- dépôt d'une couche 102 de matériau conducteur transparent, par exemple en oxyde d'étain et d'indium (a) ;

- première photogravure, pour donner à la

couche 102 la forme de colonnes 104 et de pavés 106 munis d'un appendice rectangulaire 108 (b) ;

- dépôts d'une couche de silicium amorphe hydrogéné 110, d'une couche de silice 112 et d'une couche d'aluminium 114, chaque dépôt à environ 250°C (ou plus si on utilise la technique de CVD-plasma) (c) ;

- seconde photogravure, pour définir des lignes 116 chevauchant les appendices 108 et définissant les TCM (d) ;

- passivation générale par dépôt d'une couche de SiO_2.

Avec une telle technique, les TCM se trouvent localisés dans les zones de chevauchement des lignes 116 et des colonnes 104. La source et le drain sont respectivement constitués par l'appendice 108 et la partie de la colonne 104 située sous la ligne 116 ; la grille de commande est constituée par la partie de la ligne 116 qui est située entre l'appendice 108 et la colonne 104.

Il faut retenir de tous ces procédés de fabrication de matrices actives que pour chaque point d'affichage, il existe un transistor d'adressage et un seul, celui-ci assurant la connexion entre une colonne d'adressage et l'électrode définissant le pixel.

Si de tels dispositifs conviennent bien à certains égards, ils présentent cependant un inconvénient qui est lié au fait que certaines colonnes peuvent être coupées par des microrayures. Il en résulte alors que tout ou partie d'une colonne de pixels ne pourra pas être adressée. Cet effet se manifeste par l'apparition d'un segment noir sur fond blanc, ou blanc sur fond noir selon le type d'afficheur, ce qui est particulièrement désagréable à l'oeil.

La présente invention a justement pour but

de remédier à cet inconvénient. A cette fin, l'invention préconise d'utiliser non plus un mais deux transistors d'adressage par pixel, ces deux transistors étant reliés à des lignes et colonnes adjacentes.

De manière plus précise, une électrode Pn,p qui traditionnellement, était reliée à une ligne Ln et à une colonne Cp par un transistor d'adressage Tn,p est reliée en outre, à la ligne suivante Ln+1 et à la colonne suivante Cp+1 par un second transistor noté $T^{*}_{n+1,p+1}$ (dans ces notations n et p sont des entiers compris entre 1 et respectivement N et P, si N et P sont les nombres de lignes et de colonnes de l'affichage).

L'intérêt de cette disposition est que, si l'une des colonnes d'adressage est coupée, le pixel peut quand même être excité par l'autre colonne. Pour qu'un pixel soit inacessible, il faudrait donc que les deux colonnes qui l'encadrent soient simultanément coupées, ce qui, statistiquement, est peu probable.

Cette disposition ne complique en rien le procédé de fabrication de l'écran d'affichage. Il suffit de prévoir, dans l'un quelconque des procédés connus, dont certains ont été évoqués plus haut, l'emplacement d'un deuxième TCM pour chaque condensateur.

Naturellement, la présence du deuxième TCM modifie légèrement le processus d'adressage de chaque pixel en ce sens que le point excité Pn,p, au lieu de mémoriser l'excitation correspondant à la ligne Ln et à la colonne Cp comme dans l'art antérieur, mémorisera la dernière excitation reçue, en l'occurrence la deuxième (s'il n'y a pas de coupure) qui correspond à la ligne Ln+1 et à la colonne Cp+1. Mais cette modification est, dans la plupart des cas, sans importance puisqu'elle revient simplement à décaler l'image affichée d'un intervalle ligne et d'un intervalle colonne.

Les caractéristiques de l'invention apparaîtront mieux après la description qui suit, d'exemples de réalisation donnés à titre explicatif et nullement limitatif. Cette description se réfère à des dessins annexés sur lesquels :

- la figure 1, déjà décrite, représente schématiquement un point d'affichage d'une matrice active,
- la figure 2, déjà décrite, illustre un procédé connu de réalisation d'une matrice active,
- la figure 3, déjà décrite, illustre un autre procédé connu de réalisation d'une matrice active,
- la figure 4 représente schématiquement le principe d'un écran d'affichage selon l'invention,
- la figure 5 montre un exemple de réalisation d'un tel écran.

La figure 4 montre, de façon schématique, le principe de l'écran d'affichage à matrice active selon l'invention. Sur cette figure, seulement deux lignes d'adressage sont représentées, de rang n et n+1 et seulement deux colonnes de rang p et p+1. Ces lignes et colonnes sont notées Ln, Ln+1 et Cp, Cp+1. Un point d'affichage est repéré par un double indice, le premier relatif à la ligne qui le surmonte et le second à la colonne qui le précède. Aussi, le point d'affichage, ou pixel, noté Pn,p est le point situé sous la ligne Ln et à droite de la colonne Cp.

Cette même convention est reprise pour le transistor d'adressage Tn,p qui relie le point d'affichage à la ligne Ln et à la colonne Cp.

Selon l'invention, chaque point d'afficahge Pn,p est relié à deux transistors d'adressage : un premier transistor Tn,p qui le relie à Ln et Cp et un second transistor Tn+1, p+1 qui le relie à Ln+1 et à Cp+1.

L'adressage s'effectue de la manière suivante. Lorsque la ligne Ln est active, Pn,p est excité à travers Tn,p lorsque la colonne Cp reçoit le signal vidéo approprié. Mais Pn,p est excité une seconde fois lorsque la ligne Ln+1 est active et lorsque la colonne Cp+1 reçoit le signal vidéo. C'est donc la seconde excitation qui est finalement mémorisée. Il y a donc, en définitive, translation de l'image d'un vecteur égal à la diagonale du carré délimité par deux lignes adjacentes et deux colonnes adjacentes, puisque l'information affichée en Pn,p est en fait l'information qui, dans l'art antérieur, est affichée en Pn+1, p+1.

Si l'une des deux colonnes Cp ou Cp+1 est coupée, le point Pn,p sera tout de même excité par celle des deux colonnes qui est entière.

Dans certains cas, les colonnes de l'écran peuvent être interdigitées, c'est-à-dire reliées une sur deux au circuit d'adressage par des connexions situées soit en haut, soit en bas de l'écran. Deux colonnes qui sont adjacentes dans l'un des demi-systèmes d'adressage, sont en fait non adjacentes dans le système global. Il s'agit par exemple des colonnes Cn+1, Cn+3 ou Cn et Cn+2. Dans ce cas, les effets des coupures de deux colonnes adjacentes sont supprimés.

Pour fabriquer l'écran d'affichage de l'invention, n'importe lequel des procédés décrits plus haut peut être utilisé, avec cette adaptation consistant à prévoir deux transistors par pixel au lieu d'un. Selon une variante avantageuse, on préfère utiliser le dernier procédé mentionné, qui ne requiert que deux niveaux de masquage. Dans ce cas, la matrice se présente comme illustré sur la figure 5. Les références numériques utilisées reprennent celles de la publication FR-A-2533072 déjà citée. Chaque point d'affichage comprend un pavé rectangulaire (ou carré)

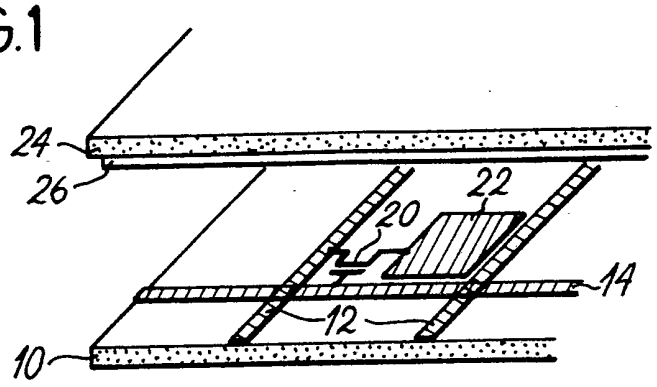
106 avec deux appendices 108 et 108* qui s'étendent le long de deux colonnes adjacentes 114 et qui s'engagent sous deux lignes adjacentes 116. Le premier transistor d'adressage se trouve dans la zone de chevauchement d'une ligne 116 avec respectivement une colonne 114 et le premier appendice 108. Le second transistor se trouve dans la zone de chevauchement de la ligne suivante avec respectivement le second appendice 108* et la colonne suivante.

REVENDICATIONS

1. Ecran d'affichage à matrice active comprenant une matrice de points d'affichage et, entre ces points, des lignes d'adressage (Ln) et des colonnes d'adressage (Cn), chaque point (Pn,p) étant relié par un transistor à couches minces (Tn,p) à une ligne (Ln) et à une colonne (Cn), cet écran étant caractérisé par le fait que chaque point est en outre relié par un second transistor ($T_{n+1, p+1}^{*}$) à la ligne suivante (Ln+1) et à la colonne suivante (Cp+1).

2. Ecran d'affichage selon la revendication 1, dans lequel chaque point d'affichage (Pn,p) est constitué d'un pavé rectangulaire, en matériau conducteur, relié à un appendice (108) lequel est engagé sous la ligne d'adressage (116) correspondant à ce point, et s'étendant à proximité de la colonne d'adressage (104) correspondant à ce point, le transistor d'adressage (Tn,p) de chaque point étant situé dans la zone de recouvrement de la ligne d'adressage correspondante (Ln) avec, respectivement, cet appendice (108) et la colonne (114) correspondante, cet écran étant caractérisé par le fait que le pavé rectangulaire comprend un second appendice (108^{*}) engagé sous la ligne d'adressage suivante et s'étendant à proximité de la colonne d'adressage suivante, un second transistor d'adressage étant ainsi constitué pour le même point d'affichage, dans la zone de recouvrement de la ligne suivante avec respectivement le second appendice (108^{*}) et la colonne suivante.

FIG.1



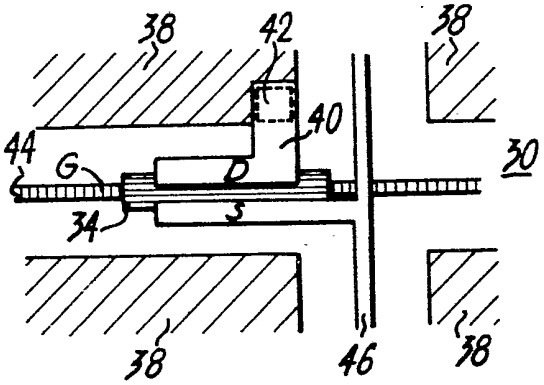


FIG.2

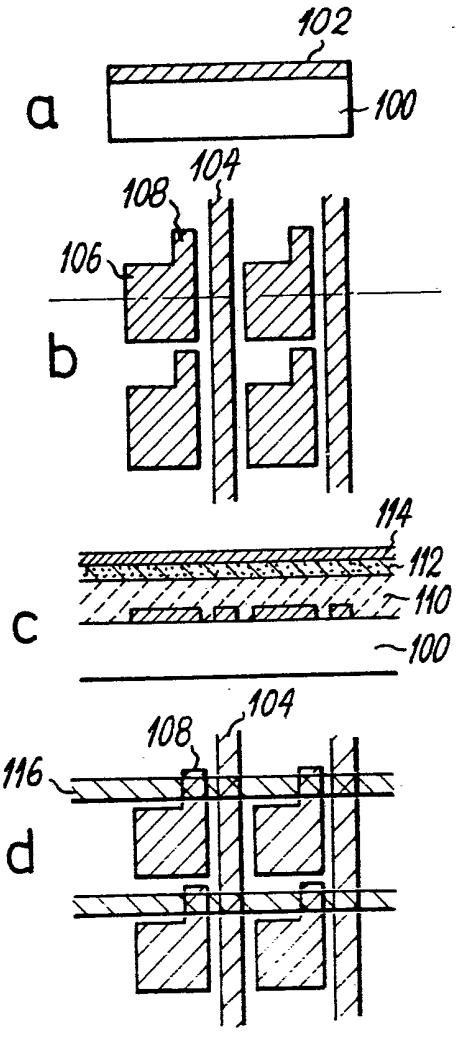


FIG.3

FIG.4

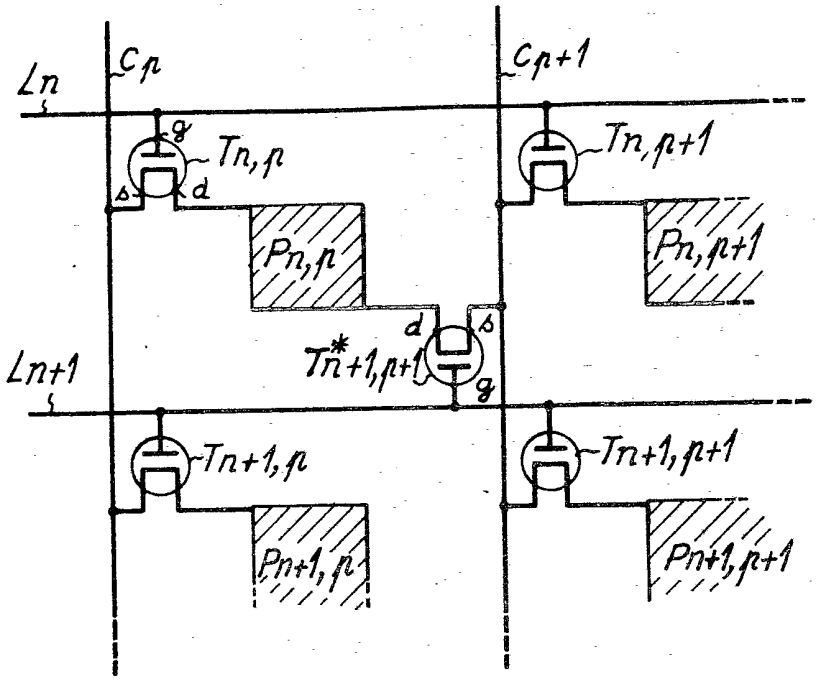
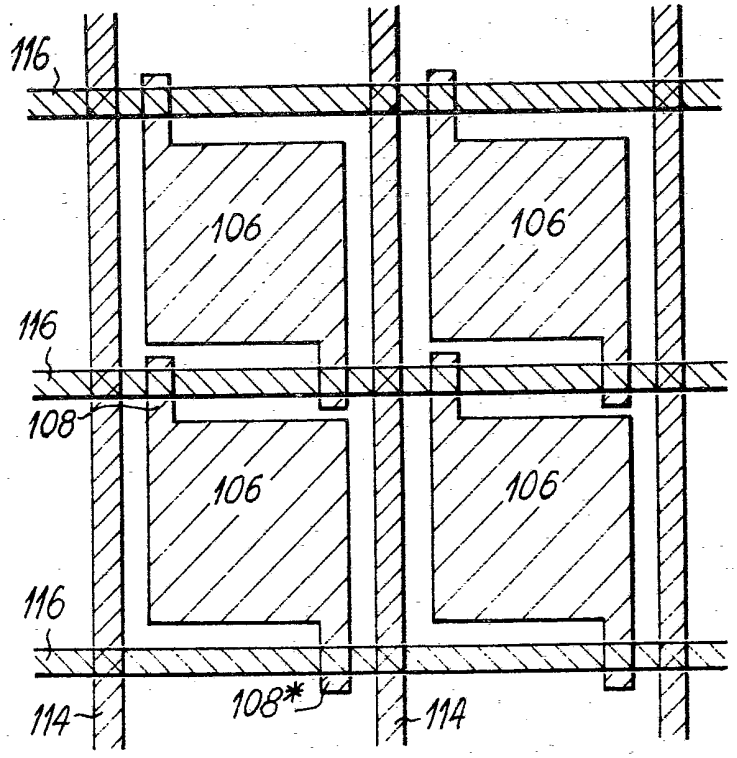

Ln
Cp
Cp+1
g
Tn,p
d
s
Pn,p
Tn,p+1
Pn,p+1
Ln+1
T*n+1,p+1
Tn+1,p
Pn+1,p
Tn+1,p+1
Pn+1,p+1

FIG.5


116
106
106
116
108
106
106
116
114
108*
114