

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月15日(15.05.2014)



(10) 国際公開番号

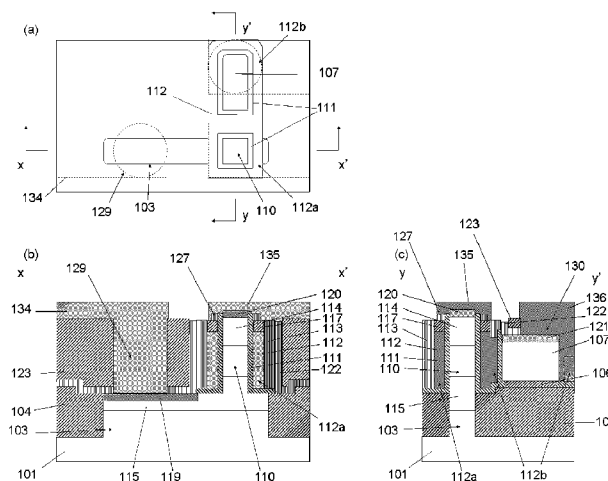
WO 2014/073104 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2012/079242
- (22) 国際出願日: 2012年11月12日(12.11.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F Semic
on Consulting株式会社内 Tokyo
(JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) Abstract: This semiconductor device manufacturing method comprises a first step and a second step. In the first step, a first resist (102) is used to form a fine silicon layer (103) on a silicon substrate (101), and a first insulating film (104) is formed therearound. In the second step: a second insulating film (105) is formed around the fine silicon layer, and the second insulating film is etched so as to be allowed to remain on the sidewalls of the fine silicon layer; a third insulating film (106) is deposited on the second insulating film, the fine silicon layer, and the first insulating film; after depositing polysilicon (107) on the first insulating film and planarizing the surface thereof, the polysilicon is etched, exposing the third insulating film; a second resist (109) is formed in such a manner as to extend in a second direction that is orthogonal to a first direction in which the fine silicon layer extends; and after etching the second and third insulating films, the fine silicon layer and polysilicon are etched, eliminating the second insulating film, and forming a columnar silicon layer, and a dummy gate comprising the polysilicon.

(57) 要約:

[続葉有]



WO 2014/073104 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置の製造方法は、シリコン基板 (101) 上に第 1 のレジスト (102) を用いてフィン状シリコン層 (103) を形成し、その周囲に第 1 の絶縁膜 (104) を形成する第 1 工程と、フィン状シリコン層の周囲に第 2 の絶縁膜 (105) を形成し、第 2 の絶縁膜をエッチングすることで、フィン状シリコン層の側壁に残存させ、第 2 の絶縁膜上とフィン状シリコン層上と第 1 の絶縁膜上とに第 3 の絶縁膜 (106) を堆積し、その上にポリシリコン (107) を堆積するとともにその表面を平坦化した後、ポリシリコンをエッチバックし、第 3 の絶縁膜を露出させ、第 2 のレジスト (109) を、フィン状シリコン層が延在する第 1 の方向に直交する第 2 の方向に延在するように形成し、第 2 及び第 3 の絶縁膜をエッチングした後、フィン状シリコン層とポリシリコンとをエッチングし、第 2 の絶縁膜を除去し、柱状シリコン層と、ポリシリコンからなるダミーゲートと、を形成する第 2 工程とを有する。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。こうした高集積化に伴って、集積回路に用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。

[0003] このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難となり、必要な電流量確保の要請から回路の占有面積を小さくすることが難しくなることがある。

[0004] これに対して、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層（シリコン柱）を取り囲む構造を備えるSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0005] 従来、SGTは、シリコン柱を描画するための第1のマスクを用いることで、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成する。さらに、平面状のシリコン層を描画するための第2のマスクを用いることで、シリコン柱の底部に平面状のシリコン層を形成する。さらに、ゲート配線を描画するための第3のマスクを用いてゲート配線を形成することで製造される（例えば、特許文献4を参照）。

即ち、シリコン柱、平面状シリコン層、ゲート配線は、3つのマスクを用いることで形成されている。

[0006] また、上記したSGTの製造方法では、コンタクトの深さが異なるため、シリコン柱上部のコンタクト孔と、シリコン柱下部の平面状シリコン層上のコンタクト孔と、を別々に形成している（例えば特許文献5を参照）。このようにコンタクト孔を別々に形成するため、製造に要する工程数が増加する

ようになる。

[0007] また、ゲート配線と基板間の寄生容量を低減するために、MOSトランジスタでは、第1の絶縁膜を用いている。例えば、FINFET（例えば、非特許文献1を参照）では、1つのフィン状半導体層の周囲に第1の絶縁膜を形成し、この第1の絶縁膜をエッチバックし、フィン状半導体層を露出させることで、ゲート配線と基板間の寄生容量を低減している。そのため、SGTにおいてもゲート配線と基板間の寄生容量を低減するために第1の絶縁膜を用いることが必要となる。SGTではフィン状半導体層に加えて、柱状半導体層が存在するため、この柱状半導体層を形成するために何らかの工夫が必要である。

先行技術文献

特許文献

- [0008] 特許文献1：特開平2－71556号公報
特許文献2：特開平2－188966号公報
特許文献3：特開平3－145761号公報
特許文献4：特開2009－182317号公報
特許文献5：特開2012－004244号公報

非特許文献

- [0009] 非特許文献1：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

- [0010] そこで、本発明は、SGTを製造するために要する工程数を低減することができるSGTの製造方法と、それにより得られるSGTの構造を提供することを目的とする。

課題を解決するための手段

- [0011] 本発明の第1の観点に係る半導体装置の製造方法は、
シリコン基板上に、第1のマスクを用いてフィン状シリコン層を形成し、

前記フィン状シリコン層の周囲に第１の絶縁膜を形成する第１工程と、

前記フィン状シリコン層の周囲に第２の絶縁膜を形成し、

前記第２の絶縁膜をエッチングすることで、前記フィン状シリコン層の側壁に残存させ、

前記第２の絶縁膜上と、前記フィン状シリコン層上と、前記第１の絶縁膜上と、に第３の絶縁膜を堆積し、

前記第３の絶縁膜上にポリシリコンを堆積するとともにその表面を平坦化した後、前記ポリシリコンをエッチバックすることで、前記フィン状シリコン層の上部の前記第３の絶縁膜を露出させ、

ゲート配線と柱状シリコン層とを形成するための第２のレジストを、前記フィン状シリコン層が延在する第１の方向に対して直交する第２の方向に延在するように形成し、

この第２のレジストを第２のマスクとして、前記第３の絶縁膜と前記第２の絶縁膜とをエッチングした後、前記フィン状シリコン層と前記ポリシリコンとをエッチングし、さらに前記第２の絶縁膜を除去することにより、前記柱状シリコン層と、前記ポリシリコンからなるダミーゲートと、を形成する第２工程と、を有する、

ことを特徴とする。

[0012] 前記第３の絶縁膜上に前記ポリシリコンを堆積するとともにその表面を平坦化した後、前記ポリシリコンをエッチバックすることで、前記フィン状シリコン層の上部の前記第３の絶縁膜を露出させた後、この露出した第３の絶縁膜上に第４の絶縁膜を堆積する、ことが好ましい。

[0013] 前記第２工程の後、ゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲にゲート導電膜を形成し、前記ゲート導電膜をエッチングすることで、前記ダミーゲート及び前記柱状シリコン層の側壁に残存させ、ゲート電極及びゲート配線を形成する第３工程をさらに含む、

ことが好ましい。

[0014] 前記第３工程の後、第１の窒化膜を堆積し、前記第１の窒化膜をエッチン

グすることで、前記ゲート電極及びゲート配線の側壁に残存させるとともに、ゲート導電膜の上部を露出させ、露出したゲート導電膜の上部をエッチングにより除去する第4工程をさらに含む、ことが好ましい。

[0015] 前記第4の工程の後、層間絶縁膜を堆積するとともにその表面を平坦化し、前記層間絶縁膜のエッチバックを行うことで、前記柱状シリコン層の上部を露出させた後、第1のコンタクトを形成するための第3のレジストを形成し、前記層間絶縁膜をエッチングすることによりコンタクト孔を形成し、前記コンタクト孔中に金属材料を堆積することにより前記フィン状シリコン層上に第1のコンタクトを形成した後、金属配線を形成するための第4のレジストを形成し、エッチングすることにより前記金属配線を形成する第5の工程をさらに有する、ことが好ましい。

[0016] 本発明の第2の観点に係る半導体装置は、
シリコン基板上に形成されたフィン状シリコン層と、
前記フィン状シリコン層の周囲に形成された第1の絶縁膜と、
前記フィン状シリコン層上に形成され、前記フィン状シリコン層の幅と等しい幅を有する柱状シリコン層と、
前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成されたゲート電極と、
前記ゲート電極に接続され、前記フィン状シリコン層が延在する第1の方向に直交する第2の方向に延在し、ポリシリコンからなるダミーゲートの側壁にサイドウォール状に形成されたゲート配線と、
前記柱状シリコン層の上部に形成された第1の拡散層と、
前記フィン状シリコン層の上部と前記柱状シリコン層の下部とに亘って形成された第2の拡散層と、を有する、
ことを特徴とする。

発明の効果

[0017] 本発明によれば、SGTを製造するために要する工程数を低減することができるSGTの製造方法と、それにより得られるSGTの構造を提供するこ

とができる。

図面の簡単な説明

[0018] [図1] (a) は本発明の実施形態に係る半導体装置の平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図2] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図3] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図4] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図5] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図6] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図7] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図8] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図9] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y

－Y' 線での断面図である。

[図10] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図11] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図12] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図13] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図14] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図15] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図16] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図17] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図18] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は(a) のX－X' 線での断面図であり、(c) は(a) のY－Y' 線での断面図である。

[図19] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図25] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b) は (a) の X-X' 線での断面図であり、(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明の実施形態に係る半導体装置の製造方法に係る平面図

であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図29] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図30] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図31] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図32] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図33] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図34] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図35] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

[図36] (a)は本発明の実施形態に係る半導体装置の製造方法に係る平面図であり、(b)は(a)のX-X'線での断面図であり、(c)は(a)のY-Y'線での断面図である。

発明を実施するための形態

[0019] 以下、本発明の実施形態に係る半導体装置(SGT)の製造方法、及び、

それにより得られる半導体装置（SGT）の構造を、図2～図36を参照しながら説明する。

[0020] まず、シリコン基板101上に、第1のマスクを用いて、フィン状シリコン層103を形成し、このフィン状シリコン層103の周囲に、第1の絶縁膜104を形成する第1工程を示す。

[0021] 即ち、図2に示すように、シリコン基板101上に、フィン状シリコン層103を形成するための第1のレジスト102を形成する。

[0022] 続いて、図3に示すように、第1のレジスト102を第1のマスクとして用い、シリコン基板101をエッチングすることで、フィン状シリコン層103を形成する。ここでは、フィン状シリコン層は、レジストを第1のマスクとして形成したが、この第1のマスクには、酸化膜や窒化膜などのハードマスクを用いることもできる。

[0023] 続いて、図4に示すように、第1のレジスト102を除去する。

[0024] 続いて、図5に示すように、フィン状シリコン層103の周囲に第1の絶縁膜104を堆積する。この第1の絶縁膜104としては、高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いることもできる。

[0025] 続いて、図6に示すように、第1の絶縁膜104をエッチバックし、フィン状シリコン層103の上部を露出させる。ここまでの工程は、非特許文献1に開示されているフィン状シリコン層の製造方法と同様である。

[0026] 以上により、第1のレジスト102を第1のマスクとして用いて、シリコン基板101上にフィン状シリコン層103を形成し、このフィン状シリコン層103の周囲に、第1の絶縁膜104を形成する、本実施形態の第1工程が示された。

[0027] 以下、フィン状シリコン層103の周囲に第2の絶縁膜105を形成し、第2の絶縁膜105をエッチングすることで、フィン状シリコン層103の側壁に残存させる。その後、第2の絶縁膜105上と、フィン状シリコン層103上と、第1の絶縁膜104上と、に第3の絶縁膜106を堆積する。

その後、第3の絶縁膜106上にポリシリコン107を堆積するとともにその表面をCMP（Chemical Mechanical Polishing）法などにより平坦化し、さらにポリシリコン107をエッチバックすることで、フィン状シリコン層103の上部の第3の絶縁膜106を露出させる。その後、ゲート配線112bと柱状シリコン層110とを形成するための第2のレジスト109を、フィン状シリコン層103が延在する第1の方向（左右方向）に対して直交する第2の方向（前後方向）に延在するように形成する。その後、この第2のレジスト109を第2のマスクとして、第3の絶縁膜106と第2の絶縁膜105とをエッチングした後、フィン状シリコン層103とポリシリコン107とをエッチングする。さらに第2の絶縁膜105を除去することにより、柱状シリコン層110と、ポリシリコン107からなるダミーゲートと、を形成する、本実施形態の第2工程を示す。

[0028] 即ち、図7に示すように、フィン状シリコン層103の周囲に第2の絶縁膜105を形成する。この第2の絶縁膜105は、ウェットエッチング速度が速い常圧CVD（Chemical Vapor Deposition）による酸化膜が好ましい。また、これに代えて、第2の絶縁膜105は、低圧CVD（Chemical Vapor Deposition）による酸化膜とすることもできる。

[0029] 続いて、図8に示すように、第2の絶縁膜105をエッチングすることで、フィン状シリコン層103の側壁に残存させる。

[0030] 続いて、図9に示すように、第2の絶縁膜105上と、フィン状シリコン層103上と、第1の絶縁膜104上とに、厚さが薄い第3の絶縁膜106を堆積する。ここで、第3の絶縁膜106には、低圧CVD（Chemical Vapor Deposition）による酸化膜を使用することが好ましい。また、第3の絶縁膜106の厚さは、第2の絶縁膜105を除去するときに、第2の絶縁膜105と同時に除去される程度の厚さとするのが好ましい。

[0031] 続いて、図10に示すように、第3の絶縁膜106上にポリシリコン107を堆積するとともにその表面をCMP（Chemical Mechanical Polishing）法などにより平坦化する。

- [0032] 続いて、図 1 1 に示すように、ポリシリコン 1 0 7 をエッチバックすることで、フィン状シリコン層 1 0 3 の上部の第 3 の絶縁膜 1 0 6 を露出させる。
- [0033] 続いて、図 1 2 に示すように、露出した第 3 の絶縁膜 1 0 6 上に、第 4 の絶縁膜 1 0 8 を堆積する。この第 4 の絶縁膜 1 0 8 は、第 2 の絶縁膜 1 0 5 と同様に、ウエットエッチング速度が大きい常圧 C V D (Chemical Vapor Deposition) による酸化膜であることが好ましい。また、この後、さらに窒化膜を堆積することもできる。
- [0034] 続いて、図 1 3 に示すように、ゲート配線 1 1 2 b と柱状シリコン層 1 1 0 とを形成するための第 2 のレジスト 1 0 9 を、フィン状シリコン層 1 0 3 が延在する第 1 の方向（左右方向）に対して直交する第 2 の方向（前後方向）に延在するように形成する。
- [0035] 続いて、図 1 4 に示すように、第 2 のレジスト 1 0 9 を第 2 のマスクとして用いることで、第 4 の絶縁膜 1 0 8 と、第 3 の絶縁膜 1 0 6 と、第 2 の絶縁膜 1 0 5 とをエッチングする。
- [0036] 続いて、図 1 5 に示すように、フィン状シリコン層 1 0 3 とポリシリコン 1 0 7 とをエッチングすることで、フィン状シリコン層 1 0 3、ポリシリコン 1 0 7 から、それぞれ、柱状シリコン層 1 1 0、ポリシリコン 1 0 7 となるダミーゲートを形成する。
- [0037] 続いて、図 1 6 に示すように、第 2 のレジスト 1 0 9 を除去する。
- [0038] 続いて、図 1 7 に示すように、第 2 の絶縁膜 1 0 5 を除去する。ここで、第 4 の絶縁膜 1 0 8 は第 2 の絶縁膜 1 0 5 と同じ材質（ここでは、常圧 C V D による酸化膜）から形成されているため、第 2 の絶縁膜 1 0 5 を除去する際に第 4 の絶縁膜 1 0 8 も除去される。また、このとき、厚さの薄い第 3 の絶縁膜 1 0 6 も除去される。第 2 の絶縁膜 1 0 5、第 4 の絶縁膜 1 0 8 及び第 3 の絶縁膜 1 0 6 は、ウエットエッチングにより除去することが好ましい。
- [0039] 以上により、フィン状シリコン層 1 0 3 の周囲に第 2 の絶縁膜 1 0 5 を形

成し、第2の絶縁膜105をエッチングすることで、フィン状シリコン層103の側壁に残存させる。その後、第2の絶縁膜105上と、フィン状シリコン層103上と、第1の絶縁膜104上とに第3の絶縁膜106を堆積する。その後、第3の絶縁膜106上にポリシリコン107を堆積するとともにその表面をCMP（Chemical Mechanical Polishing）法などにより平坦化する。その後、ポリシリコン107をエッチバックすることで、フィン状シリコン層103上部の第3の絶縁膜106を露出させる。その後、ゲート配線112bと柱状シリコン層110とを形成するための第2のレジスト109を、フィン状シリコン層103が延在する第1の方向に対して直交する第2の方向に延在するように形成する。その後、この第2のレジスト109を第2のマスクとして用い、第3の絶縁膜106と第2の絶縁膜105とをエッチングする。その後、フィン状シリコン層103とポリシリコン107とをエッチングする。さらに、第2の絶縁膜105を除去することにより、柱状シリコン層110と、ポリシリコン107からなるダミーゲートと、を形成する、本実施形態の第2工程が示された。

[0040] 以下、第2工程の後、ゲート絶縁膜111を形成し、このゲート絶縁膜111の周囲にゲート導電膜112を成膜し、ゲート導電膜112をエッチングすることで、ゲート絶縁膜111を、ポリシリコン107からなるダミーゲート及び柱状シリコン層110の側壁に残存させる。これにより、ゲート電極112a及びゲート配線112bを形成する、本実施形態の第3工程を示す。

[0041] 即ち、図18に示すように、積層体上に、ゲート絶縁膜111を形成し、さらにゲート絶縁膜111の周囲にゲート導電膜112を成膜する。ここで、ゲート導電膜112には、半導体の製造工程に用いられ、トランジスタのしきい値電圧を設定する金属材料、例えば、窒化チタン、チタン、窒化タンタル、タンタルなどを用いることが好ましい。なかでも、ゲート導電膜111には、ウエットエッチングで、エッチング速度がシリコンより大きい材質を用いることが好ましい。

また、ゲート絶縁膜 1 1 1 には、酸化膜、窒化膜、高誘電体膜などの、半導体の製造工程で使用される材料を用いることが好ましい。

[0042] 続いて、図 1 9 に示すように、ゲート導電膜 1 1 2 の所定領域をエッチングすることで、ゲート導電膜 1 1 2 の一部を、ポリシリコン 1 0 7 からなるダミーゲート及び柱状シリコン層 1 1 0 の側壁に残存させる。これにより、柱状シリコン層 1 0 9 の側壁にゲート電極 1 1 2 a を形成し、ポリシリコン 1 0 7 からなるダミーゲートの側壁にサイドウォール状にゲート配線 1 1 2 b を形成する。

[0043] 本実施形態によれば、以上のように、2つのマスクを用いることにより、フィン状シリコン層 1 0 3 と、柱状シリコン層 1 1 0 と、ゲート配線 1 1 2 b とを形成することができる。これにより、半導体装置 (S G T) の製造に要する工程数を削減することができる。また、本実施形態によれば、柱状シリコン層 1 1 0 の形成位置と、ゲート配線 1 1 2 b の形成位置とが、一本の直線上に並ぶように整合されるため、柱状シリコン層 1 1 0 と、ゲート配線 1 1 2 b との位置ずれが解消される。

[0044] 以上により、ゲート絶縁膜 1 1 1 を形成し、このゲート絶縁膜 1 1 1 の周囲にゲート導電膜 1 1 2 を成膜し、このゲート導電膜 1 1 2 をエッチングすることで、柱状シリコン層 1 1 0 の側壁にゲート電極 1 1 2 a を形成し、ポリシリコン 1 0 7 からなるダミーゲートの側壁にサイドウォール状にゲート配線 1 1 2 b を形成する、本実施形態の第 3 工程が示された。

[0045] 以下、第 3 工程の後、第 1 の窒化膜 1 1 3 を堆積し、この第 1 の窒化膜 1 1 3 をエッチングすることで、ゲート電極 1 1 2 a 及びゲート配線 1 1 2 b の側壁に残存させるとともに、ゲート導電膜 1 1 2 の上部を露出させ、露出したゲート導電膜 1 1 2 の上部をエッチングにより除去する、本実施形態の第 4 工程を示す。

[0046] 即ち、図 2 0 に示すように、第 1 の窒化膜 1 1 3 を堆積する。

[0047] 続いて、図 2 1 に示すように、第 1 の窒化膜 1 1 3 をエッチングすることで、ゲート電極 1 1 2 a 及びゲート配線 1 1 2 b の側壁に残存させるととも

に、ゲート導電膜 1 1 2 の上部を露出させる。

[0048] 続いて、図 2 2 に示すように、露出したゲート導電膜 1 1 2 の上部をエッチングにより除去する。

[0049] 以上により、第 1 の窒化膜 1 1 3 を堆積し、第 1 の窒化膜 1 1 3 をエッチングすることで、ゲート電極 1 1 2 a 及びゲート配線 1 1 2 b の側壁に残存させるとともに、ゲート導電膜 1 1 2 の上部を露出させ、露出したゲート導電膜 1 1 2 の上部をエッチングにより除去する、本実施形態の第 4 工程が示された。

[0050] 図 2 2 に示す工程に続いて、図 2 3 に示すように、柱状シリコン層 1 1 0 の所定位置に砒素を注入することにより、第 1 の拡散層 1 1 4 と第 2 の拡散層 1 1 5 とを形成する。ここでは n M O S を形成するが、p M O S を形成する場合には、ボロン又はフッ化ボロンを注入する。

[0051] 続いて、図 2 4 に示すように、積層体上に、酸化膜 1 1 6 を堆積した後、熱処理を行う。ここでは、酸化膜に代えて、窒化膜を用いることもできる。

[0052] 続いて、図 2 5 に示すように、酸化膜 1 1 6 をその一部を残してエッチングにより除去する。ここでは、ウエットエッチングを用いることが好ましい。これにより、第 1 の窒化膜 1 1 3 と柱状シリコン層 1 1 0 との間と、第 1 の窒化膜 1 1 3 と、ポリシリコン 1 0 7 からなるダミーゲートとの間と、に酸化膜 1 1 7、1 1 8 を残存させる。なお、ウエットエッチングの代わりに、ドライエッチングを用いることもできる。

[0053] 続いて、図 2 6 に示すように、積層体の所定位置に、金属材料を堆積するとともに、熱処理を行った後、未反応の金属材料を除去する。これにより、第 1 の拡散層 1 1 4 上、第 2 の拡散層 1 1 5 上に、それぞれ、第 1 のシリサイド 1 2 0、第 2 のシリサイド 1 1 9 を形成する。またこのとき、ポリシリコン 1 0 7 からなるダミーゲートの上部にシリサイド 1 2 1 が形成される。

[0054] 以下、第 4 工程の後、層間絶縁膜 1 2 3 を堆積するとともにその表面を C M P (Chemical Mechanical Polishing) 法などにより平坦化し、さらに層間絶縁膜 1 2 3 のエッチバックを行うことで、柱状シリコン層 1 1 0 の上部を

露出させた後、第1のコンタクト129、130を形成するための第3のレジスト124を形成し、層間絶縁膜123をエッチングする。これにより、コンタクト孔125、126が形成される。その後、コンタクト孔125、126中に金属材料128を堆積することにより、フィン状シリコン層103上に第1のコンタクト129を形成する。その後、金属配線134、135、136を形成するための第4のレジスト131、132、133を形成し、エッチングすることにより、金属配線134、135、136を形成する、本実施形態の第5の工程を示す。

[0055] 即ち、図27に示すように、積層体の所定領域に、窒化膜122を成膜し、窒化膜122を覆うように層間絶縁膜123を形成する。

[0056] 続いて、図28に示すように、層間絶縁膜123のエッチバックを行い、柱状シリコン層110上の窒化膜122を露出させる。

[0057] 続いて、図29に示すように、積層体の所定位置に、コンタクト孔125、126を形成するための第3のレジスト124を形成する。

[0058] 続いて、図30に示すように、第3のレジスト124から露出した層間絶縁膜123をエッチングすることで、コンタクト孔125、126を形成する。

[0059] 続いて、図31に示すように、第3のレジスト124を剥離除去する。

[0060] 続いて、図32に示すように、窒化膜122をエッチングすることで、コンタクト孔125の底部の窒化膜122と、柱状シリコン層110上の窒化膜122を除去する。なお、このとき、柱状シリコン層110の側壁に窒化膜127が残存する場合がある（図31参照）。

[0061] 続いて、図33に示すように、コンタクト孔125、126を埋め込むように、金属材料128を堆積することで、コンタクト孔125、126に、それぞれ、第1のコンタクト129、130を形成するとともに、第1のコンタクト129、130、柱状シリコン層110の上部の第1のシリサイド120に接続されるように、金属材料128を形成する。

[0062] 続いて、図34に示すように、積層体上の所定位置に、金属配線134、

135、136を形成するための第4のレジスト131、132、133を形成する。

[0063] 続いて、図35に示すように、第4のレジスト131、132、133から露出した金属材料128をエッチングすることで、金属配線134、135、136を形成する。

[0064] 続いて、図36に示すように、第4のレジスト131、132、133を剥離する。

[0065] 以上の工程によれば、金属材料128からなる金属配線134、135、136と柱状シリコン層110の上部とが、コンタクトを介することなく直接電氣的に接続されるため、柱状シリコン層110の上部に、別途コンタクトを形成する工程が不要となる。また、第1のコンタクト129、130が形成されるコンタクト孔125、126がフィン状シリコン層103よりも上方に形成されるので、コンタクト孔125、126の深さを浅くすることができる。このため、コンタクト孔125、126が形成し易くなり、さらにコンタクト孔125、126を金属材料128で埋め込むことも容易となる。

[0066] 以上により、積層体上に、層間絶縁膜123を堆積するとともにその表面をCMP (Chemical Mechanical Polishing) 法などにより平坦化し、層間絶縁膜123のエッチバックを行う。これにより、柱状シリコン層110の上部を露出させた後、第1のコンタクト129、130を形成するための第3のレジスト124を形成し、層間絶縁膜123をエッチングする。これにより、コンタクト孔125、126が形成され、このコンタクト孔125、126中に金属材料128を堆積することにより、フィン状シリコン層103上に第1のコンタクト129、130を形成する。その後、金属配線134、135、136を形成するための第4のレジスト131、132、133を形成し、エッチングすることにより、金属配線134、135、136を形成する、本実施形態の第5の工程が示された。

[0067] 以上により、2つのマスクを用いることにより、フィン状シリコン層10

3と、柱状シリコン層109と、ゲート配線112bを形成する半導体装置（SGT）の製造方法が示された。また、このSGTの製造方法によれば、総合計4つのマスクによって、SGTの全体を形成することができる。

[0068] 図1に、上記した半導体装置の製造方法によって得られる本実施形態の半導体装置の構造を示す。

図1に示すように、本実施形態の半導体装置は、シリコン基板101上に形成されたフィン状シリコン層103と、このフィン状シリコン層103の周囲に形成された第1の絶縁膜104と、フィン状シリコン層103上に形成された柱状シリコン層110とを備える。柱状シリコン層110の幅は、フィン状シリコン層103の幅と等しい。本実施形態の半導体装置は、さらに、柱状シリコン層110の周囲に形成されたゲート絶縁膜111と、このゲート絶縁膜111の周囲に形成されたゲート電極112aと、このゲート電極112aに接続され、フィン状シリコン層103が延在する第1の方向（左右方向）に直交する第1の方向（前後方向）に延在するゲート配線112bとを備える。ゲート配線112bは、ポリシリコン107からなるダミーゲートの側壁にサイドウォール状に形成されている。本実施形態の半導体装置は、さらに、柱状シリコン層110の上部に形成された第1の拡散層114と、フィン状シリコン層103の上部と柱状シリコン層110の下部とに亘って形成された第2の拡散層115と、を有する。

[0069] 上記実施形態によれば、ゲート配線112bは、ポリシリコン107からなるダミーゲートの側壁にサイドウォール状に形成されるため、ポリシリコン107からなるダミーゲートの高さによってゲート配線112bの抵抗値が決定されるようになる。このため、ゲート配線を平面状に薄く形成したときと比べ、ゲート配線112bの抵抗を低く抑えることができる。

[0070] 上記実施形態によれば、シリコン基板101上に、第1のマスクとして第1のレジスト102を用いてフィン状シリコン層103を形成し、このフィン状シリコン層103の周囲に第1の絶縁膜104を形成する第1工程と、フィン状シリコン層103の周囲に第2の絶縁膜105を形成し、この第2

の絶縁膜 105 をエッチングすることで、フィン状シリコン層の側壁に残存させる。その後、第2の絶縁膜 105 上と、フィン状シリコン層 103 上と、第1の絶縁膜 104 上とに第3の絶縁膜 106 を堆積し、第3の絶縁膜 106 の上にポリシリコン 107 を堆積するとともにその表面をCMP (Chemical Mechanical Polishing) 法などにより平坦化する。その後、ポリシリコン 107 をエッチバックすることで、フィン状シリコン層 103 の上部の第3の絶縁膜 106 を露出させる。その後、ゲート配線 112b と柱状シリコン層 110 とを形成するための第2のレジスト 109 を、フィン状シリコン層 103 が延在する第1の方向に対して直交する第2の方向に延在するように形成し、この第2のレジスト 109 を第2のマスクとして、第3の絶縁膜 106 と第2の絶縁膜 105 とをエッチングする。その後、フィン状シリコン層 103 とポリシリコン 107 とをエッチングする。その後、第2の絶縁膜 105 を除去することにより、柱状シリコン層 110 と、ポリシリコン 107 からなるダミーゲートとを形成する。

[0071] 上記実施形態によれば、以上のように、2つのマスク（第1及び第2のマスク）で、フィン状シリコン層 103 と、柱状シリコン層 110 と、ゲート配線 112b とを形成することができる。これにより、半導体装置の製造に要する工程数を削減することができる。

[0072] また、上記実施形態によれば、柱状シリコン層 110 の形成位置と、ゲート配線 112b の形成位置とが、一本の直線上に並ぶように整合されるため、柱状シリコン層 110 と、ゲート配線 112b との位置ずれを解消することができる。ダミーゲートがポリシリコン 107 から形成されているので、第2の絶縁膜 105 を除去する際、ダミーゲートがエッチングによって除去されることが抑制される。

[0073] また、上記実施形態によれば、ゲート配線 112b は、ポリシリコン 107 からなるダミーゲートの側壁にサイドウォール状に形成されるため、ポリシリコン 107 からなるダミーゲートの高さによってゲート配線 112b の抵抗値が決定されるようになる。このため、平面状に薄いゲート配線 112

bを形成したときと比べ、ゲート配線112bの抵抗を低く抑えることができる。

[0074] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0075] 例えば、上記実施例において、p型（p⁺型を含む。）とn型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も本発明の技術的範囲に含まれることは言うまでもない。

符号の説明

- [0076] 101. シリコン基板
102. 第1のレジスト
103. フィン状シリコン層
104. 第1の絶縁膜
105. 第2の絶縁膜
106. 第3の絶縁膜
107. ポリシリコン（ダミーゲート）
108. 第4の絶縁膜
109. 第2のレジスト
110. 柱状シリコン層
111. ゲート絶縁膜
112. ゲート導電膜
112a. ゲート電極
112b. ゲート配線
113. 第1の窒化膜
114. 第1の拡散層
115. 第2の拡散層

- 1 1 6. 酸化膜
- 1 1 7. 酸化膜
- 1 1 8. 酸化膜
- 1 1 9. 第2のシリサイド
- 1 2 0. 第1のシリサイド
- 1 2 1. シリサイド
- 1 2 2. 窒化膜
- 1 2 3. 層間絶縁膜
- 1 2 4. 第3のレジスト
- 1 2 5. コンタクト孔
- 1 2 6. コンタクト孔
- 1 2 7. 窒化膜
- 1 2 8. 金属材料
- 1 2 9. 第1のコンタクト
- 1 3 0. 第1のコンタクト
- 1 3 1. 第4のレジスト
- 1 3 2. 第4のレジスト
- 1 3 3. 第4のレジスト
- 1 3 4. 金属配線
- 1 3 5. 金属配線
- 1 3 6. 金属配線

請求の範囲

[請求項1]

シリコン基板上に、第1のマスクを用いてフィン状シリコン層を形成し、前記フィン状シリコン層の周囲に第1の絶縁膜を形成する第1工程と、

前記フィン状シリコン層の周囲に第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチングすることで、前記フィン状シリコン層の側壁に残存させ、

前記第2の絶縁膜上と、前記フィン状シリコン層上と、前記第1の絶縁膜上と、に第3の絶縁膜を堆積し、

前記第3の絶縁膜上にポリシリコンを堆積するとともにその表面を平坦化した後、前記ポリシリコンをエッチバックすることで、前記フィン状シリコン層の上部の前記第3の絶縁膜を露出させ、

ゲート配線と柱状シリコン層とを形成するための第2のレジストを、前記フィン状シリコン層が延在する第1の方向に対して直交する第2の方向に延在するように形成し、

この第2のレジストを第2のマスクとして、前記第3の絶縁膜と前記第2の絶縁膜とをエッチングした後、前記フィン状シリコン層と前記ポリシリコンとをエッチングし、さらに前記第2の絶縁膜を除去することにより、前記柱状シリコン層と、前記ポリシリコンからなるダミーゲートと、を形成する第2工程と、を有する、

ことを特徴とする半導体装置の製造方法。

[請求項2]

前記第3の絶縁膜上に前記ポリシリコンを堆積するとともにその表面を平坦化した後、前記ポリシリコンをエッチバックすることで、前記フィン状シリコン層の上部の前記第3の絶縁膜を露出させた後、この露出した第3の絶縁膜上に第4の絶縁膜を堆積する、ことを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項3]

前記第2工程の後、ゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲にゲート導電膜を形成し、前記ゲート導電膜をエッチングすること

で、前記ダミーゲート及び前記柱状シリコン層の側壁に残存させ、ゲート電極及びゲート配線を形成する第3工程をさらに含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。

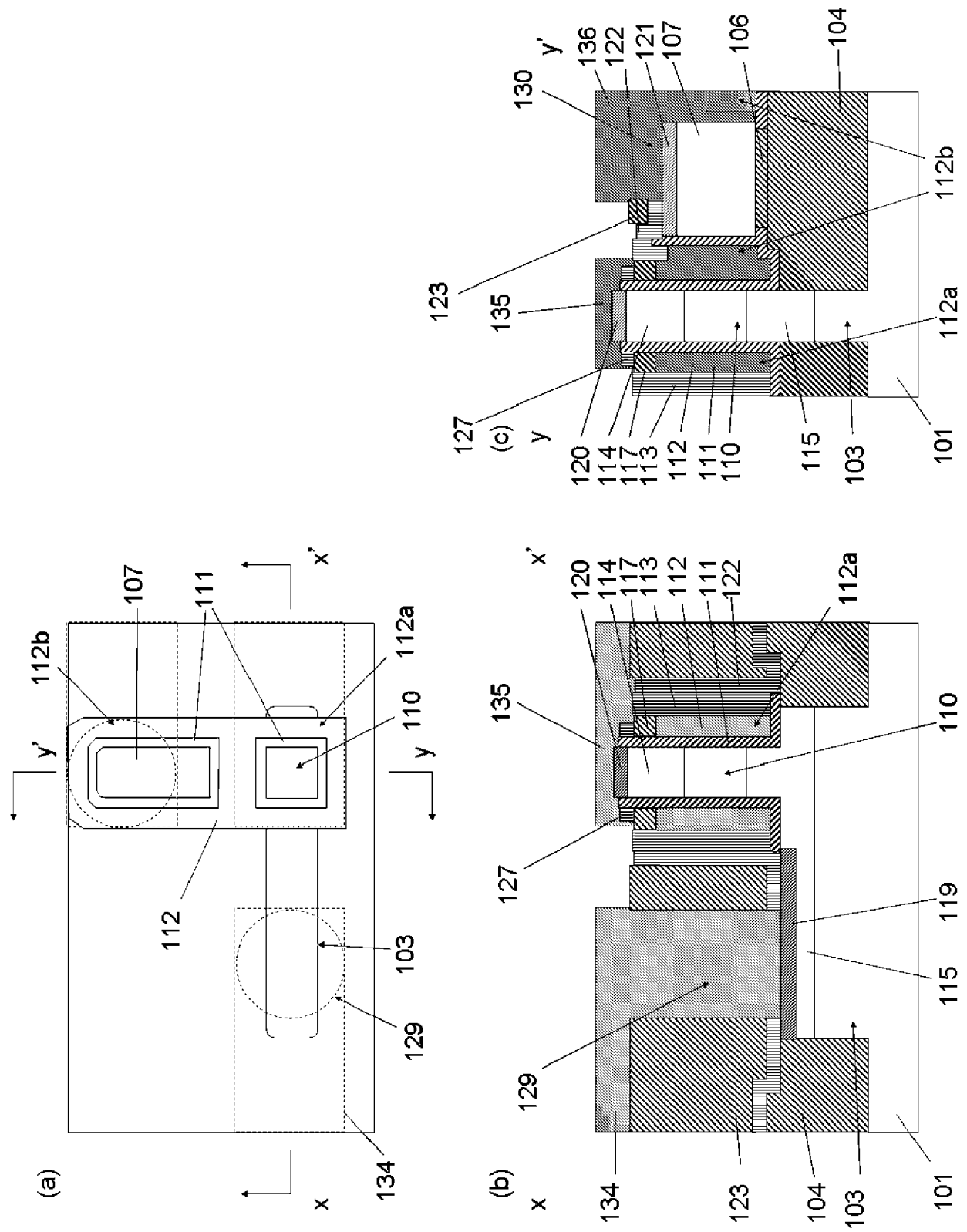
[請求項4] 前記第3工程の後、第1の窒化膜を堆積し、前記第1の窒化膜をエッチングすることで、前記ゲート電極及びゲート配線の側壁に残存させるとともに、ゲート導電膜の上部を露出させ、露出したゲート導電膜の上部をエッチングにより除去する第4工程をさらに含む、ことを特徴とする請求項3に記載の半導体装置の製造方法。

[請求項5] 前記第4の工程の後、層間絶縁膜を堆積するとともにその表面を平坦化し、前記層間絶縁膜のエッチバックを行うことで、前記柱状シリコン層の上部を露出させた後、第1のコンタクトを形成するための第3のレジストを形成し、前記層間絶縁膜をエッチングすることによりコンタクト孔を形成し、前記コンタクト孔中に金属材料を堆積することにより前記フィン状シリコン層上に第1のコンタクトを形成した後、金属配線を形成するための第4のレジストを形成し、エッチングすることにより前記金属配線を形成する第5の工程をさらに有する、ことを特徴とする請求項4に記載の半導体装置の製造方法。

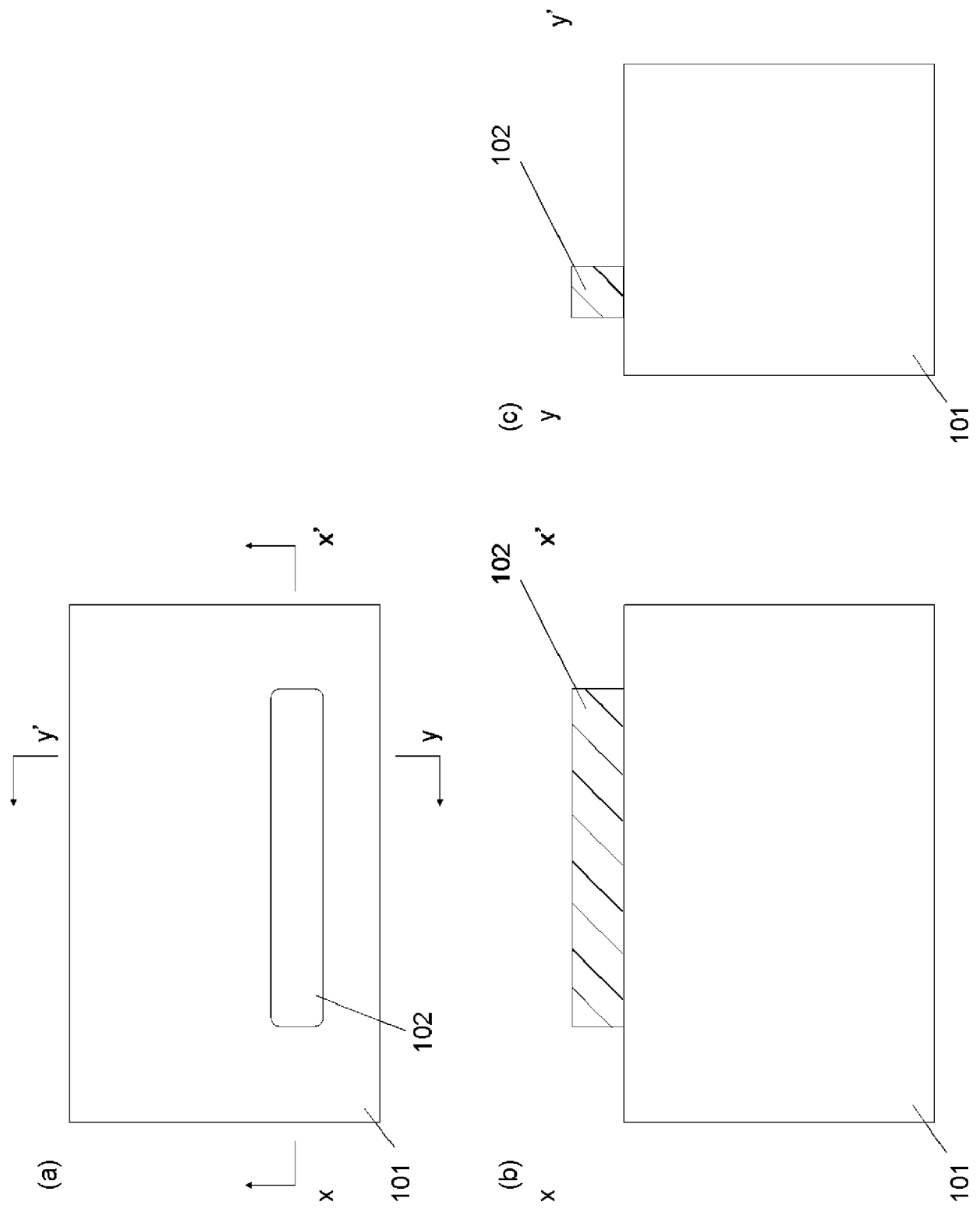
[請求項6] シリコン基板上に形成されたフィン状シリコン層と、
前記フィン状シリコン層の周囲に形成された第1の絶縁膜と、
前記フィン状シリコン層上に形成され、前記フィン状シリコン層の幅と等しい幅を有する柱状シリコン層と、
前記柱状シリコン層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成されたゲート電極と、
前記ゲート電極に接続され、前記フィン状シリコン層が延在する第1の方向に直交する第2の方向に延在し、ポリシリコンからなるダミーゲートの側壁にサイドウォール状に形成されたゲート配線と、
前記柱状シリコン層の上部に形成された第1の拡散層と、
前記フィン状シリコン層の上部と前記柱状シリコン層の下部とに亘

って形成された第2の拡散層と、を有する、
ことを特徴とする半導体装置。

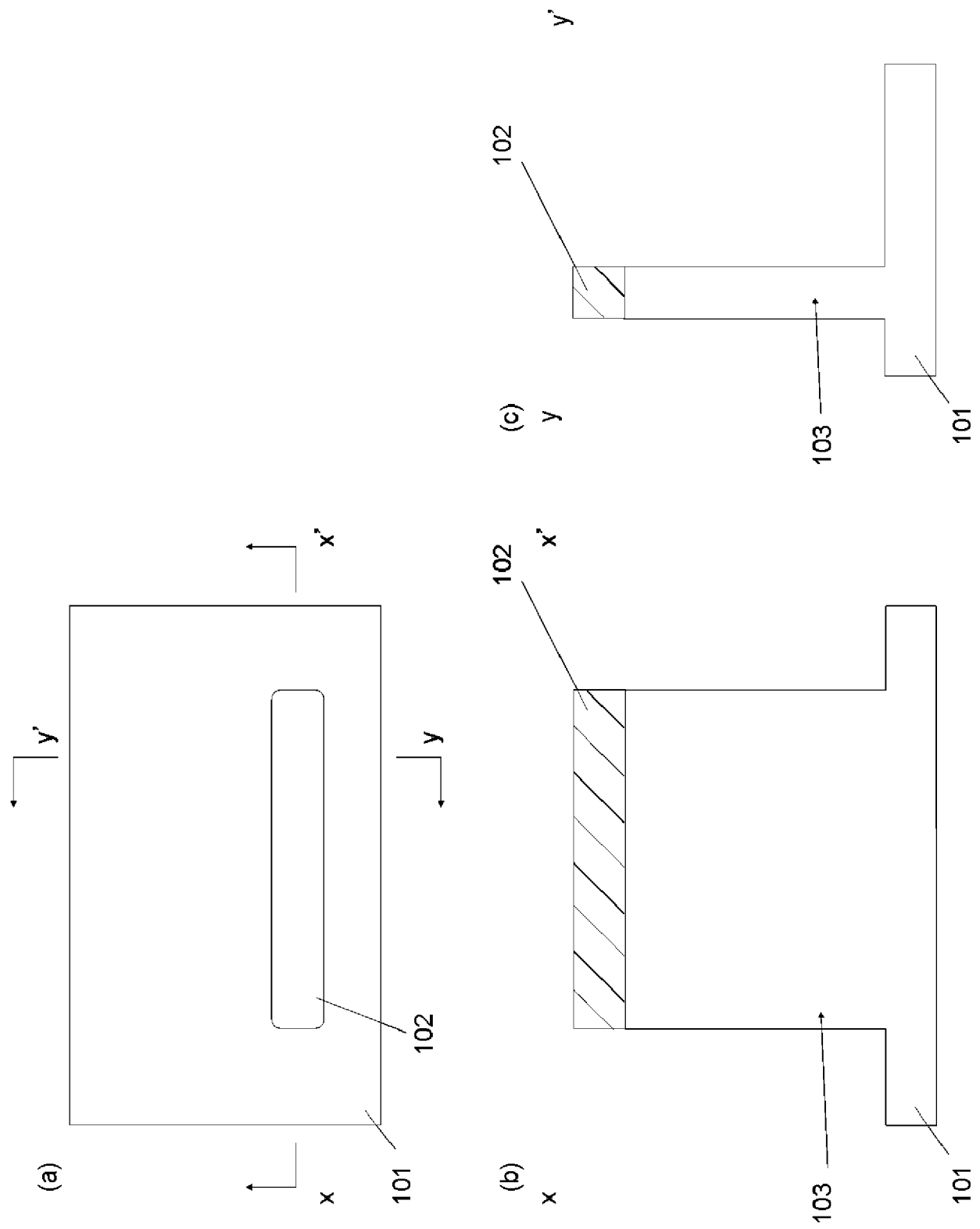
[図1]



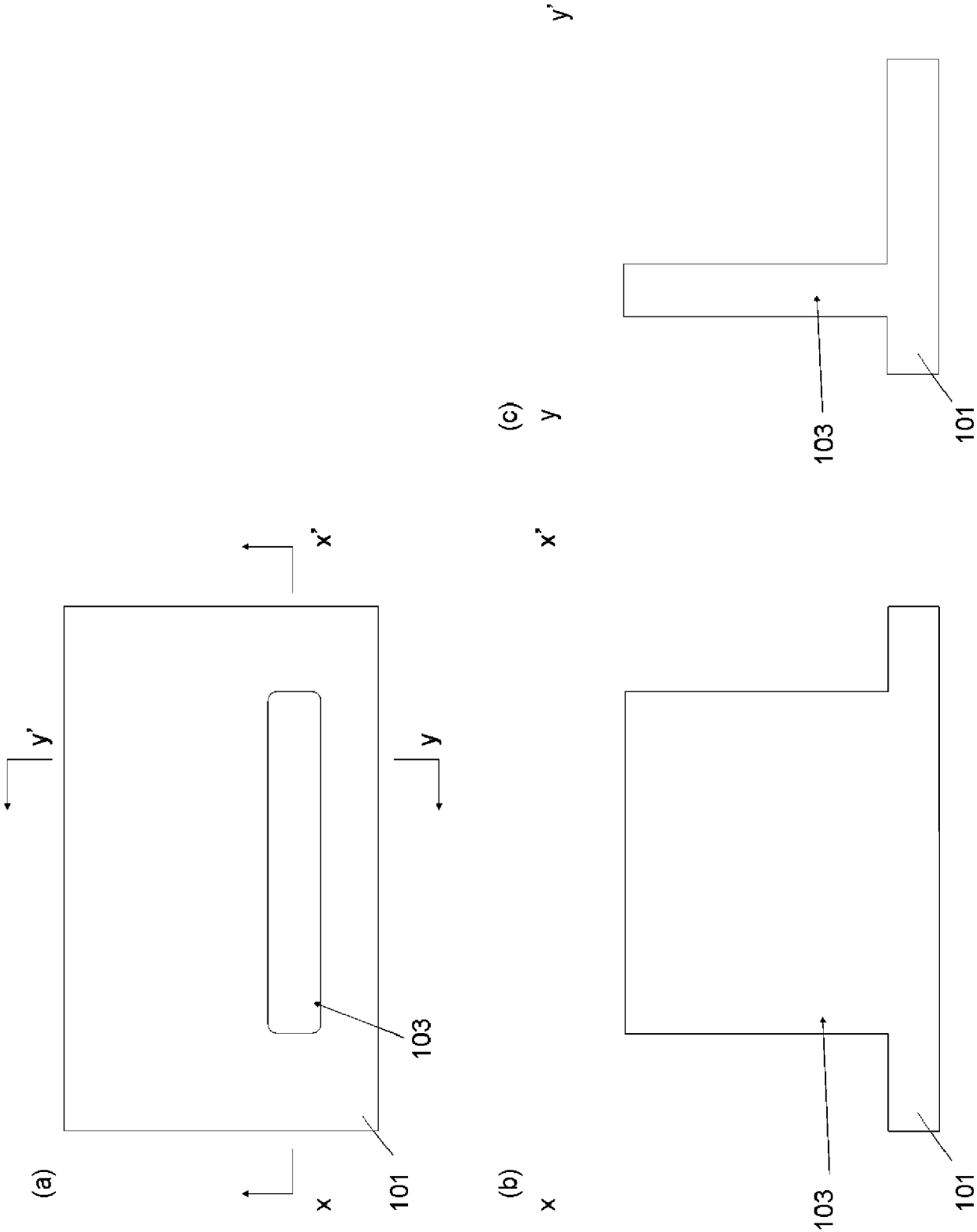
[図2]



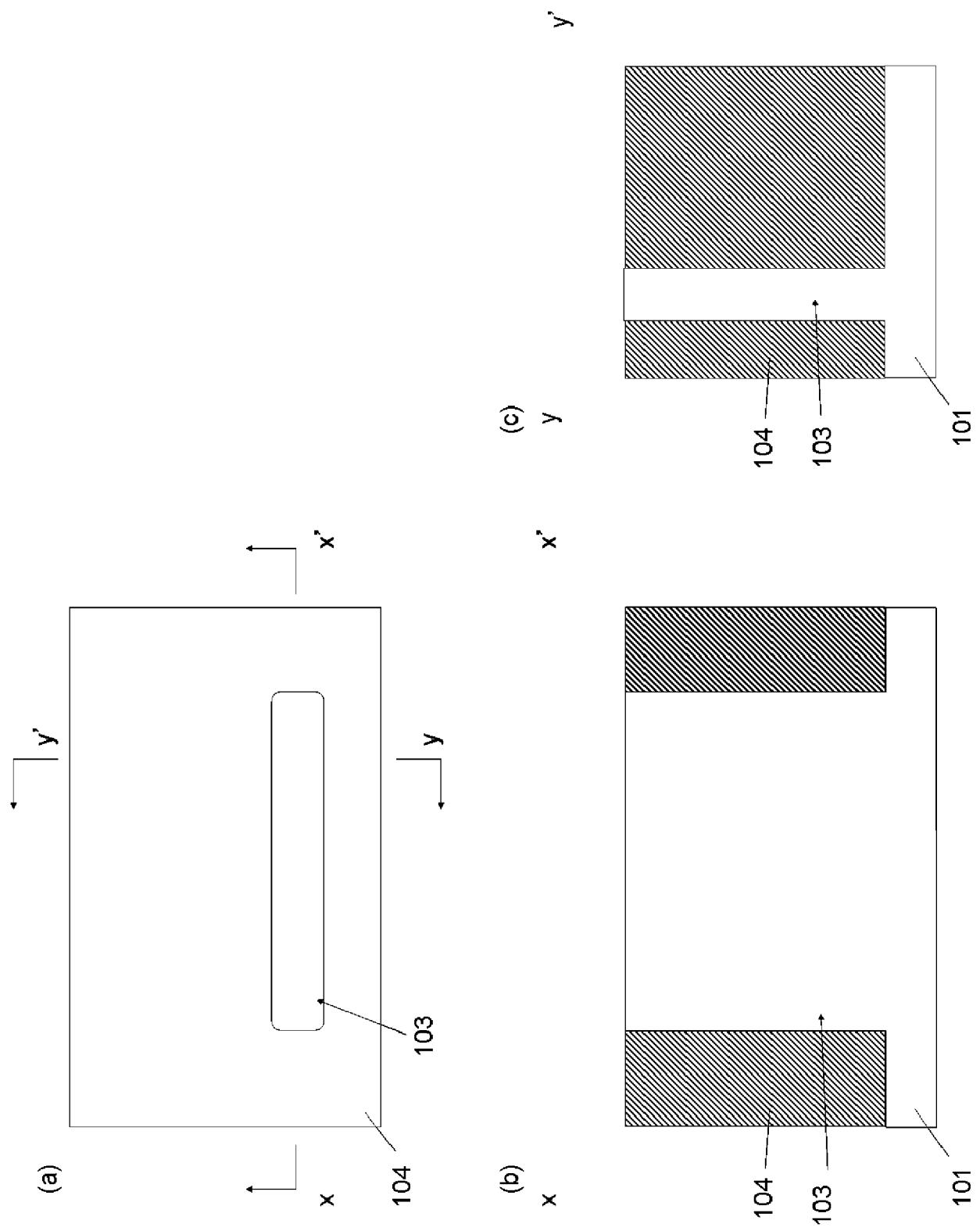
[図3]



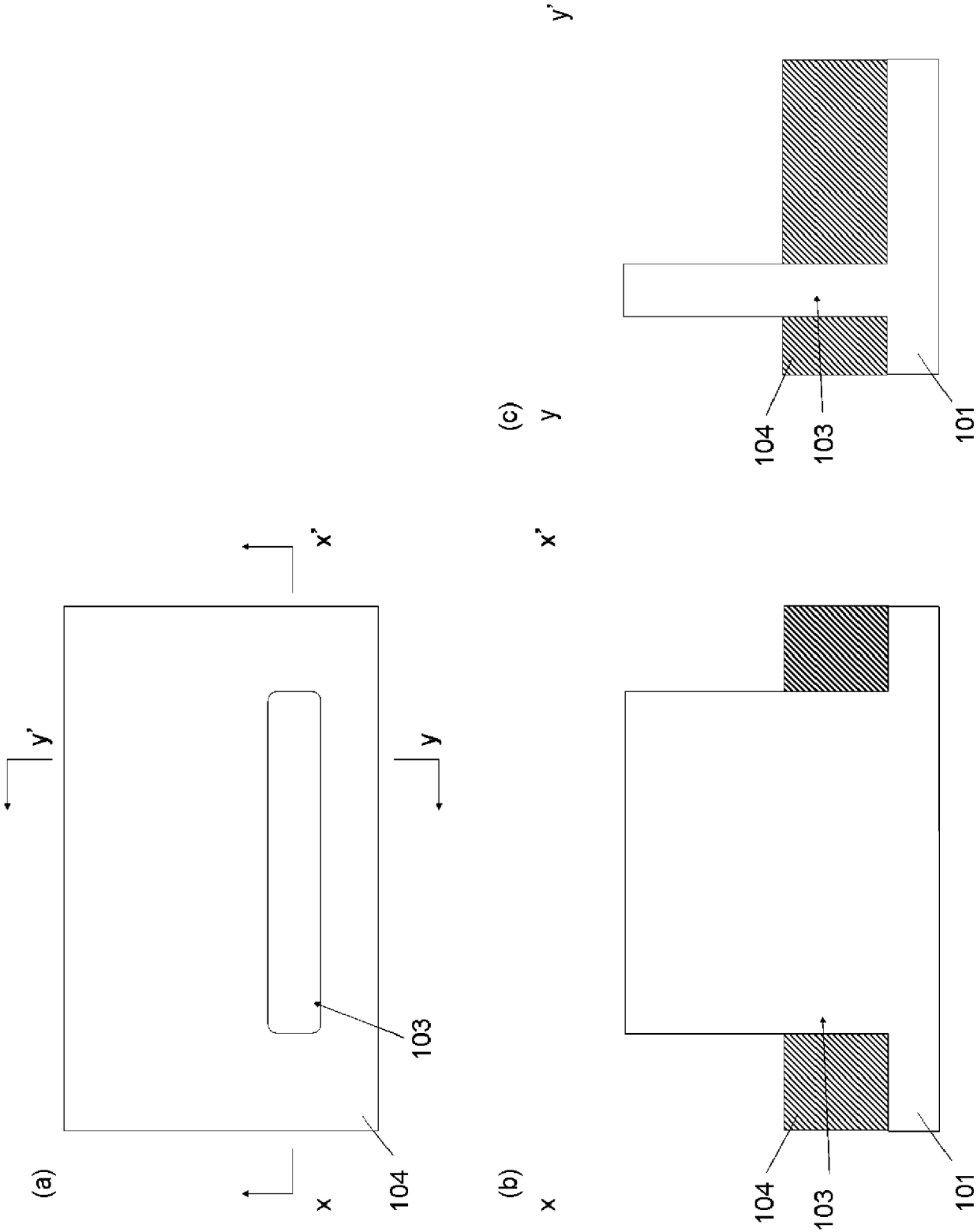
[図4]



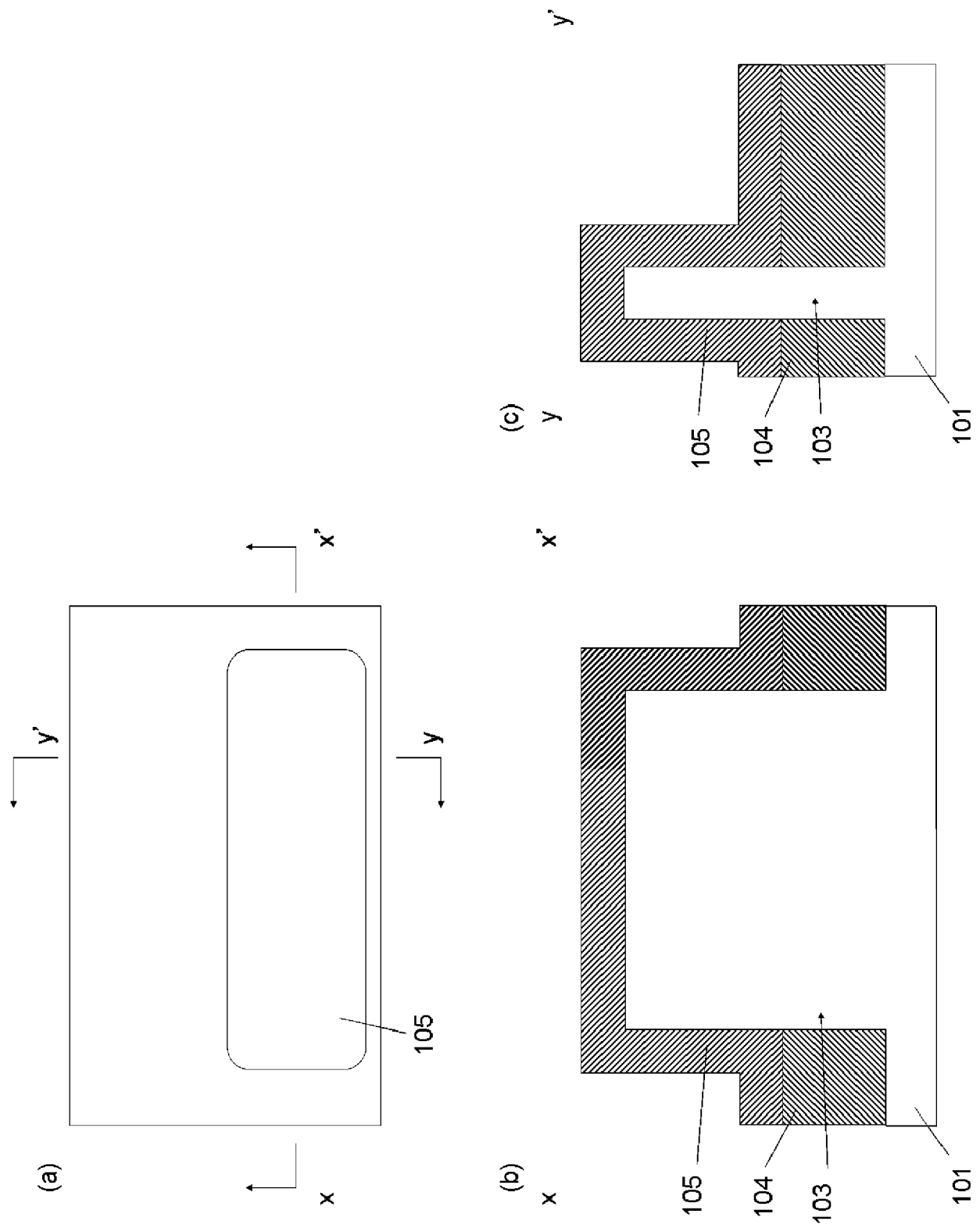
[図5]



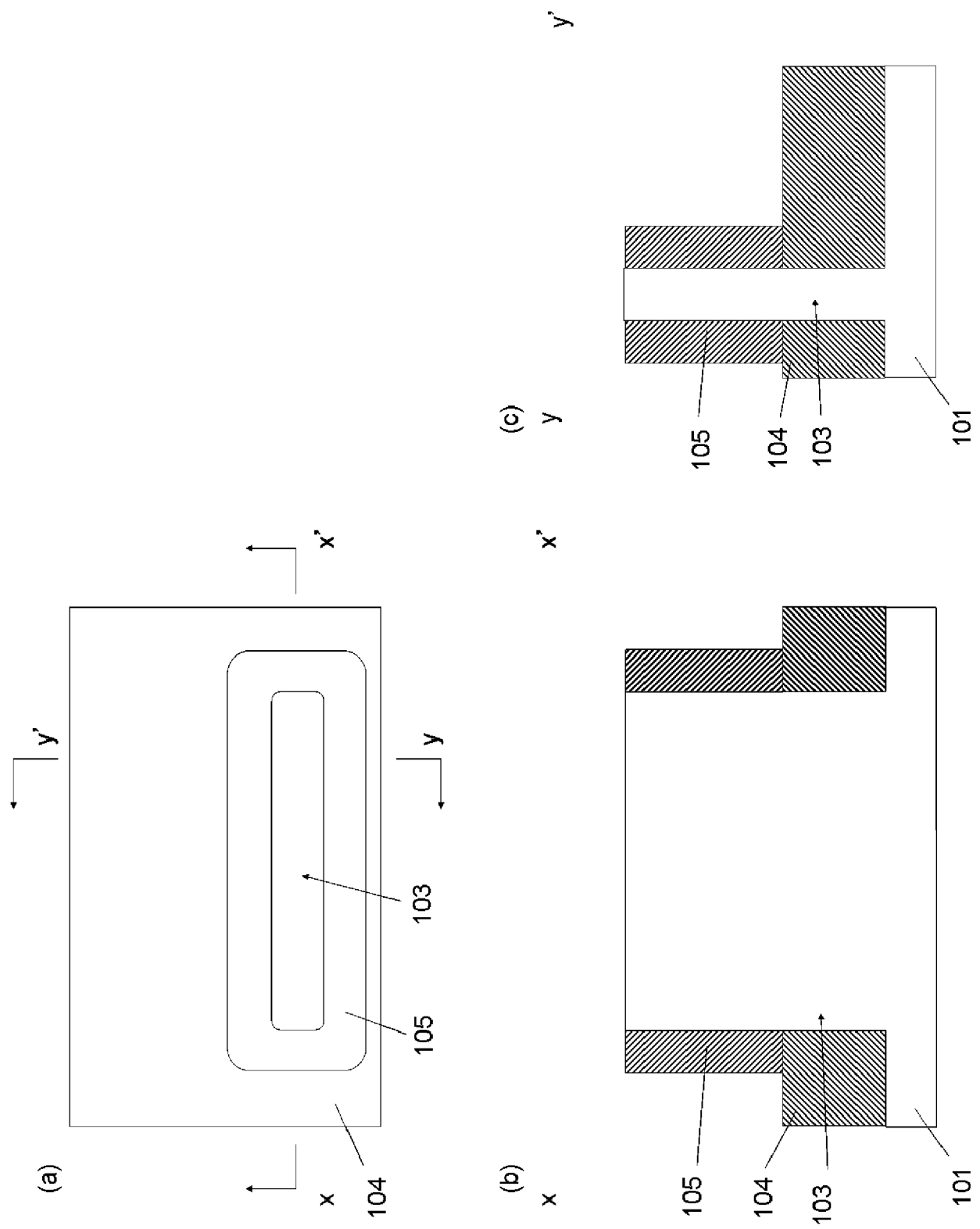
[図6]



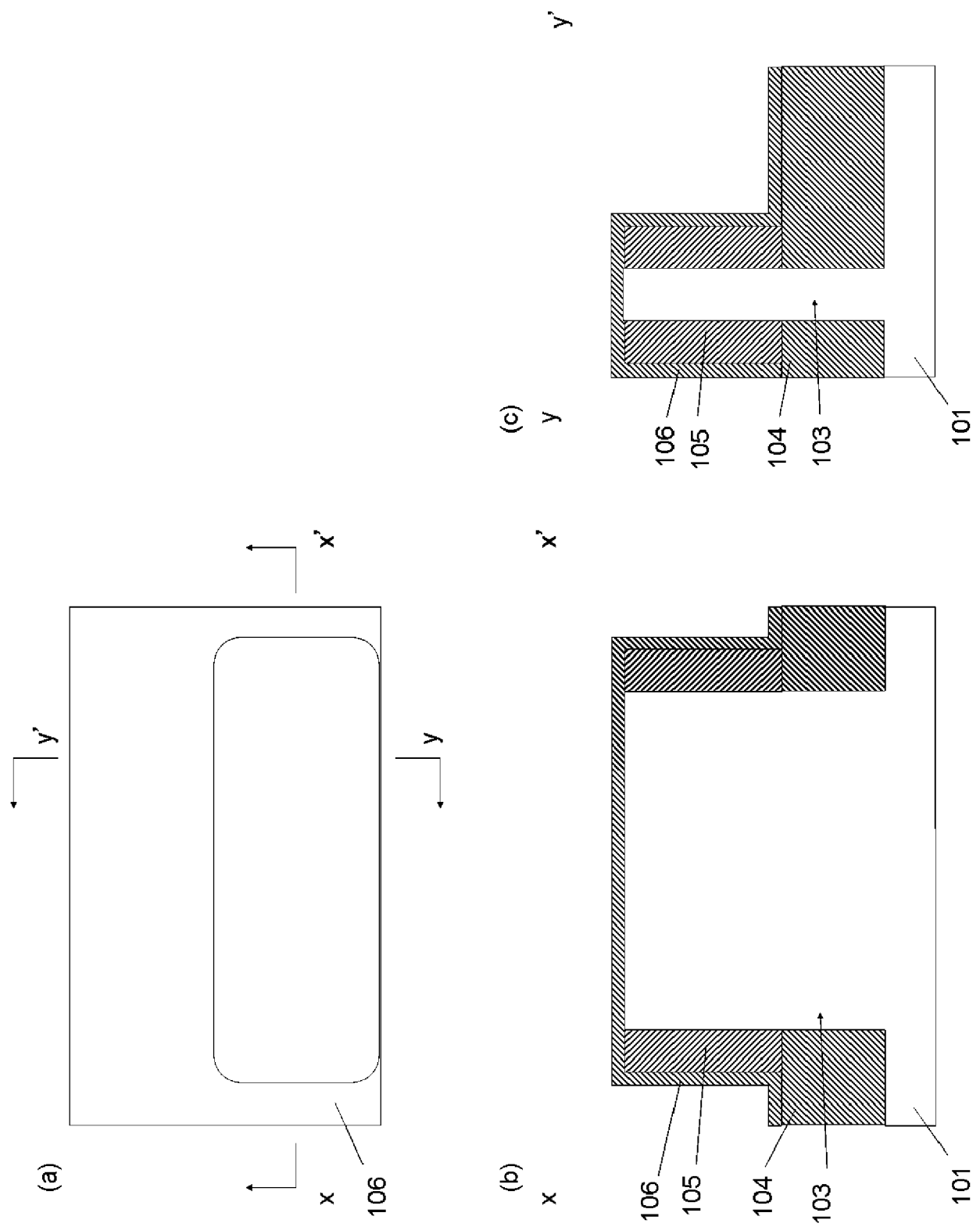
[図7]



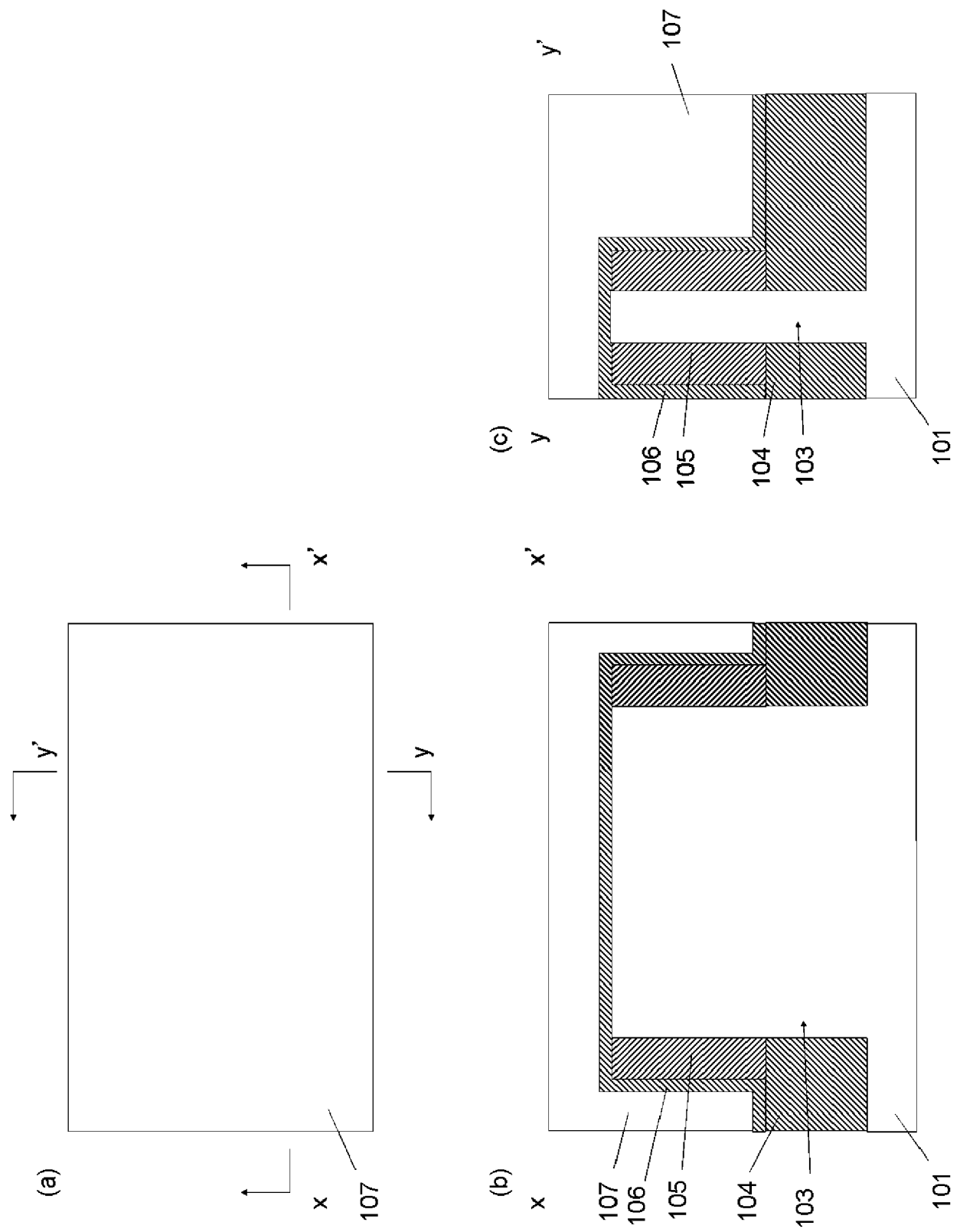
[図8]



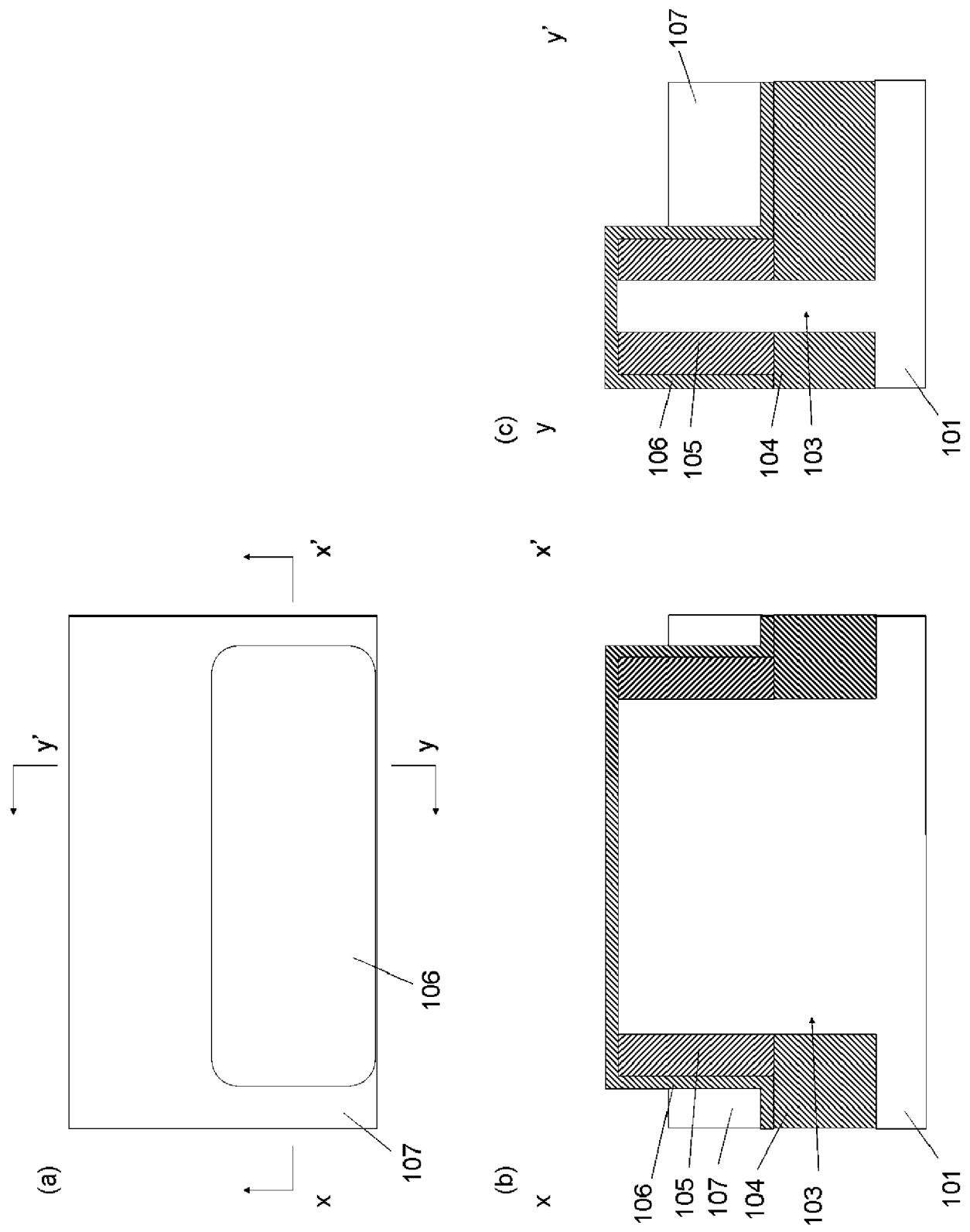
[図9]



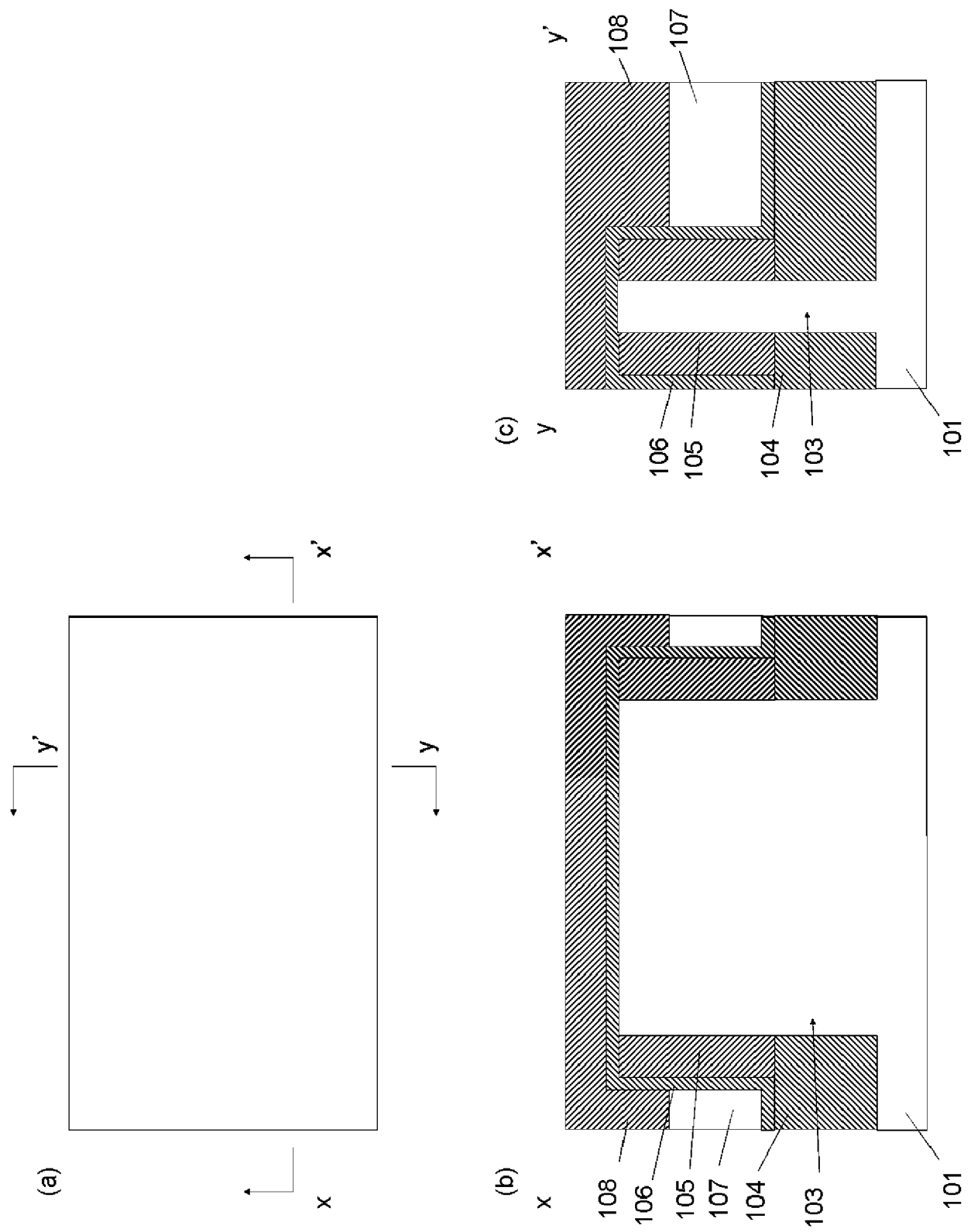
[図10]



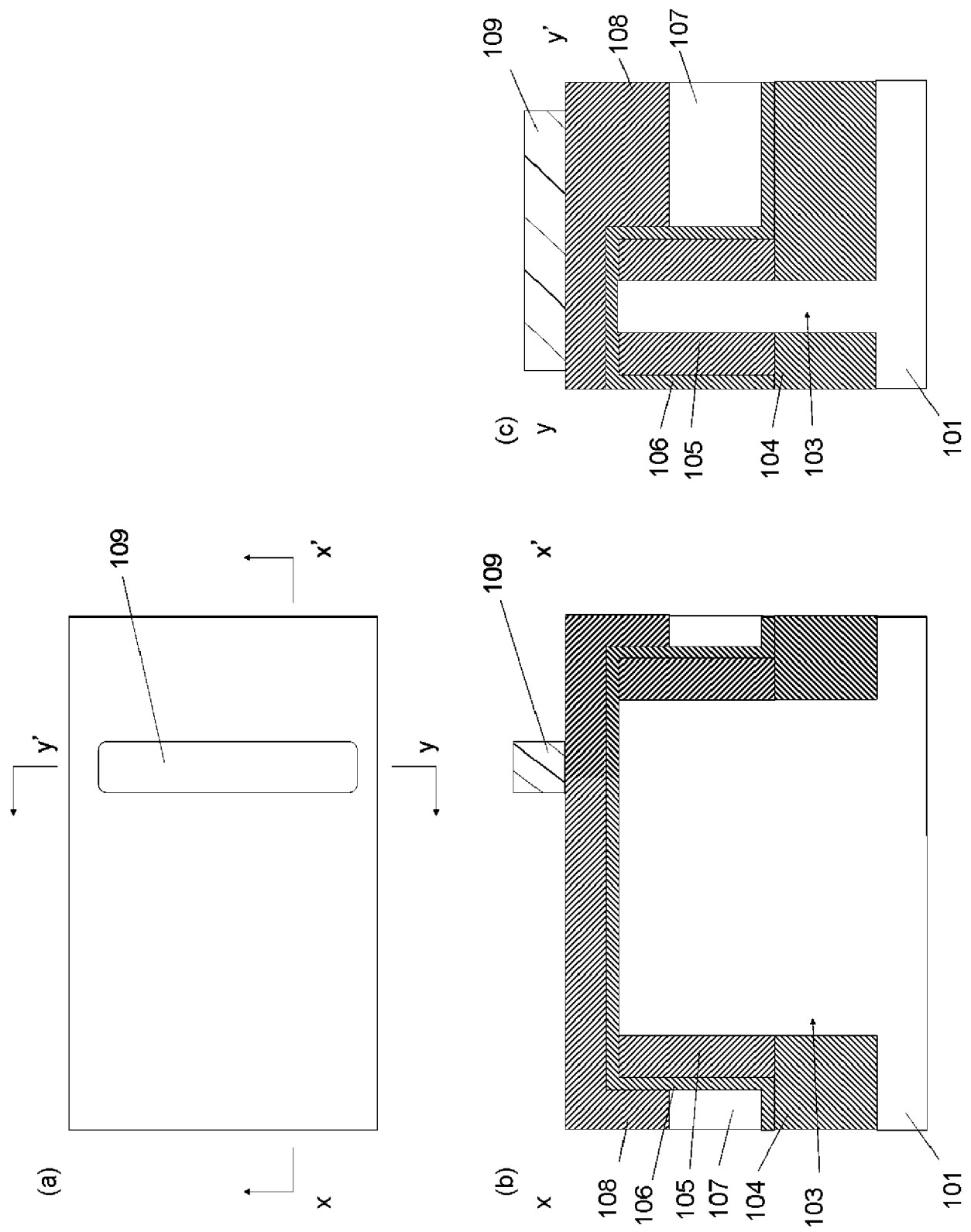
[図11]



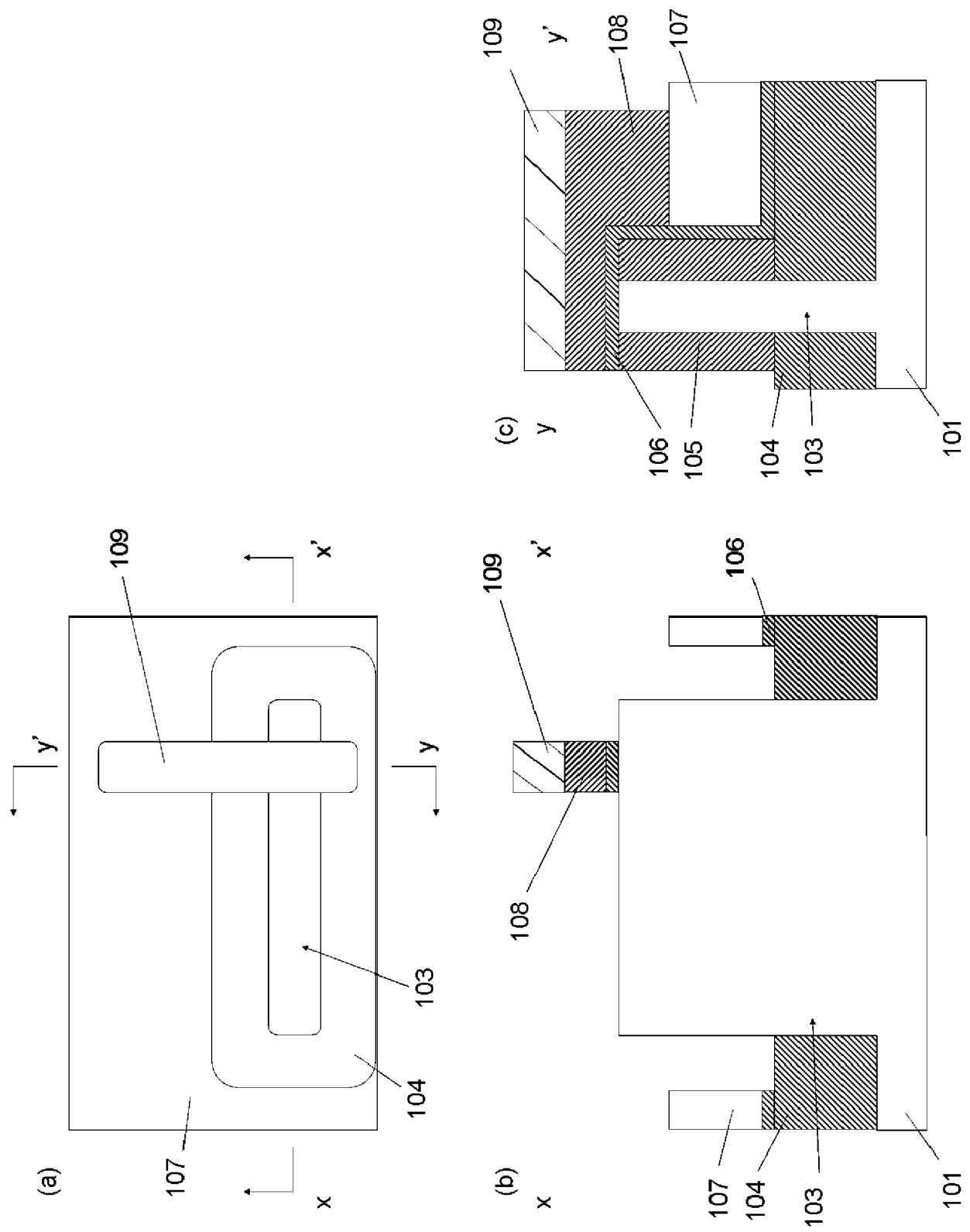
[図12]



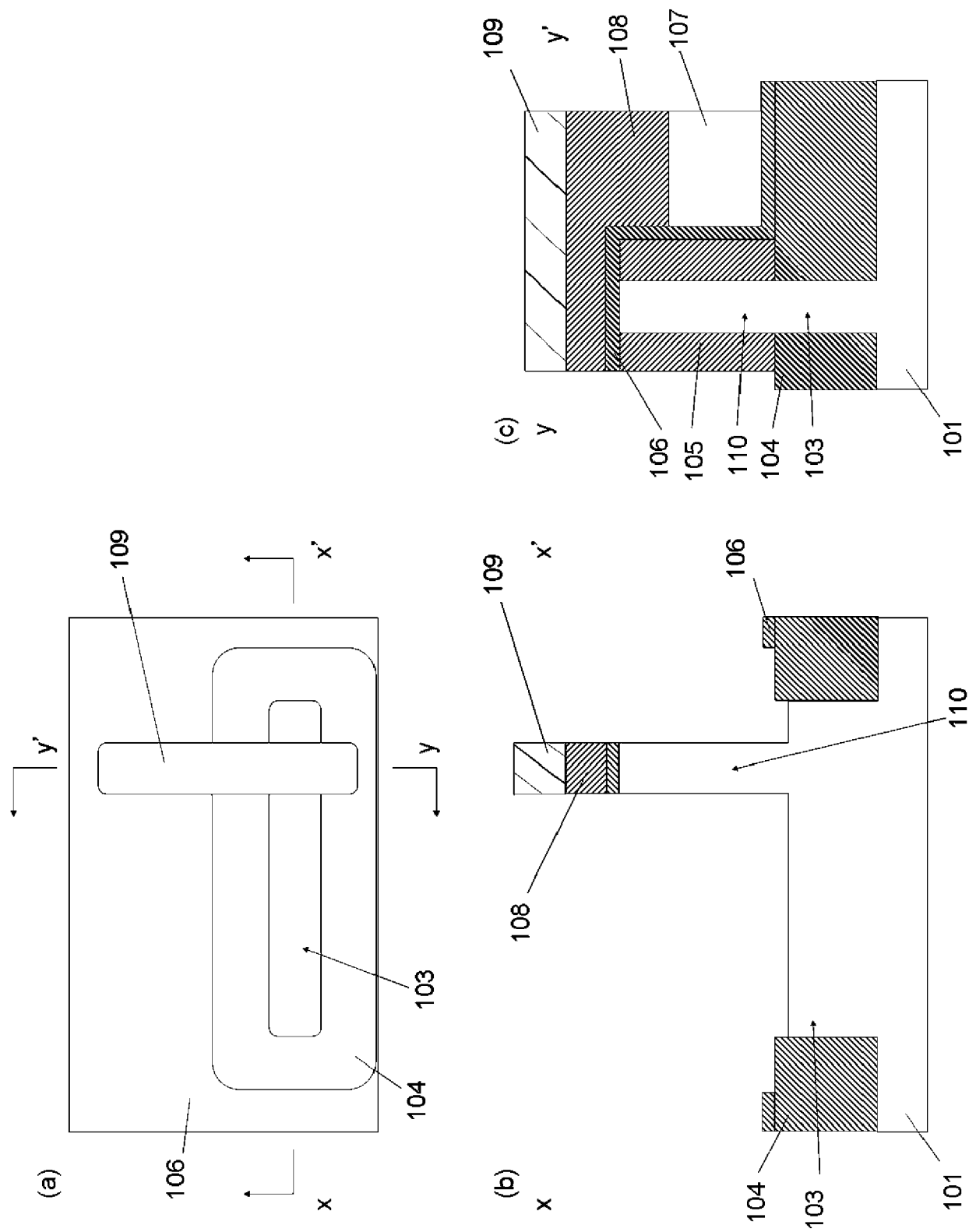
[図13]



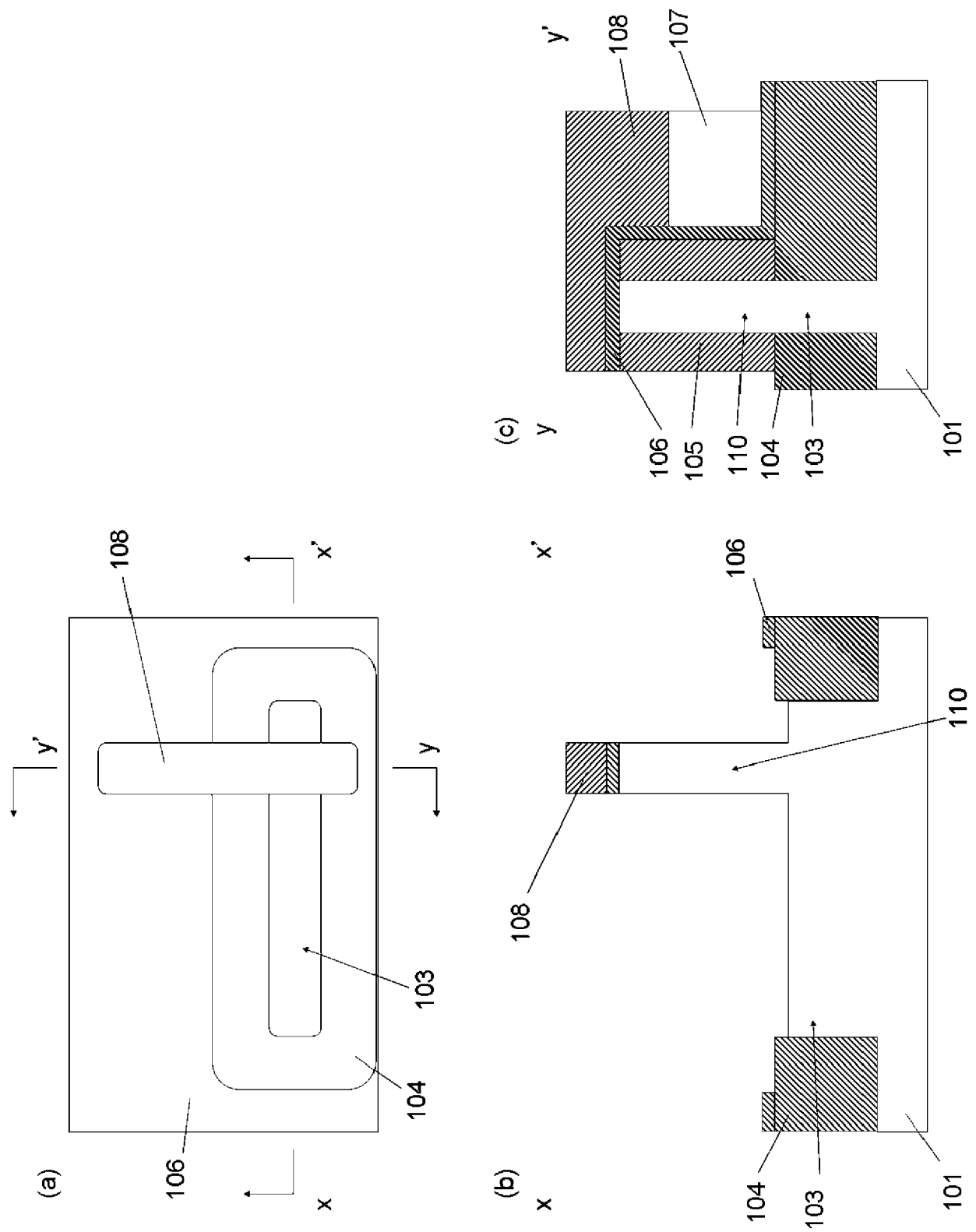
[図14]



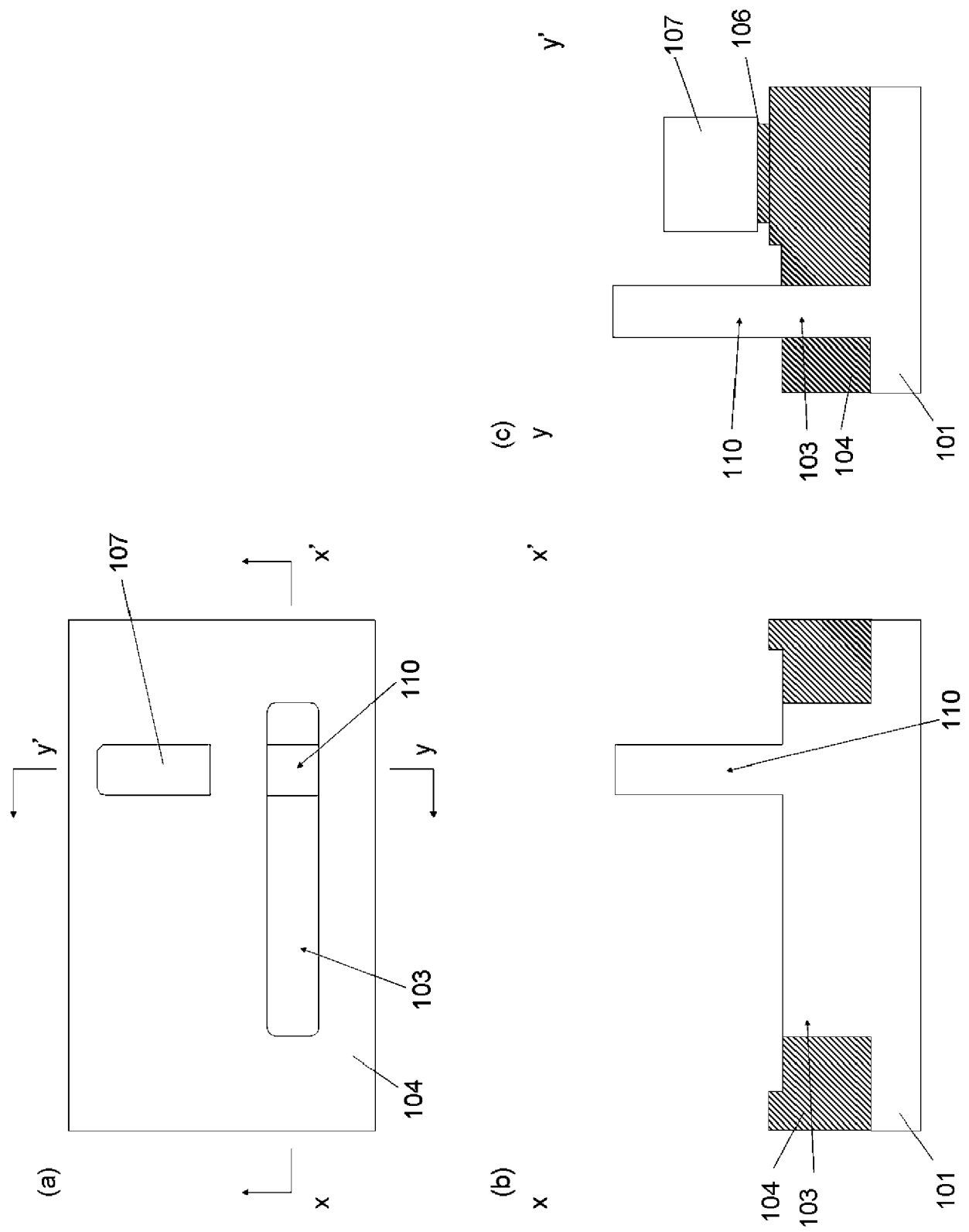
[図15]



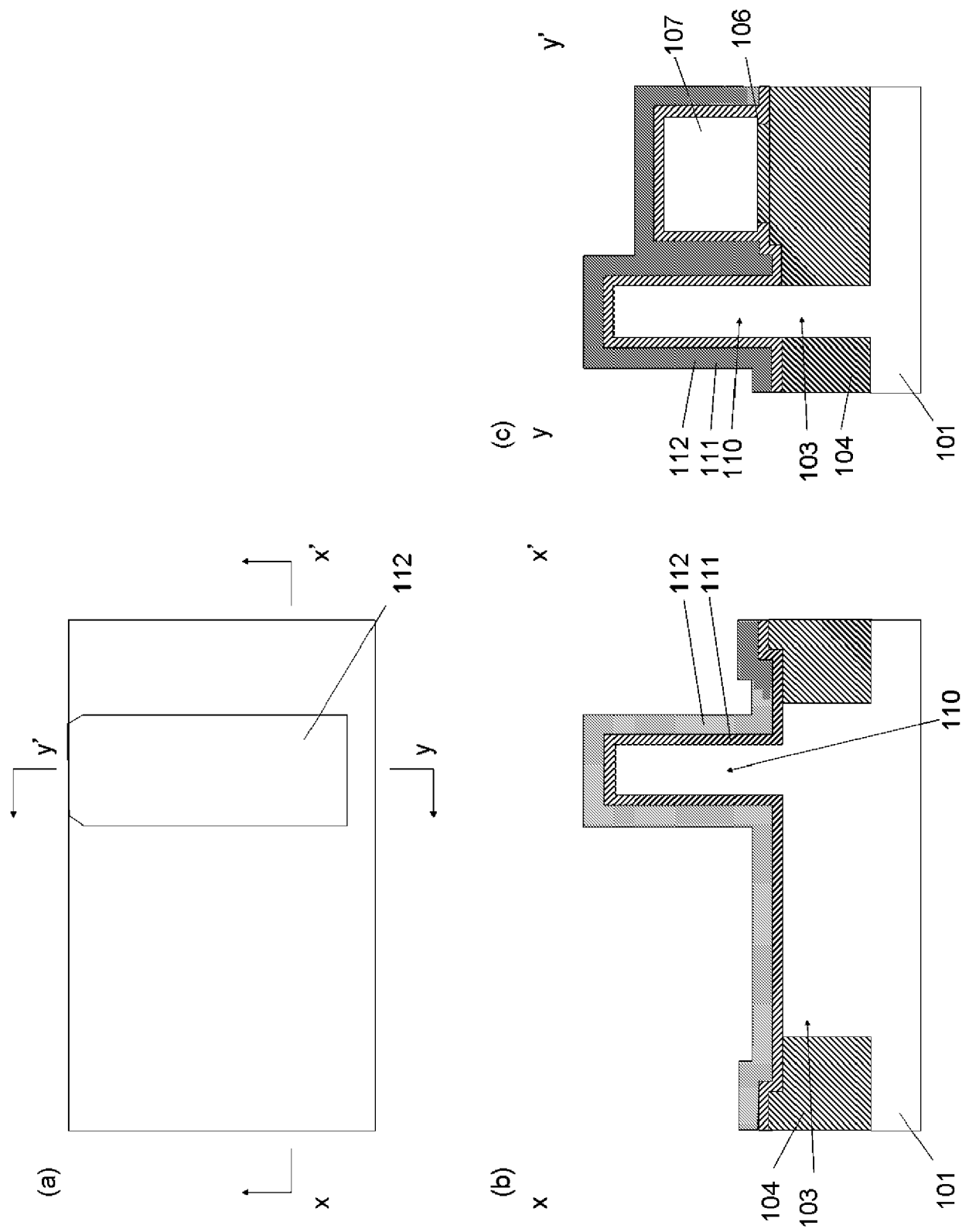
[図16]



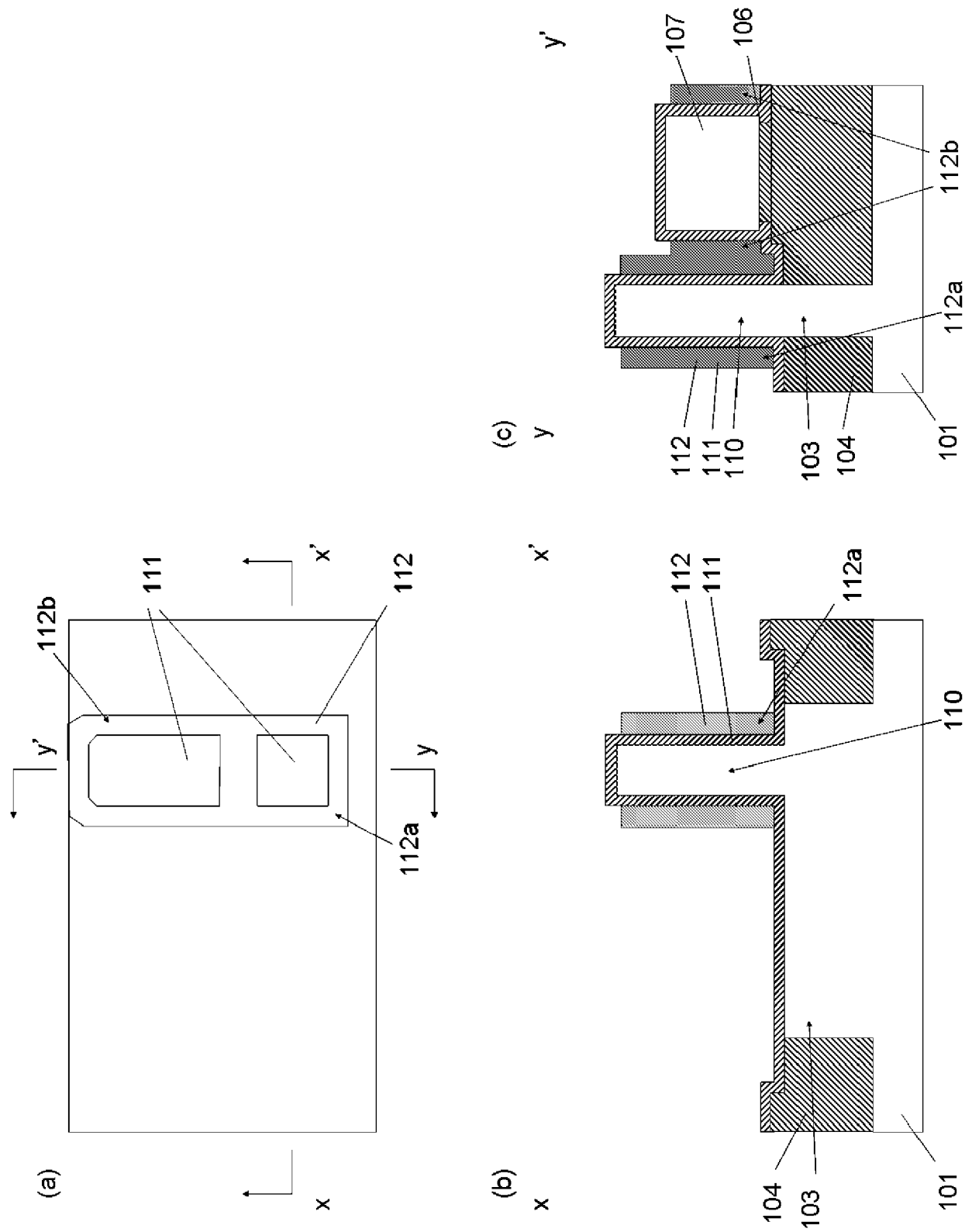
[図17]



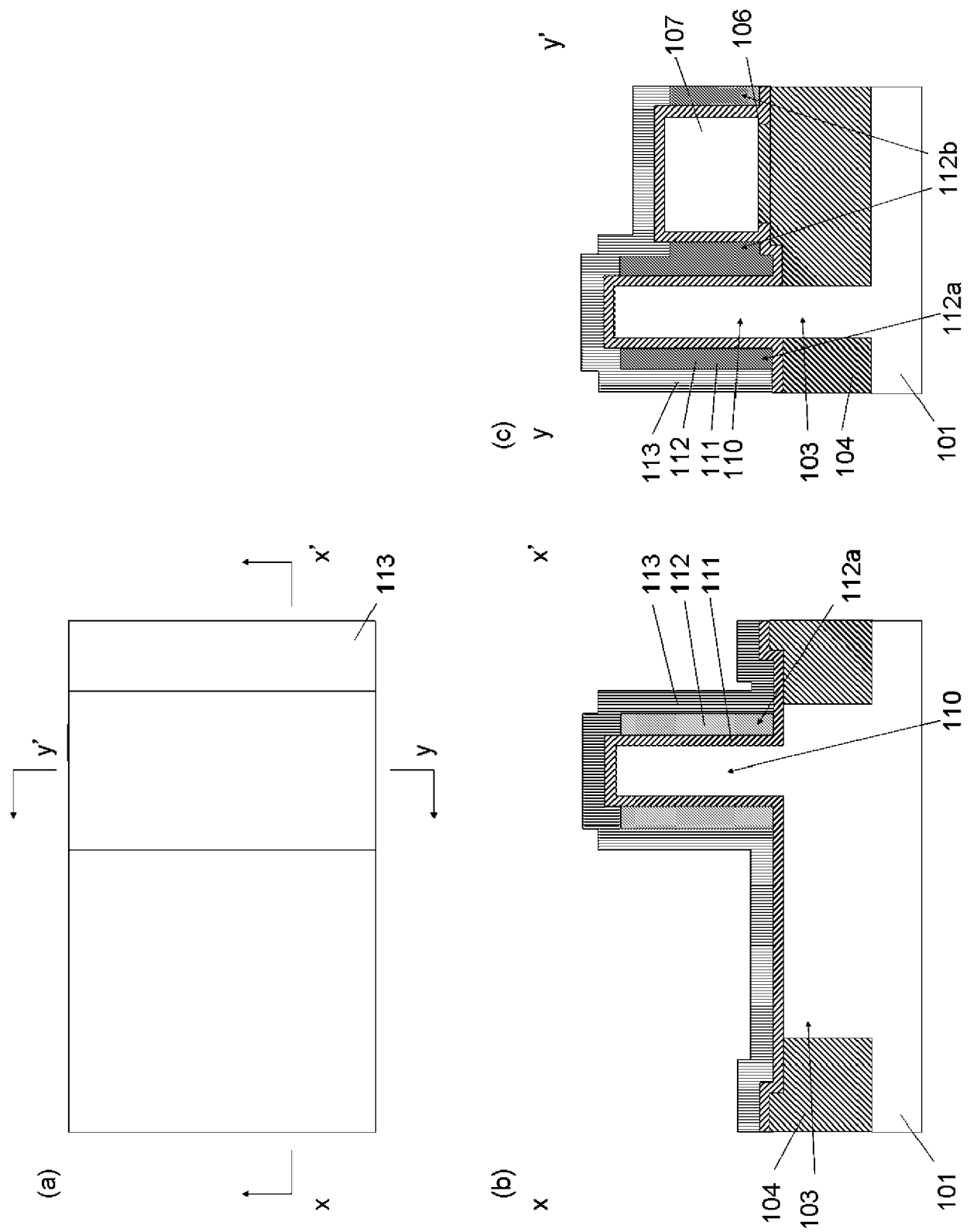
[図18]



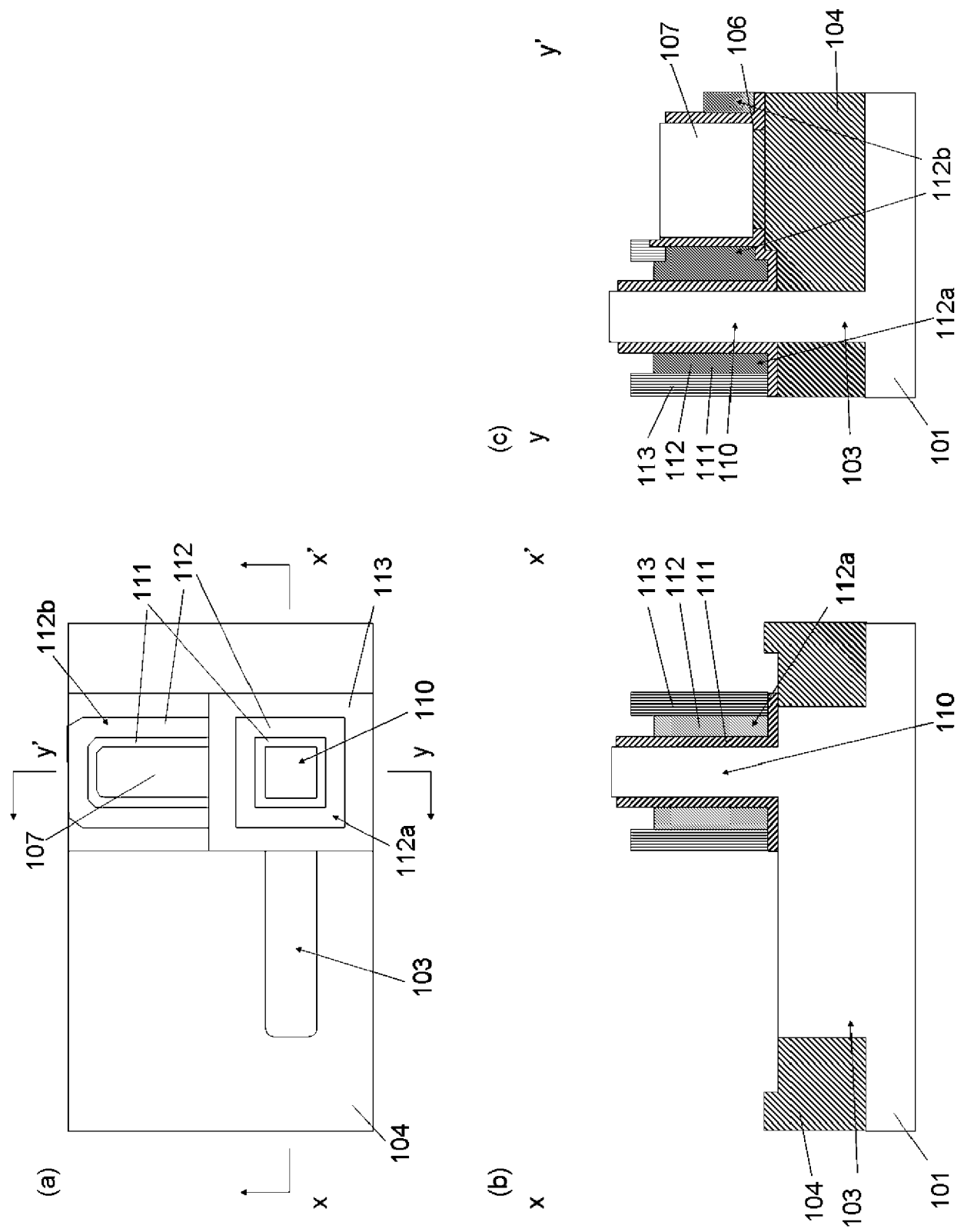
[図19]



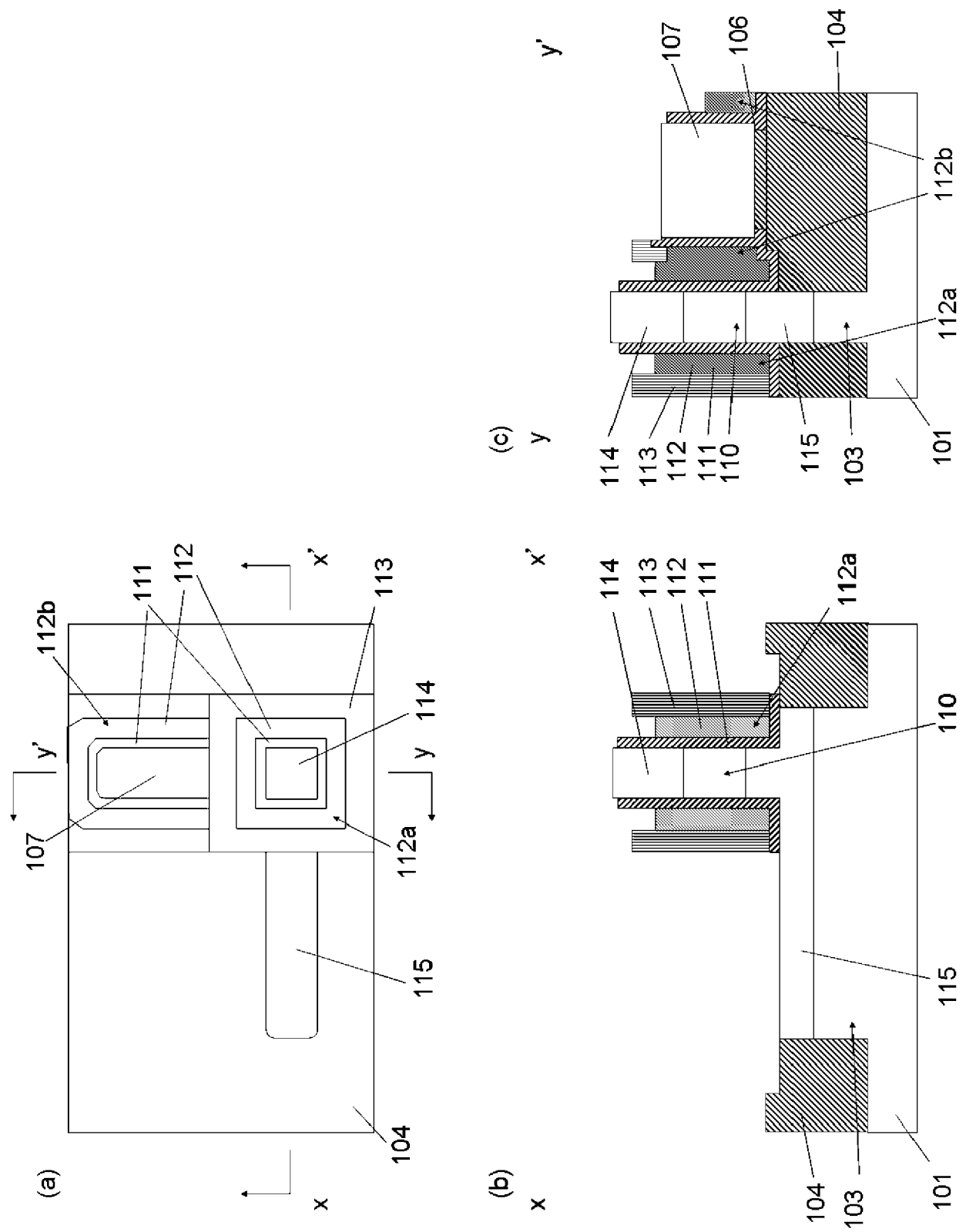
[図20]



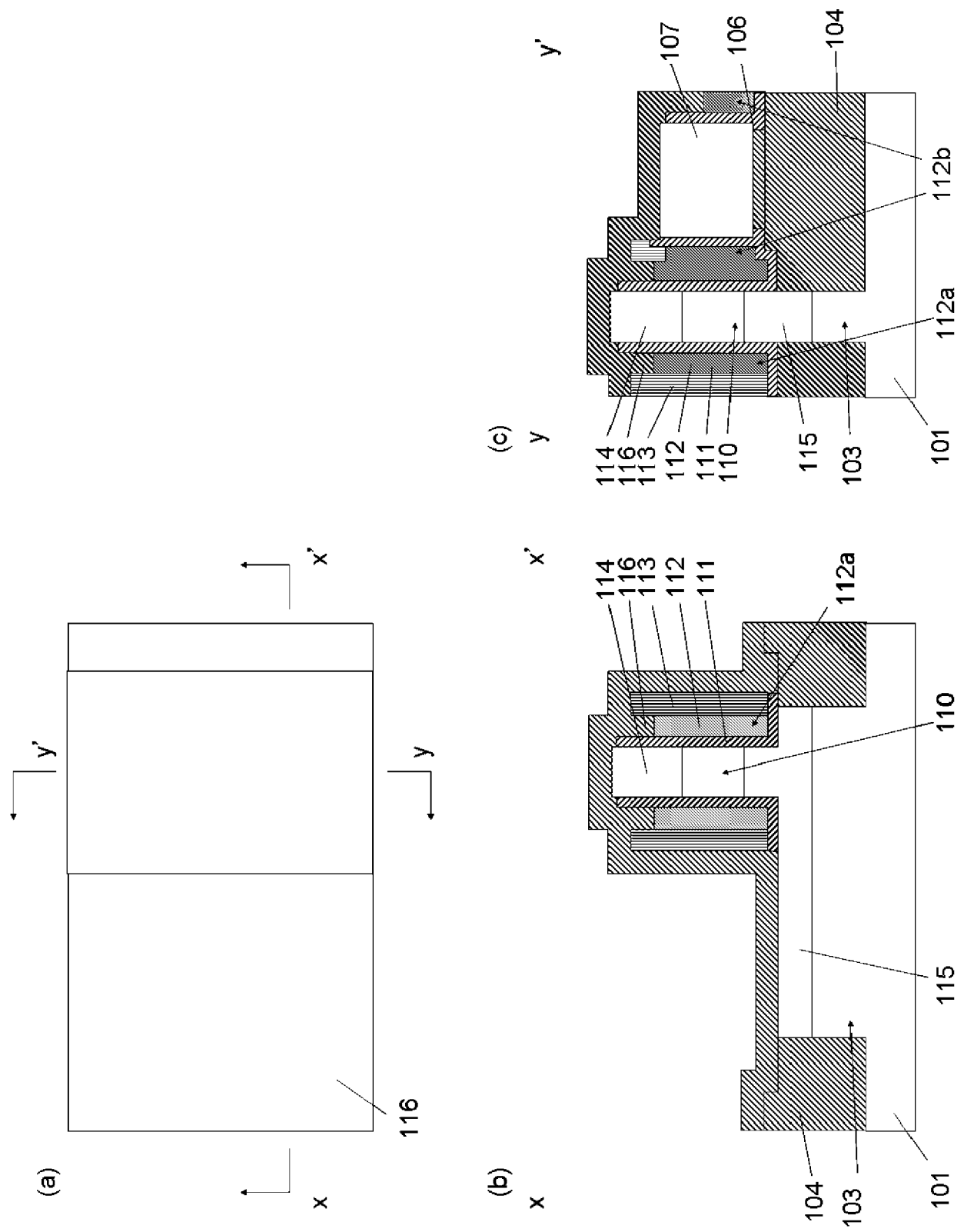
[図22]



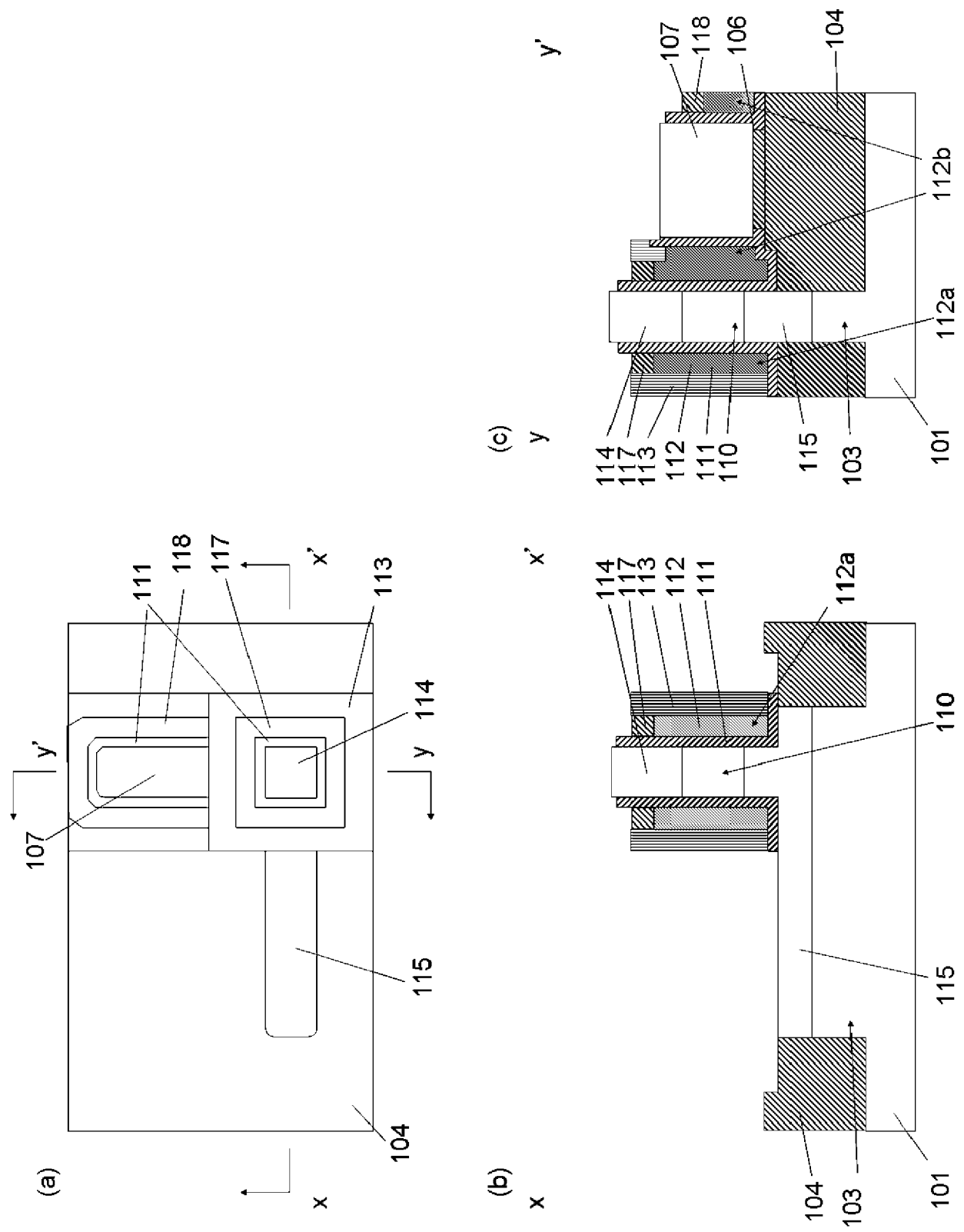
[図23]



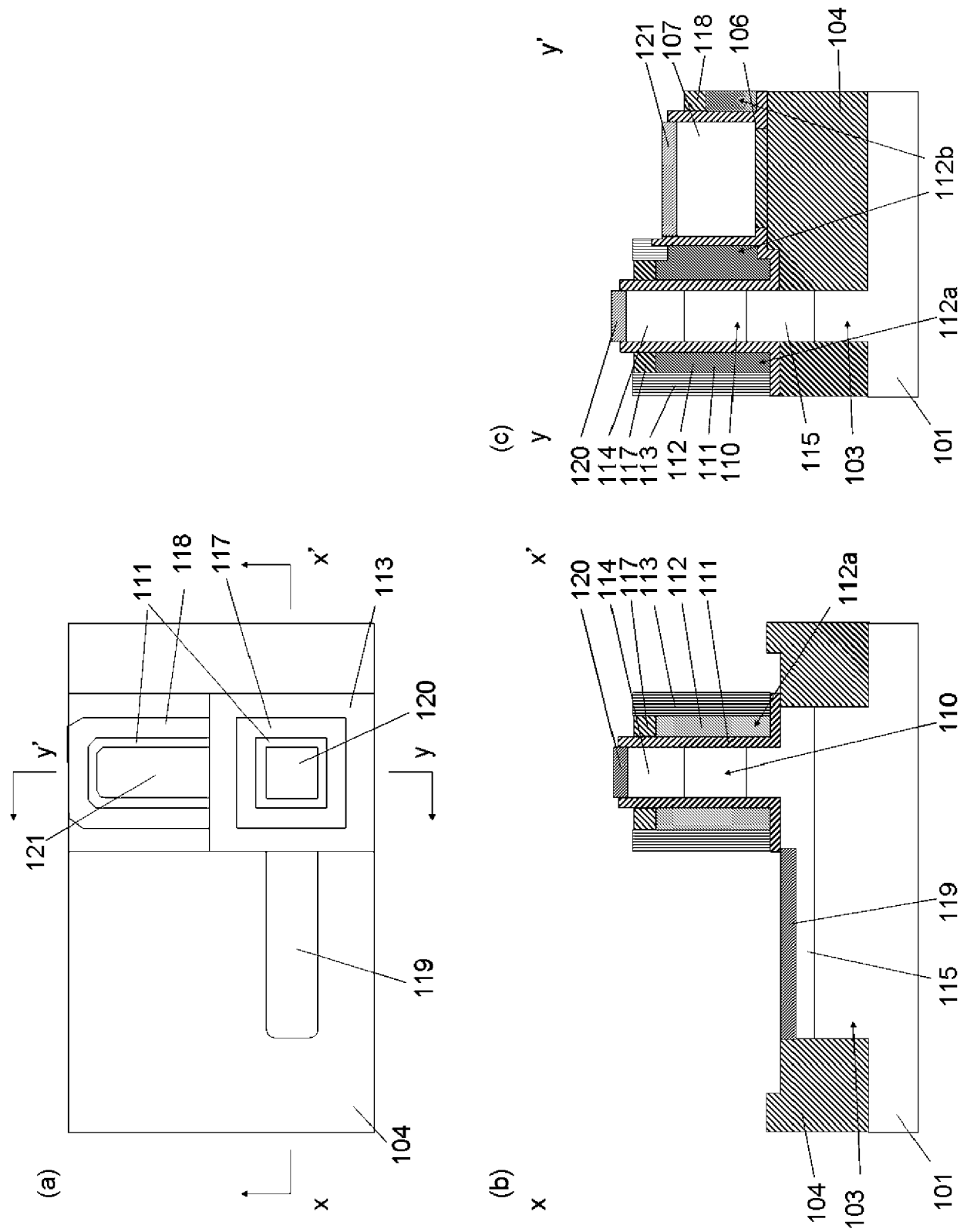
[図24]



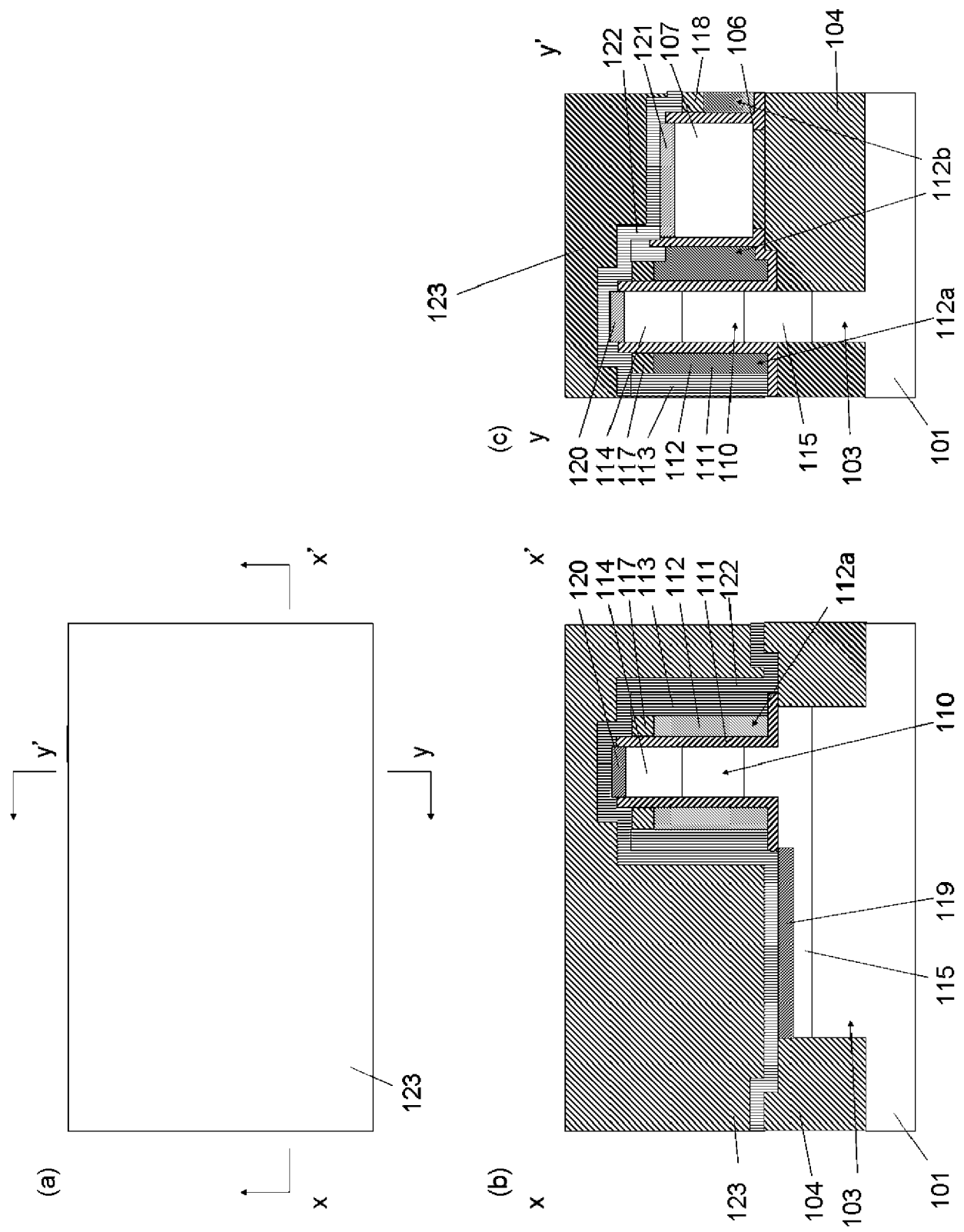
[図25]



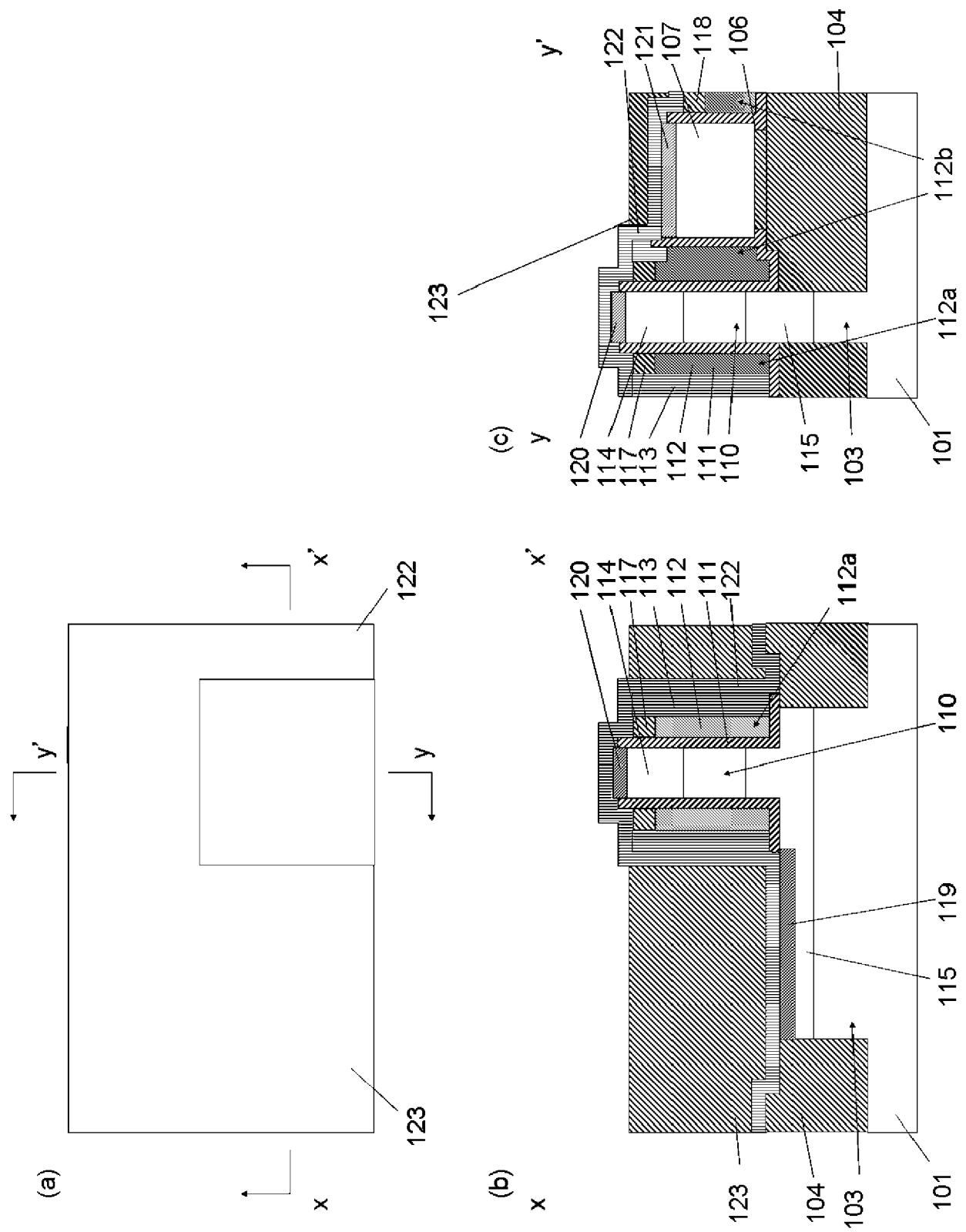
[図26]



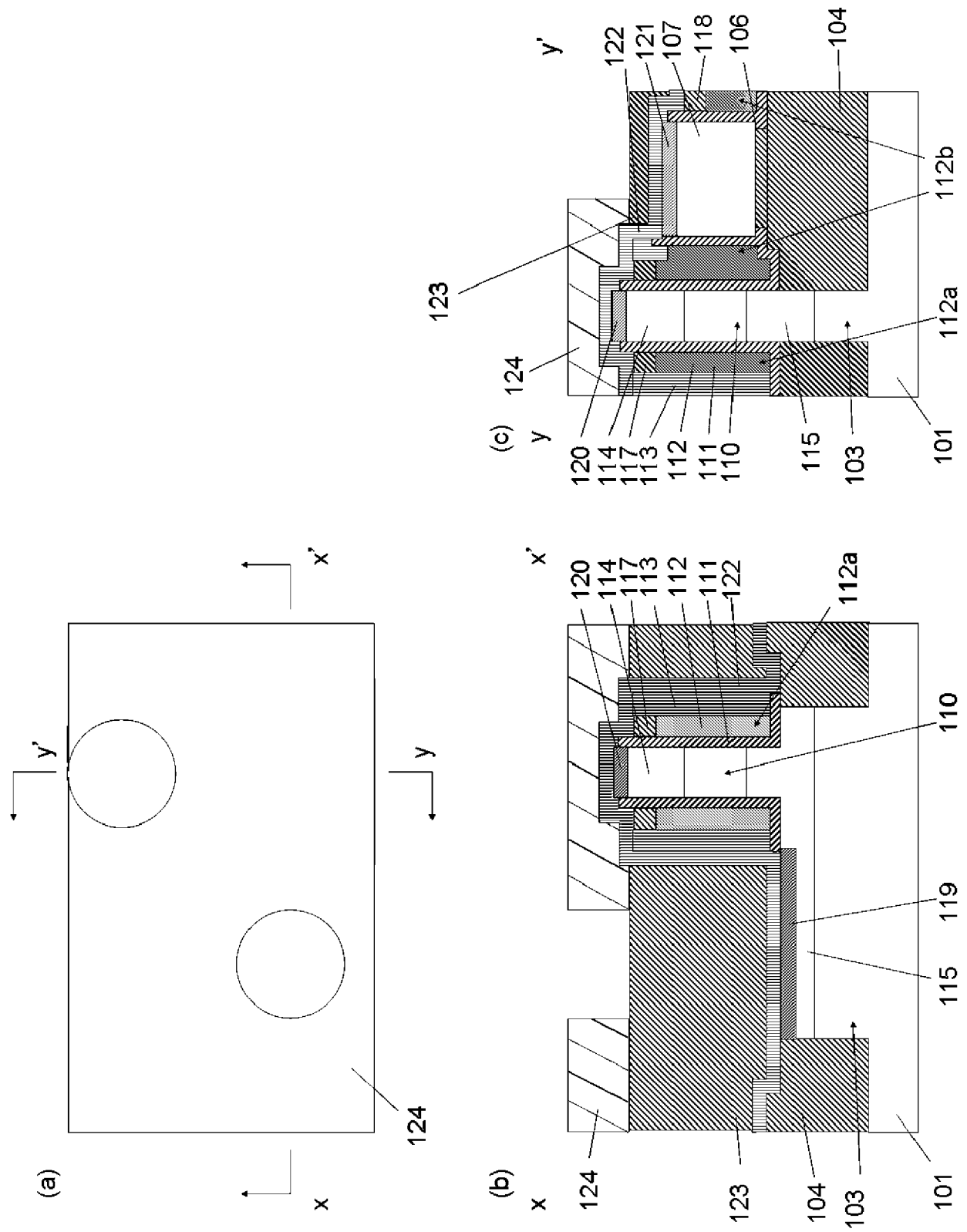
[図27]



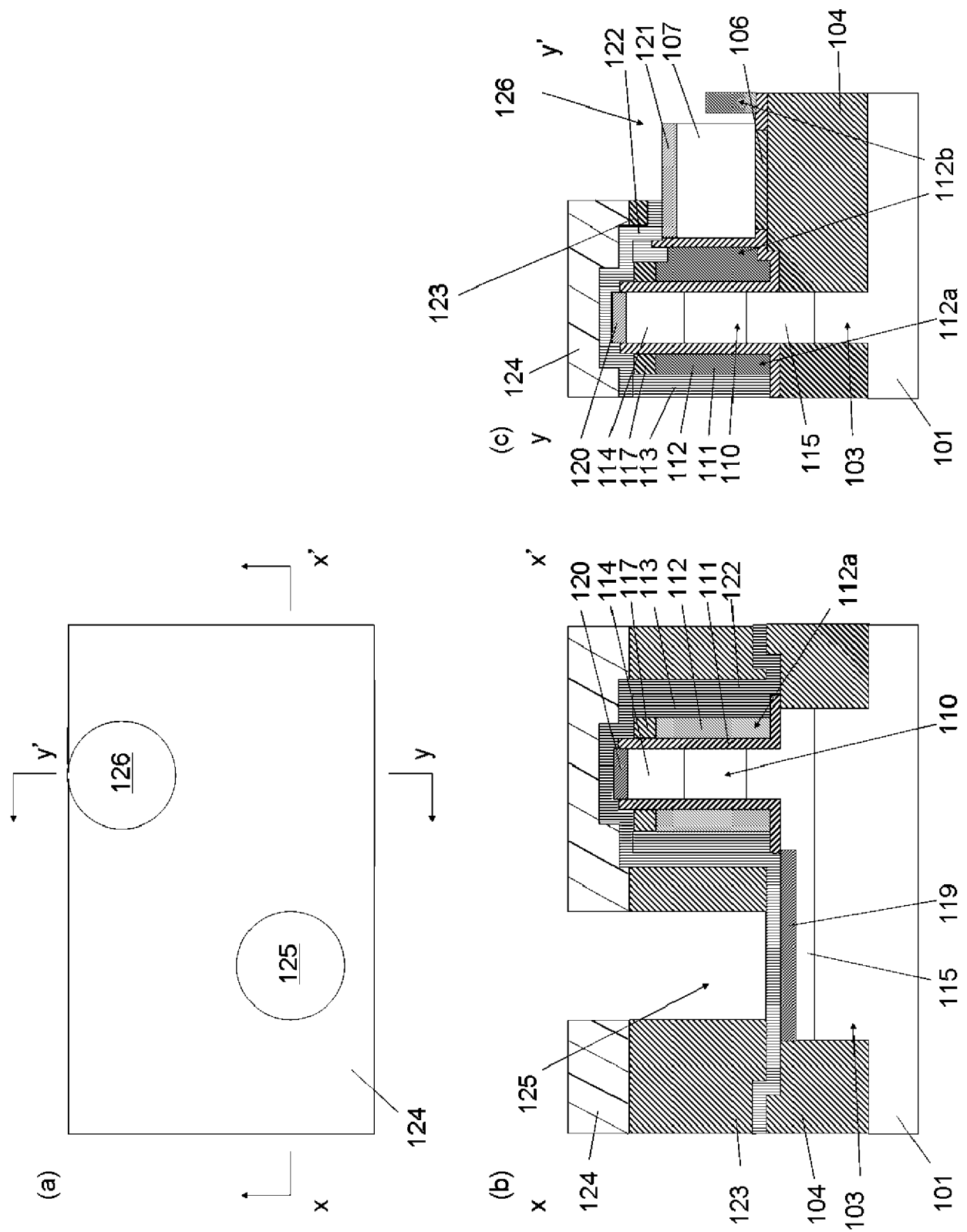
[図28]



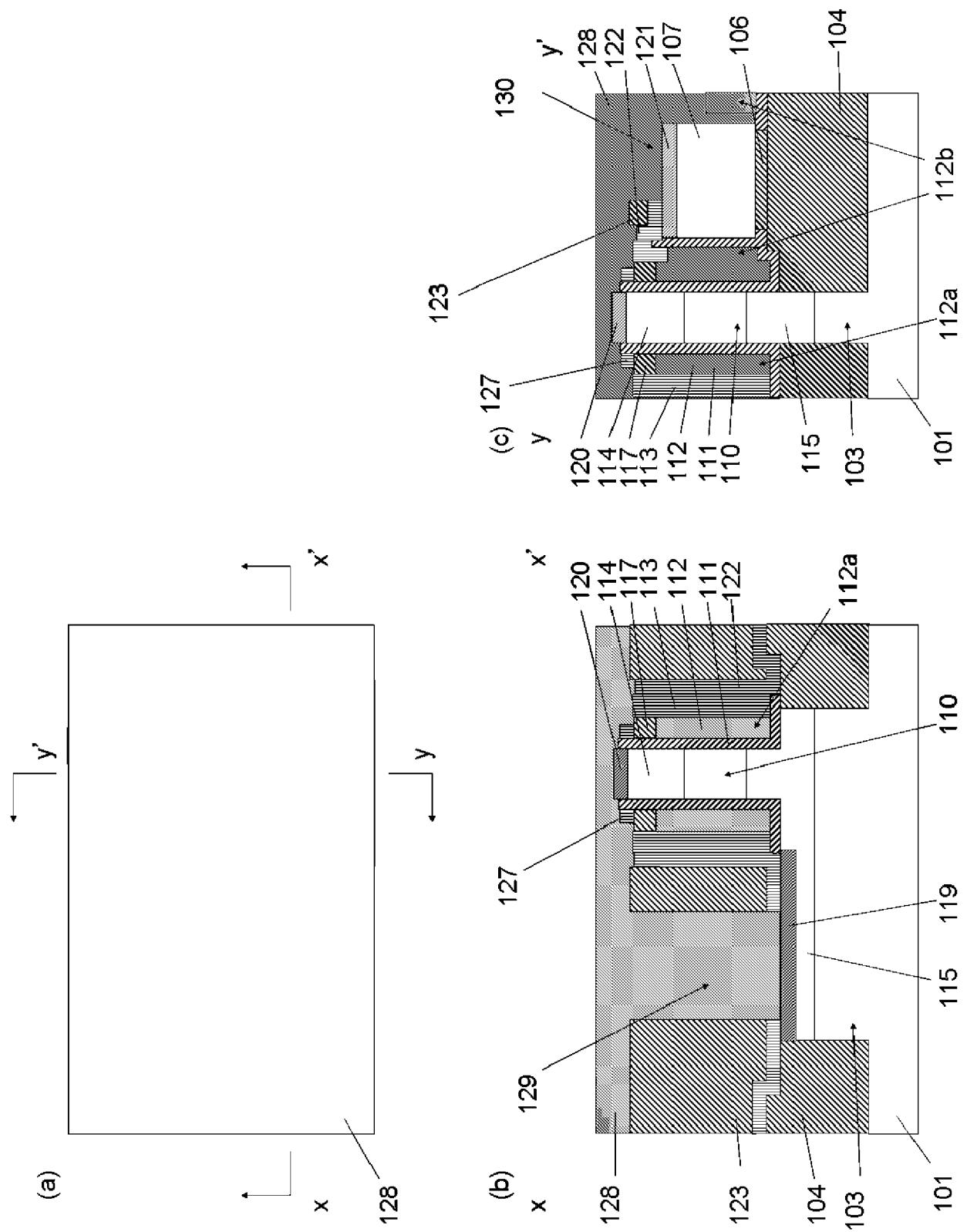
[図29]



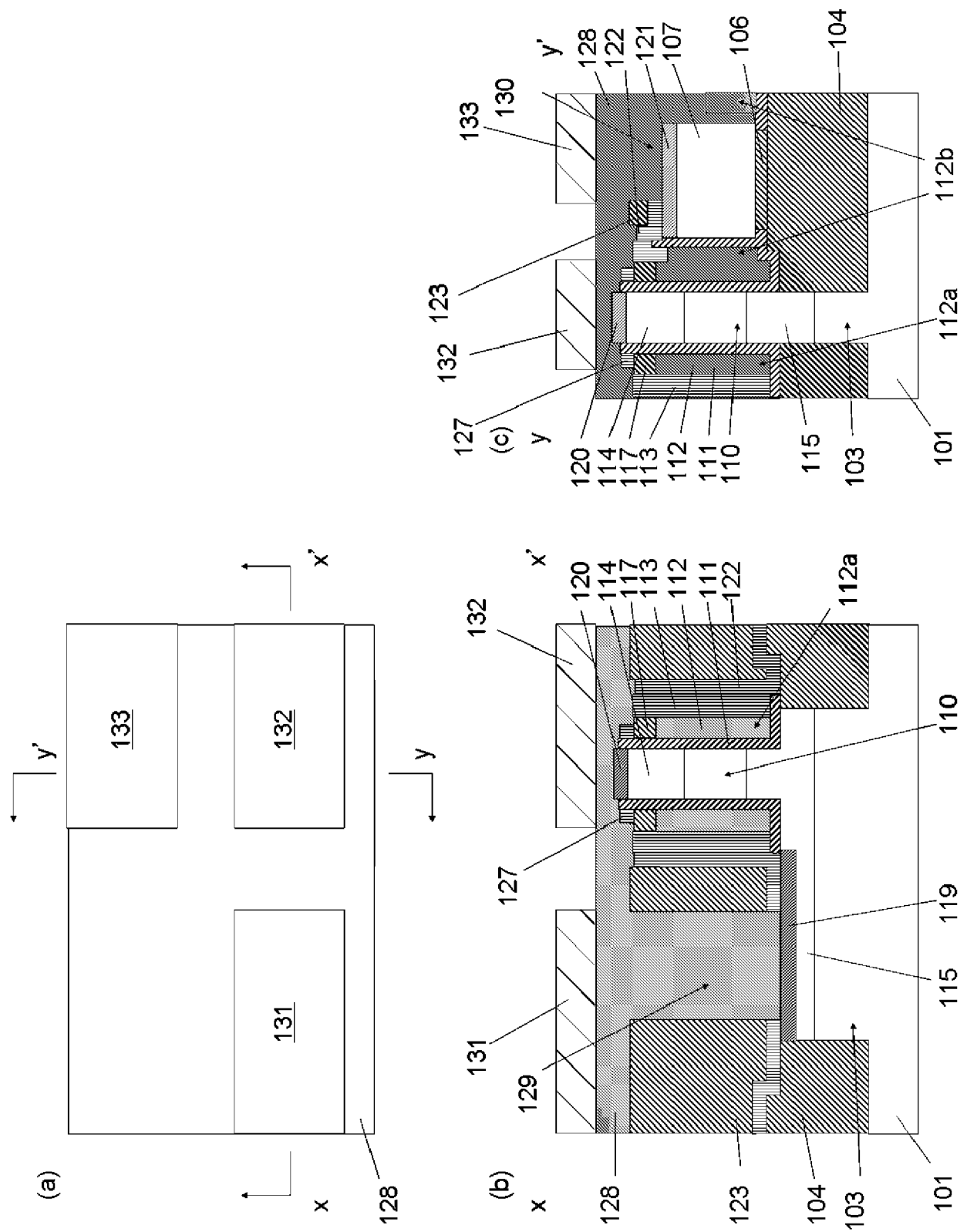
[図30]



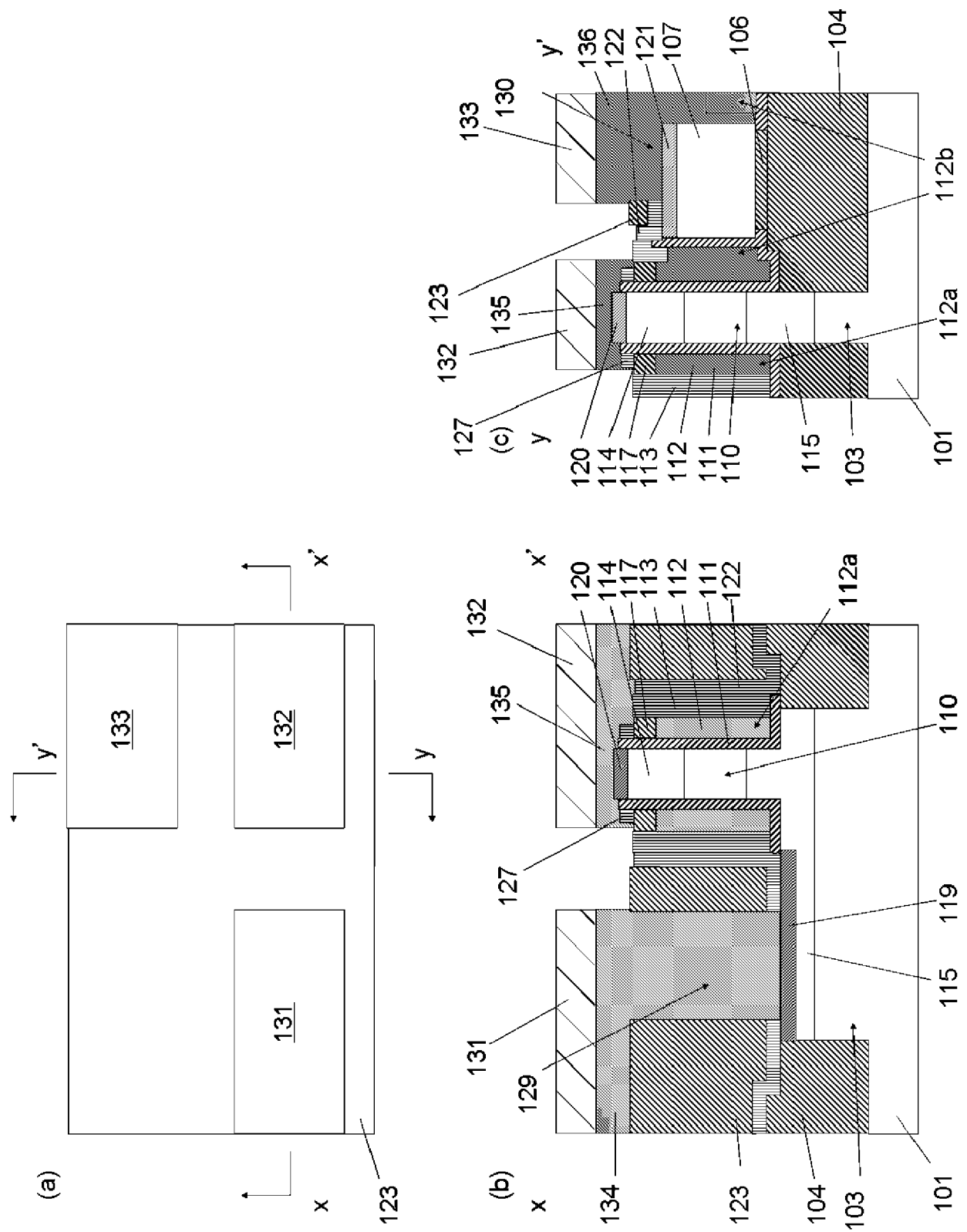
[図33]



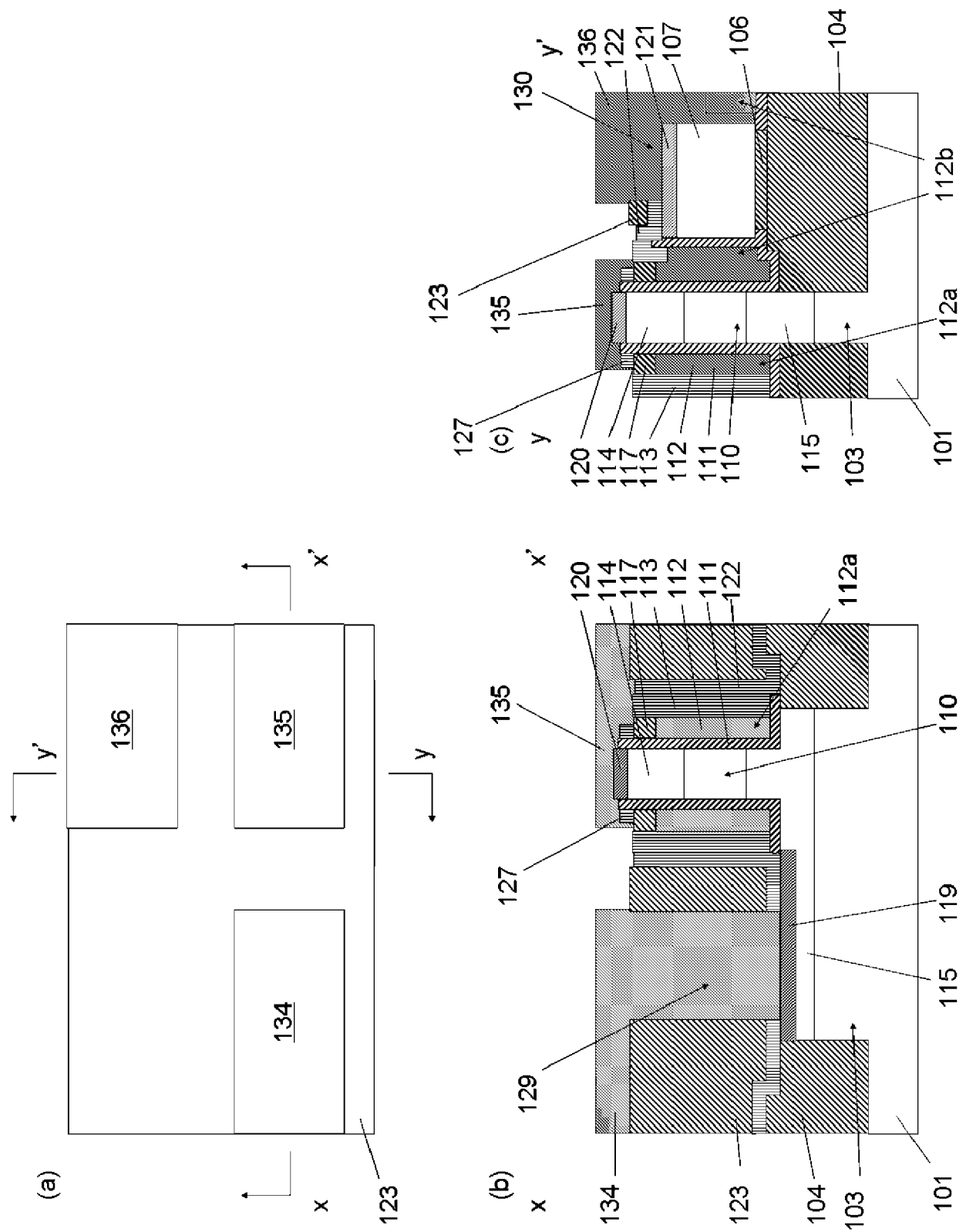
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079242

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-258345 A (Unisantis Electronics Japan Ltd.), 11 November 2010 (11.11.2010), paragraphs [0037] to [0053]; fig. 6 to 20 & US 2010/0213539 A1 & US 2010/0270611 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A & SG 166085 A & TW 201039443 A	1-6
A	JP 2011-040682 A (Unisantis Electronics Japan Ltd.), 24 February 2011 (24.02.2011), paragraphs [0033] to [0079]; fig. 1 to 44 & US 2011/0042740 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 December, 2012 (07.12.12)

Date of mailing of the international search report
18 December, 2012 (18.12.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-258345 A（日本ユニサンティスエレクトロニクス株式会社） 2010.11.11, 段落[0037]-[0053]-, 図 6-20 & US 2010/0213539 A1 & US 2010/0270611 A1 & EP 2246893 A2 & CN 101877353 A & KR 10-2010-0118531 A & SG 166085 A & TW 201039443 A	1-6 1-6
A	JP 2011-040682 A（日本ユニサンティスエレクトロニクス株式会社） 2011.02.24, 段落[0033]-[0079], 図 1-44 & US 2011/0042740 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A	

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 1 2 . 2 0 1 2

国際調査報告の発送日

1 8 . 1 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

多賀 和宏

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 4 5 1