CH 619 078 A5

(19) CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

(51) Int. Cl.³: H 02 H 7/26
H 02 H 3/05

ETH-BIBLIOTHEK ZÜRICH

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

(12) FASCICULE DU BREVET A5

(11) 619 078

(21) Numéro de la demande: 3984/76

(22) Date de dépôt: 31.03.1976

(30) Priorité(s): 31.03.1975 JP 50-37835

(24) Brevet délivré le: 29.08.1980

(45) Fascicule du brevet publié le: 29.08.1980

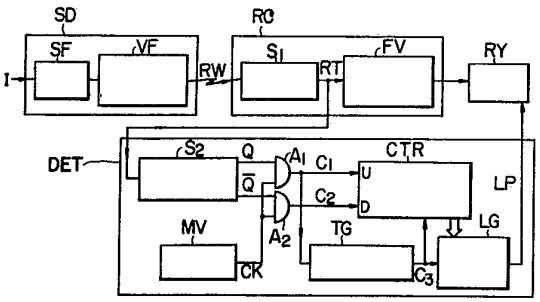
(73) Titulaire(s):
Tokyo Shibaura Denki Kabushiki Kaisha, Kawasaki-shi/Kanagawa-ken (JP)
Chugoku Denryoku Kakushiki Kaisha, Hiroshima-shi/Hiroshima-ken (JP)

(72) Inventeur(s):
Fumio Andow, Hachioji-shi/Tokyo-to (JP)
Mitsuru Yamaura, Fuchu-shi/Tokyo-to (JP)
Minoru Kitagawa, Hiroshima-shi/Hiroshima-ken (JP)

(74) Mandataire:
William Blanc & Cie conseils en propriété industrielle S.A., Genève

(54) Dispositif de protection d'une ligne de transmission de courant électrique, reliant deux stations électriques, contre une variation anormale des caractéristiques du courant.

(57) Le signal d'entrée (I) provenant de la ligne de transmission est transformé, au moyen d'un filtre (SF) et d'un convertisseur tension-fréquence (VF) faisant partie d'un émetteur (SD), en un signal transmis par une onde porteuse (RW) modulée en fréquence. Un récepteur (RC) reçoit ce signal et le met en forme dans un circuit de mise en forme (S_1) dont le signal de sortie est démodulé par un convertisseur fréquence-tension (FV). Le signal ainsi obtenu sert à actionner le relais de protection (RY). Un circuit de détection de conditions anormales (DET), connecté à la sortie du circuit de mise en forme (S_1), comporte un circuit de division de fréquence (S_2), un multivibrateur (MV), deux circuits logiques de multiplication (A_1, A_2), un compteur (CTR) à deux sens de comptage, un circuit générateur de signal d'horloge (TG) et un circuit logique de décision (LG). Le signal de sortie (LP) du circuit de détection de conditions anormales (DET) commande le fonctionnement du relais de protection (RY) en permettant d'effectuer une discrimination entre les variations normales et anormales de la fréquence de l'onde porteuse, de façon à éviter la mise en action intempestive du relais de protection (RY) en cas de perturbation de la transmission de l'onde porteuse radioélectrique (RW).



REVENDICATIONS

1. Dispositif de protection, destiné à protéger une ligne de transmission de courant électrique (TL) reliant deux stations électriques contre une variation anormale des caractéristiques du courant, ce dispositif comprenant, à chacune des extrémités de la ligne (TL), au moins un relais de protection, un poste émetteur permettant d'émettre un signal constitué par une onde porteuse radioélectrique, modulée en fréquence en réponse aux variations des caractéristiques du courant à l'extrémité correspondante de la ligne (TL), et un poste récepteur agencé de manière à recevoir et démoduler le signal émis par le poste émetteur placé à l'autre extrémité de la ligne (TL), ce poste récepteur étant associé à un circuit de détection (DET) de la variation de la fréquence de l'onde porteuse agencé de manière à commander ledit relais de protection en fonction de cette variation, caractérisé en ce que le circuit de détection (DET) est agencé de manière à permettre de comparer les longueurs de périodes successives ou très rapprochées de l'onde porteuse reçue et d'effectuer une discrimination entre les variations normales de la fréquence de l'onde porteuse, résultant de la modulation du signal dans le poste émetteur, et les variations anormales de cette fréquence résultant de perturbations pendant la transmission ou la réception de ce signal, de façon à éviter le déclenchement ou l'enclenchement intempestifs du relais de protection.

2. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un diviseur de fréquence (S_2) pour diviser la fréquence de l'onde porteuse reçue et produire un premier (Q) et un deuxième ($\overline{Q}$) signal rectangulaire unipolaire, le deuxième étant l'inverse du premier, une source d'impulsions d'horloge (MV), un premier circuit logique de multiplication (A_1) pour former le produit logique du premier signal rectangulaire et des impulsions d'horloge, un deuxième circuit logique de multiplication (A_2) pour former le produit logique du deuxième signal rectangulaire et des impulsions d'horloge, un compteur à deux sens de comptage (CTR) connecté de façon à recevoir les signaux de sortie desdits premier et second circuits logiques de multiplication, un générateur de signaux de synchronisation (TG) fournissant en réponse au signal de sortie du premier circuit logique de multiplication son signal de sortie audit compteur à deux sens de comptage, et un circuit logique de décision (LG) commandé par les signaux de sortie dudit compteur et dudit générateur de signaux de synchronisation.

3. Dispositif selon la revendication 2, caractérisé en ce que le circuit logique de décision (LG) comporte un troisième circuit logique de multiplication (A_3) commandé par les signaux de comptage de deux sections consécutives d'ordre supérieur dudit compteur (CTR), un quatrième circuit logique de multiplication (A_4) commandé par les signaux inverses desdits deux signaux de comptage, un circuit logique d'addition (OR_1) pour former la somme des signaux de sortie desdits troisième et quatrième circuits logiques de multiplication et un circuit flip-flop (FF) connecté de façon à recevoir le signal de sortie dudit générateur d'impulsions de synchronisation (TG) le signal de sortie dudit circuit logique d'addition (OR_1) et le signal inverse de ce dernier.

4. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un circuit de négation (N) pour inverser un signal proportionnel à l'onde porteuse reçue, une source d'impulsions d'horloge (MV), un premier circuit logique de multiplication (A_1) commandé par ledit signal et lesdites impulsions d'horloge, un deuxième circuit logique de multiplication (A_2) commandé par le signal de sortie du circuit de négation (N) et par les impulsions d'horloge et un compteur à deux sens de comptage (CTR) commandé par les signaux de sortie des premier et second circuits logiques de multiplication.

5. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un diviseur de fréquence pour diviser la fréquence de l'onde porteuse reçue et produire un premier (Q) et un deuxième ($\overline{Q}$) signal rectangulaire unipolaire, le deuxième étant l'inverse du premier, des premier et second dispositifs (MV_1 et MV_2) commandés respectivement par lesdits premier et deuxième signaux rectangulaires pour produire des premier et second signaux d'horloge et un compteur à deux sens de comptage (CTR) commandé par lesdits premier et second signaux d'horloge.

6. Dispositif selon la revendication 3, caractérisé en ce qu'il comporte un circuit logique de multiplication et de négation (NA_1) commandé par les signaux inverses de deux signaux de comptage de sections consécutives d'ordre inférieur du compteur (CTR), la sortie dudit circuit logique de multiplication et de négation (NA_1) étant reliée à une entrée supplémentaire dudit troisième circuit logique de multiplication (A_3).

7. Dispositif selon la revendication 2, caractérisé en ce que le circuit de détection (DET) comporte un deuxième compteur à deux sens de comptage (CTR_2) connecté en parallèle au premier compteur (CTR), un deuxième circuit logique de décision (LG_2), un circuit logique d'addition (OR_2) pour former la somme des signaux de sortie des deux circuits logiques de décision (LG et LG_2) et un deuxième générateur de signaux de synchronisation (TG_2) pour commander, en réponse au signal de sortie du deuxième circuit logique de multiplication (A_2), le deuxième compteur à deux sens de comptage (CTR_2).

8. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un diviseur de fréquence (S_2) pour diviser la fréquence de l'onde porteuse reçue et produire un premier (Q) et un deuxième ($\overline{Q}$) signal rectangulaire unipolaire, le deuxième étant l'inverse du premier, une source d'impulsions d'horloge (MV), un premier circuit logique de multiplication (A_1) pour former le produit logique dudit premier signal rectangulaire et des impulsions d'horloge, un deuxième circuit logique de multiplication (A_2) pour former le produit logique des impulsions d'horloge et dudit deuxième signal rectangulaire, un générateur de signaux de synchronisation (TGA) commandé par les signaux de sortie desdits premier et second circuits logiques de multiplication (A_1 et A_2) pour produire deux signaux de sortie, un compteur à deux sens de comptage (CTR) connecté de façon à recevoir les signaux de sortie des premier et second circuits logiques de multiplication en même temps que l'un des signaux de sortie dudit générateur de signaux de synchronisation et un circuit logique de décision (LGA) connecté de façon à recevoir les deux signaux de sortie du générateur de signaux de synchronisation (TGA) et le signal de sortie dudit compteur (CTR).

9. Dispositif selon la revendication 8, caractérisé en ce que le circuit de détection (DET) comporte un registre (RG) monté entre la deuxième sortie du générateur de signaux de synchronisation (TGA) et le circuit logique de décision (LGB), pour emmagasiner le contenu dudit compteur (CTR).

10. Dispositif selon la revendication 7, caractérisé en ce que chaque circuit logique de décision comporte un troisième circuit logique de multiplication (A_4) pour former le produit logique des signaux de sortie de trois étages supérieurs du compteur associé et un circuit flip-flop (FF) connecté de façon à recevoir le signal de sortie du troisième circuit logique de multiplication (A_4), l'inverse de ce signal et le signal de sortie (C_3) du générateur de signaux de synchronisation associé et caractérisé en ce que chaque compteur est muni d'un circuit logique d'addition (OR_3) qui forme la somme logique des signaux de sortie de tous les étages du compteur et un circuit logique de multiplication (A_8) pour former le produit logique des signaux de sortie dudit deuxième circuit logique de multiplication (A_2) et dudit circuit logique d'addition (OR_3).

11. Dispositif selon la revendication 7, caractérisé en ce que chque circuit logique de décision comporte un troisième circuit logique de multiplication (A_3) pour former le produit logique du contenu de deux étages supérieurs du compteur associé, un circuit logique d'addition (OR_1) pour former la somme logique du signal de sortie du troisième circuit logique de multiplication (A_3) et du signal inverse du signal correspondant au contenu d'un étage du compteur associé plus haut que lesdits deux étages et un circuit flip-flop (FF) connecté de façon à recevoir le signal de sortie du circuit logique d'addition (OR_1) et l'inverse de ce signal.

12. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un circuit (S_2) commandé par l'onde porteuse reçue pour produire un signal rectangulaire bipolaire (QA) changeant de polarité à chaque période de l'onde porteuse reçue, un intégrateur (ITG) pour intégrer le signal de sortie dudit circuit (S_2), un comparateur (CMP) commandé par le signal de sortie de l'intégrateur pour former un signal correspondant à la différence entre les largeurs des parties positives et négatives du signal rectangulaire, un multivibrateur monostable ($\overline{OS}$) commandée par le signal de sortie dudit circuit pour produire une impulsion de détermination du point de départ appliquée à l'intégrateur et une impulsion de décision appliquée à l'intégrateur et au comparateur.

13. Dispositif selon la revendication 1, caractérisé en ce que le circuit de détection (DET) comporte un premier diviseur de fréquence (S_2) pour diviser la fréquence de l'onde porteuse reçue et produire un premier (Q) et un deuxième ($\overline{Q}$) signal rectangulaire unipolaire, le deuxième étant l'inverse du premier, un deuxième diviseur de fréquence (S_3) commandé par le premier signal rectangulaire pour produire des ondes rectangulaires positives (D) et négatives ($\overline{D}$), une source d'impulsions d'horloge (MV), un troisième diviseur de fréquence (S_4) pour produire des impulsions d'horloge (CK_1) d'une fréquence réduite, un premier circuit logique de multiplication (A_5) pour former le produit logique dudit premier signal rectangulaire et des impulsions d'horloge de fréquence réduite, un deuxième circuit logique de multiplication (A_6) pour former le produit logique dudit deuxième signal rectangulaire, de l'onde rectangulaire positive et des impulsions d'horloge, un troisième circuit logique de multiplication (A_7) pour former le produit logique de l'onde rectangulaire négative, et des impulsions d'horloge (CK) produites par ladite source (MV) et dudit deuxième signal rectangulaire, un premier compteur à deux sens de comptage (CTR_1) commandé par les signaux de sortie desdits premier et second circuits logiques de multiplication, un premier circuit logique de décision (LG_1) connecté à la sortie du premier compteur à deux sens de comptage, un premier générateur de signaux de synchronisation (TG_1) commandé par le signal de sortie du troisième circuit logique de multiplication (A_7) pour fournir un signal de sortie appliqué au premier compteur et au premier circuit logique de décision, un deuxième compteur à deux sens de comptage (CTR_2) commandé par les signaux de sortie des premier et troisième circuits logiques de multiplication, un deuxième générateur de signaux de synchronisation (TG_2) commandé par le signal de sortie du deuxième circuit logique de multiplication pour fournir un signal de sortie appliqué au deuxième compteur et à un deuxième circuit logique de décision (LG_2) et un circuit logique d'addition (OR_2) pour former la somme logique des signaux de sortie desdits premier et second circuits logiques de décision.

La présente invention concerne un dispositif de protection, destiné à protéger une ligne de transmission de courant électrique reliant deux stations électriques contre une variation anormale des caractéristiques du courant, ce dispositif comprenant, à chacune des extrémités de la ligne, au moins un relais de protection, un poste émetteur permettant d'émettre un signal constitué par une onde porteuse radioélectrique, modulée en fréquence en réponse aux variations des caractéristiques du courant à l'extrémité correspondante de la ligne et un poste récepteur agencé de manière à recevoir et à démoduler le signal émis par le poste émetteur placé à l'autre extrémité de la ligne, ce poste récepteur étant associé à un circuit de détection de la variation de la fréquence de l'onde porteuse agencé de manière à commander ledit relais de protection en fonction de cette variation.

A titre d'explication, la fig. 1 du dessin annexé représente une installation comportant un dispositif tel que susmentionné. Dans l'installation selon la fig. 1 une ligne de transmission TL à protéger relie deux centrales électriques espacées A et B, et le courant secondaire d'un transformateur de courant CT associé à la ligne de transmission TL est fourni à un relais associé à un émetteur et à un récepteur. Le niveau du courant secondaire est transformé dans le relais, puis transmis à l'autre centrale électrique après avoir été soumis à une modulation de fréquence dans l'émetteur. De façon similaire, le signal modulé en fréquence provenant de l'autre centrale est reçu par le récepteur de la première centrale et est démodulé. Le signal démodulé et le signal de la première centrale sont utilisés pour actionner le relais de manière à l'amener à fonctionner comme relais différentiel ou comme relais de comparaison de phases par exemple.

Dans une telle installation il est nécessaire de détecter correctement les conditions anormales des signaux transmis de manière à éviter un fonctionnement erroné du dispositif de protection sous l'effet d'un état anormal. A cet effet, on a utilisé un procédé de surveillance de gammes de fréquence. Plus particulièrement, si la fréquence porteuse F_0 présente une variation de $\pm \Delta F$ la fréquence de l'onde reçue se trouve dans la gamme de $F_0 - \Delta F$ à $F_0 + \Delta F$. Dans ce cas, la fréquence de l'onde reçue est surveillée de manière à détecter des signaux ayant des fréquences en dehors de cette gamme qui sont des signaux anormaux. Cependant l'efficacité de la détection est faible dans ce cas. Même si la fréquence varie à cause d'un bruit, un état anormal ne peut pas être détecté aussi longtemps que la fréquence reçue est comprise dans la gamme donnée. Cependant, les ondes démodulées présentent souvent un état anormal. Un exemple caractéristique de ce cas est montré aux figures 2a et 2b, la première représentant une onde transmise et la deuxième une onde reçue. Dans les deux figures on n'a pas tenu compte du délai de la transmission. Par exemple, $F_0 = 1800$ Hz et $\Delta F = 600$ Hz de sorte que la gamme de fréquence normale se situe entre 1200 et 2400 Hz. La fig. 2a montre une partie d'une onde transmise ayant une fréquence de 1200 Hz, alors que la fig. 2b montre la partie correspondante de l'onde reçue dans laquelle la forme de l'onde présente une perturbation à proximité d'un point de passage par zéro comme suite à un bruit et présente une fréquence de 2400 Hz. Le dispositif de surveillance de la gamme de fréquence ne peut cependant pas détecter un état anormal et pourtant le signal reçu présente bien un tel état étant donné que sa forme d'onde est fortement perturbée par le bruit. Même si l'on exclue un tel cas extrême, il y a beaucoup de cas dans lesquels les variations à l'intérieur de la gamme de fréquence normale ne peuvent pas être négligées. Les fig. 3a et 3b montrent un exemple d'un tel cas dans lequel le point de passage par zéro d'un signal ayant une fréquence de 1800 Hz (fig. 3a) a été décalé par un bruit de sorte que la fréquence d'une période se trouve réduite à 1500 Hz alors que la période suivante présente une fréquence augmentée à 2250 Hz comme le montre la fig. 3b. Dans ce cas également l'état anormal ne peut pas être détecté et pourtant cet effet traduit une perturbation comme dans le cas de la fig. 2.

La présente invention a pour but de fournir un dispositif de protection ne présentant pas les inconvénients cités ci-dessus.

A cet effet, le dispositif selon l'invention est caractérisé en ce que le circuit de détection est agencé de manière à permettre de comparer les longueurs de périodes successives ou très rapprochées de l'onde porteuse reçue et d'effectuer une discrimination entre les variations normales de la fréquence de l'onde porteuse, résultant de la modulation du signal dans le poste émetteur, et les variations anormales de cette fréquence résultant de perturbations pendant la transmission ou la réception de ce signal, de façon à éviter le déclenchement ou l'enclenchement intempestifs du relais de protection.

Au lieu d'effectuer directement la comparaison des longueurs de deux périodes successives de l'onde porteuse reçue, on peut effectuer indirectement cette comparaison d'après celle de deux périodes moyennes dans des sections contiguës de l'onde porteuse ou encore de fonctions de telles périodes moyennes. Ainsi, le circuit de détection peut être conçu de manière à établir une relation $F_1(T_1) < T_2$ ou $T_2 < F_2(T_1)$ ou $F_1(T_1) < T_2 < F_2(T_1)$ pour déterminer une gamme admissible des variations de fréquence de l'onde porteuse, T_1 représentant une période moyenne d'une section quelconque de l'onde porteuse reçue, T_2 une période moyenne d'une section contiguë ou très proche de ladite section et $F_1(T_1)$ et $F_2(T_1)$ étant des fonctions de la période moyenne T_1.

La détection d'un état anormal peut être effectuée au moyen d'un circuit analogique ou digital.

Les fig. 4 à 29 du dessin annexé représentent, à titre d'exemple, différentes formes d'exécution du dispositif selon l'invention.

La fig. 4 est un schéma synoptique d'une première forme d'exécution du dispositif.

La fig. 5 est un schéma synoptique montrant un exemple d'une conception du circuit logique de décision LG de la fig. 4.

La fig. 6 montre des formes d'ondes pour expliquer le fonctionnement du dispositif des fig. 4 et 5.

La fig. 7 est un schéma de connexion d'un circuit de détection modifié.

La fig. 8 montre des formes d'ondes dans un circuit de division de fréquence légèrement modifié par rapport à celui de la fig. 4.

La fig. 9 montre un circuit de détection d'un état anormal légèrement modifié par rapport à celui de la fig. 4.

La fig. 10 montre une variante du circuit logique de décision de la fig. 5.

La fig. 11 montre un autre exemple d'un circuit de détection.

La fig. 12 montre une autre variante d'un circuit de détection.

La fig. 13 est un diagramme explicatif du fonctionnement du circuit de la fig. 12.

Les fig. 14, 15 et 16 sont des représentations graphiques de la variation admissible des périodes.

La fig. 17 est un schéma synoptique d'une variante du circuit de la fig. 12.

Les fig. 18 et 19 sont des représentations graphiques du domaine admissible pour les périodes dans la variante d'exécution selon la fig. 17.

La fig. 20 est un schéma synoptique d'une autre variante du circuit de détection utilisant un circuit analogique.

La fig. 21 montre les formes d'ondes correspondant au circuit de la fig. 20.

La fig. 22 est un schéma synoptique d'une autre variante du circuit de détection.

La fig. 23 montre des formes d'ondes servant à expliquer le fonctionnement du circuit selon la fig. 22.

La fig. 24 montre une variante d'un circuit logique de décision et

la fig. 25 une variante d'un compteur comptant dans les deux sens, ces éléments devant être substitués dans le circuit de la fig. 11 pour la détection de la limite inférieure seulement de la fréquence.

La fig. 26 montre des formes d'ondes permettant d'expliquer le fonctionnement du circuit de la fig. 11 avec les modifications selon les fig. 24 et 25.

Les fig. 27 et 28 montrent respectivement des variantes des fig. 24 et 25 qui sont à substituer dans le circuit de la fig. 11 pour la détection de la limite supérieure de la fréquence seulement et

la fig. 29 montre des formes d'ondes permettant d'expliquer le fonctionnement du circuit de la fig. 11 avec la substitution des circuits selon les fig. 27 et 28.

La fig. 4 montre un dispositif de liaison par onde porteuse comportant un dispositif émetteur SD, un dispositif récepteur RC et un dispositif à relais RY qui sont identiques à ceux qui sont utilisés dans la fig. 1. Un signal d'entrée I provenant de la ligne de transmission TL est transformé en un signal ayant une amplitude appropriée et une largeur de bande limitée par un filtre SF situé dans le dispositif émetteur SD. Le signal est ensuite transmis à l'extrémité de réception par l'intermédiaire d'un convertisseur tension-fréquence VF. A l'extrémité réceptrice la forme d'onde du signal porteur RW est mise en forme par un circuit de mise en forme Sl faisant partie du dispositif récepteur RC et le signal de sortie RT est démodulé par un convertisseur fréquence-tension FV. Le signal de sortie de ce convertisseur FV est appliqué au dispositif à relais RY pour actionner celui-ci. Le circuit de mise en forme S1 est bien entendu muni d'un filtre usuel tel qu'il est normalement nécessaire dans cette technique.

Un dispositif de détection de condition anormale DET est connecté à la sortie du dispositif de mise en forme S_1. Il comporte un circuit de division de fréquence S_2 qui réduit la fréquence du signal de sortie de moitié produisant ainsi des signaux de sortie Q et $\overline{Q}$. Le dispositif DET comporte en outre un multivibrateur MV qui produit un signal d'horloge CK, des circuits logiques de multiplication A_1 et A_2 et un compteur CTR à deux sens de comptage qui compte de façon additive en réponse au signal de sortie C_1 provenant du circuit logique A_1 et compte dans le sens négatif en réponse au signal de sortie C_2 provenant du circuit logique A_2. Ces éléments de circuit étant bien connus en soi ils ne sont pas décrits en détail ici. Le dispositif comporte également un circuit générateur de signal d'horloge TG qui produit un signal C_3 en réponse à la première impulsion du signal C_1, le signal C_3 étant appliqué au compteur CTR pour le placer à l'origine dans un état tel que décrit plus loin. Le signal C_3 est également appliqué à un circuit logique de décision LG qui est conçu de manière à déterminer le contenu du compteur CTR immédiatement avant le signal C_3 pour produire un signal de sortie LP qui est appliqué à un dispositif relais RY pour commander le fonctionnement de celui-ci.

La fig. 5 montre un exemple d'un circuit logique de décision LG comportant des circuits logiques de multiplication A_3 et A_4, un circuit logique d'addition OR_1, un circuit porte de négation N_1 et un circuit flip-flop JK désigné par FF. Pour la présente description on suppose que le compteur CTR représenté à la fig. 4 est un compteur binaire à quatre étages et que les signaux de sortie B_4 et B_3 des deux étages significatifs ainsi que les signaux inversés $\overline{B}_4$ et $\overline{B}_3$ de B_4 et B_3 sont appliqués respectivement aux circuits logiques de multiplication A_3 et A_4.

Les signaux de sortie des circuits logiques A_3 et A_4 sont appliqués à la borne K du circuit flip-flop FF par l'intermédiaire du circuit logique d'addition OR_1. Le signal de sortie du circuit logique OR_1 est inversé par le circuit N_1 puis appliqué à la borne J du circuit flip-flop FF, le circuit d'entrée pour le signal

d'horloge de ce circuit flip-flop étant connecté de façon à recevoir le signal C_3. Comme cela est bien connu dans cette technique, le signal de sortie du circuit flip-flop est déterminé par les signaux d'entrée appliqués aux bornes J et K immédiatement avant le signal d'entrée à la borne CP. Ces opérations seront décrites plus loin en rapport avec le fonctionnement de l'ensemble du dispositif.

Le fonctionnement du dispositif de liaison décrit ci-dessus est le suivant. Le tableau 1 et le diagramme de la fig. 6 permettent d'expliquer le fonctionnement du dispositif de détection de condition anormale DET représenté à la fig. 4. Dans la fig. 6 les symboles RW et CK ont les significations mentionnées ci-dessus, C_1 représente le produit logique de Q et CK et C_2 le produit logique de $\overline{Q}$ et CK. Par conséquent, le compteur CTR compte de façon additive pendant la durée de Q mais compte à rebours pendant la durée de $\overline{Q}$. Si le compteur CTR est un compteur binaire à quatre étages, il possède 16 états de sortie 0, 1, 2, ... 15 tels que indiqués dans le tableau I.

Tableau I

Contenu du compteur ($C_1 + C_2$)	B_4	B_3	B_2	B_1	$\overline{B}_4$	$\overline{B}_3$	K	J
0	0	0	0	0	1	1	1	0
1 (ou −15)	0	0	0	1	1	1	1	0
2	0	0	1	0	1	1	1	0
3	0	0	1	1	1	1	1	0
4	0	1	0	0	1	0	0	1
5	0	1	0	1	1	0	0	1
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	0	1
8	1	0	0	0	0	1	0	1
9	1	0	0	1	0	1	0	1
10	1	0	1	0	0	1	0	1
11 (ou −5)	1	0	1	1	0	1	0	1
12 (ou −4)	1	1	0	0	0	0	1	0
13 (ou −3)	1	1	0	1	0	0	1	0
14 (ou −2)	1	1	1	0	0	0	1	0
15 (ou −1)	1	1	1	1	0	0	1	0

En supposant que le compteur CTR est à l'origine mis dans l'état 1 par le signal C_3, le compteur présente l'état 2 en réponse au deuxième signal C_1. Ainsi, le compteur compte successivement de façon additive et compte à rebours en réponse aux signaux C_2. Le signal de sortie du compteur CTR correspondant à la dernière impulsion du signal C_2, c'est-à-dire le signal de sortie précédant immédiatement le signal C_3, représente la différence entre les nombres d'impulsions des signaux C_1 et C_2, c'est-à-dire la différence entre les durées de Q et $\overline{Q}$ qui suivent ces signaux. Ces relations sont décrites en référence aux quatre sections no. 1 à no. 4 de l'onde porteuse RW représentée à la fig. 6.

Dans la section no. 1 les deux signaux C_1 et C_2 comportent six impulsions, de sorte qu'immédiatement avant le signal C_3 le contenu du compteur CTR est juste zéro et $B_3 = B_4 = 0$. Par conséquent, le signal de sortie du circuit logique A_4 est «1» de sorte que les entrées K et J du circuit flip-flop FF sont chacune à zéro. Sous l'effet de ces états d'entrée J et K, le circuit flip-flop FF est remis à zéro et produit un signal 0 à la sortie LP. Si la borne de sortie LP était déjà à l'état 0, cet état sera maintenu conformément au fonctionnement du circuit flip-flop du type JK.

Dans la section no. 2, les signaux C_1 et C_2 comportent respectivement 9 et 5 impulsions, de sorte que le contenu du compteur CTR immédiatement avant le signal C_3 est égal à 4, c'est-à-dire $B_1 = B_2 = B_4 = 0$ et $B_3 = 1$. Par conséquent, les signaux de sortie des deux circuits logiques A_3 et A_4 représentés à la fig. 5 sont à zéro et les entrées K et J sont respectivement à zéro et à 1. Par conséquent, lorsque le signal C_3 est appliqué, le circuit flip-flop bascule et la sortie LP devient 1.

Dans la section no. 3 les signaux C_1 et C_2 comprennent respectivement 5 et 10 impulsions et le contenu du compteur CTR immédiatement avant le signal C_3 est de −5 de sorte que $B_1 = B_2 = B_4 = 1$ et $B_3 = 0$ comme dans le cas du contenu +11. Dans ce cas également, puisque J = 1 et K = 0 le circuit flip-flop FF maintient son état 1 même s'il reçoit le signal C_3.

Dans la section no. 4 les signaux C_1 et C_2 comprennent respectivement 5 et 6 impulsions de sorte que le contenu du compteur CTR immédiatement avant le signal C_3 est de −1 et $B_1 = B_2 = B_3 = B_4 = 1$, J = 0 et K = 1. Par conséquent, lors de l'arrivée du signal C_3 le circuit flip-flop est remis à l'état 0 et sa sortie LP = 0.

Dans l'exemple décrit ci-dessus le circuit flip-flop FF produit un signal de sortie 1 lorsque le nombre d'impulsions du signal C_1 est plus grand de quatre impulsions que celui du signal C_2 ou que le nombre d'impulsions du signal C_2 est plus grand de cinq impulsions que celui du signal C_1. En d'autres termes les périodes de l'onde porteuse reçue dans des sections successives sont comparées entre elles et lorsque la différence est plus grande qu'une valeur déterminée, le dispositif décide qu'un état anormal est présent dans le signal reçu et le signal de sortie LP est produit. En réponse à ce signal LP, le dispositif à relais RY est commandé de différentes manières. Par exemple, pendant que le signal de sortie LP est produit, le circuit de sortie du dispositif à relais peut être interrompu ou un dispositif de temporisation de coupure peut être interposé entre le circuit logique de décision LG et le dispositif à relais RY pour augmenter la durée du signal de sortie LP. Alternativement, la sensibilité du dispositif à relais RY peut être réduite pendant la durée du signal LP où le temps de décision du circuit logique de décision peut être augmenté.

Dans cet exemple, lorsque le nombre d'impulsions du signal C_1 est plus grand que celui du signal C_2 de 4 à 11 impulsions ou lorsque le nombre d'impulsions du signal C_2 est plus grand que celui du signal C_1 de 5 à 12 impulsions, le dispositif de détection d'un état anormal entre en fonction, mais si la différence entre ces impulsions dépasse lesdites gammes, l'état anormal ne peut pas être détecté. Par exemple lorsque les signaux C_1 et C_2 comportent respectivement 15 à 3 impulsions le contenu du compteur est de 12 et $B_1 = B_2 = 0$, $B_3 = B_4 = 1$ de sorte que l'état est jugé normal. Cependant, si l'on utilise un nombre d'étages suffisant dans le compteur la limite susmentionnée peut être étendue. Par exemple, en utilisant un compteur à 8 bits, on peut compter jusqu'à 255 impulsions ce qui est suffisant pour les applications habituelles.

Le dispositif de détection n'entre pas en fonction pendant que les signaux transmis entre les centrales sont normaux, mais détecte des signaux anormaux à des vitesses élevées et avec une grande sensibilité.

Plus particulièrement lorsque le signal transmis est normal, la pente de la forme d'onde du signal d'entrée au convertisseur tension-fréquence VF étant diminuée par le filtre SF, la fréquence de l'onde transmise ne varie pas rapidement. Par exemple lorsque le courant d'entrée I a une fréquence de 60 Hz et que la fréquence porteuse F_0 = 1800 Hz, la largeur du décalage de fréquence ΔF = 600 Hz, de sorte qu'à l'état stationnaire la fréquence varie entre 1200 Hz et 2400 Hz et la période varie entre 0,83 ms et 0,42 ms, mais la différence maximale entre les périodes de sections d'onde adjacentes est environ 0,06 ms. Même si la partie de formation et la distorsion d'un courant de fuite sont prises en considération, il est possible de limiter la variation de la fréquence ou de la période à des valeurs inférieures aux valeurs indiquées ci-dessus.

Toutefois, dans la pratique, une certaine tolérance est nécessaire de sorte que chaque fois que des valeurs dépassant les valeurs normales indiquées ci-dessus apparaissent, le dispositif est capable de décider immédiatement à une vitesse élevée et avec une grande sensibilité qu'un état anormal se présente dans le signal transmis.

Il ressort de ce qui précède que le présent dispositif peut détecter un état anormal au plus tard dans la période suivant la période dans laquelle l'état anormal est apparu, de sorte que la vitesse de réponse est beaucoup plus grande que celle des dispositifs connus.

Les exemples suivants illustrent quelques modifications et variantes possibles du présent dispositif.

I. Modification dans les périodes à comparer.

Dans le circuit de la fig. 4 le diviseur de fréquence S_2 était utilisé pour la commutation entre le comptage par addition et le comptage par soustraction à chaque période de l'onde porteuse. Si l'on veut procéder à une démodulation dans chaque demi-période, on substitue un circuit de négation N au diviseur de fréquence S_2 comme le montre la fig. 7, pour comparer les périodes positives et négatives, ce qui augmente encore la vitesse. Dans ce cas, le dispositif peut fonctionner comme on le souhaite lorsque le comptage par addition est effectué dans la période dans laquelle la sortie RT du redresseur S_1 est à 1 et lorsque le comptage par soustraction est effectué dans la période dans laquelle RT = 0.

Alternativement, il est possible de comparer les largeurs de n/2 périodes adjacentes (n étant un nombre entier) en modifiant légèrement la conception du diviseur de fréquence S_2. Cette modification est utile lorsque la fréquence porteuse est notablement plus grande que la fréquence du courant d'entrée de sorte que le dispositif est insensible à des perturbations d'environ une période et peut éviter une détection erronée. La fig. 8 montre les formes d'onde des signaux RT, Q et $\overline{Q}$ lorsque n = 5.

II. Changement de la fréquence des impulsions d'horloge.

Dans la fig. 6 on a représenté, pour des raisons de clarté, les signaux Q et $\overline{Q}$ et les impulsions d'horloge CK de telle façon que les parties ascendantes et les parties descendantes des signaux Q et $\overline{Q}$ et les impulsions d'horloge CK ne se produisent pas en même temps. Cependant, même si elles se produisent simultanément, le problème de cette coïncidence peut être aisément éliminé en augmentant la résolution par une augmentation de la fréquence des impulsions d'horloge.

Alternativement, un circuit tel que celui de la fig. 9 peut être utilisé. Dans ce cas, le multivibrateur MV et les circuits logiques A_1 et A_2 de la fig. 4 peuvent être remplacés par des multivibrateurs MV_1 et MV_2 qui sont conçus de manière à produire des signaux C_1 et C_2 respectivement en synchronisme avec les signaux Q et $\overline{Q}$. Les signaux C_1 et C_2 sont utilisés de la même façon que ceux de la fig. 4.

III. Modification du circuit logique de décision LG.

Dans l'exemple de la fig. 4 le dispositif de détection d'un état anormal entre en fonction lorsque le nombre d'impulsions du signal C_1 est plus grand que celui du signal C_2 de 4 ou plus d'impulsions et lorsque le nombre d'impulsions du signal C_2 est plus grand de 5 ou plus d'impulsions que celui du signal C_1, c'est-à-dire que la différence est de 1 impulsion. Ceci peut être amélioré en augmentant la résolution du dispositif. En d'autres termes, en augmentant la limite de décision en choisissant une valeur appropriée pour la fréquence des impulsions d'horloge, une différence d'une impulsion peut être négligée. Cette différence peut également être éliminée en modifiant légèrement le circuit représenté à la fig. 5. La fig. 10 représente un exemple d'un tel circuit modifié dans lequel le signal de sortie d'un circuit logique de multiplication et de négation NA_1 répondant aux signaux $\overline{B}_1$ et B_2 des étages inférieurs du compteur, est appliqué à une entrée supplémentaire d'un circuit porte ET désigné par A_3. Ainsi que le montre le tableau II, lorsque le contenu du compteur est compris entre −1 et −3, l'état de la sortie du circuit porte ET A_3 est 1 et lorsque le contenu du compteur est compris entre 0 et +3 l'état de sortie de la porte A_4 devient 1, de sorte que le but est atteint.

Il est ainsi possible d'obtenir toute valeur limite désirée de la fréquence en utilisant des circuits logiques d'une conception relativement simple. Une telle modification étant évidente pour un homme de métier, elle n'est pas décrite en détail ici.

Tableau II

Contenu du compteur	B_4	B_3	B_2	B_1	NA_1 sortie	A_3 sortie	A_4 sortie	CR_1 sortie
+5	0	1	0	1	1	0	0	0
4	0	1	0	0	0	0	0	0
3	0	0	1	1	1	0	1	1
2	0	0	1	0	1	0	1	1
1	0	0	0	1	1	0	1	1
0	0	0	0	0	0	0	1	1
−1	1	1	1	1	1	1	0	1
−2	1	1	1	0	1	1	0	1
−3	1	1	0	1	1	1	0	1
−4	1	1	0	0	0	0	0	0
−5	1	0	1	1	1	0	0	0

IV. Duplication du dispositif de détection.

Dans le circuit de la fig. 4, deux périodes de l'onde porteuse ont été comparées pour la décision concernant chaque ensemble de deux périodes. Il est également possible d'utiliser deux compteurs à deux sens de comptage pour obtenir alternativement une décision. Plus particulièrement, un compteur est utilisé pour compter par addition en réponse au signal Q et pour compter à rebours en réponse au signal $\overline{Q}$, et l'autre compteur est utilisé pour compter dans le sens additif en réponse au signal $\overline{Q}$ et pour compter à rebours en réponse au signal Q. Au moyen de cet agencement modifié il devient possible de faire une décision dans chaque période en comparant une période à une période précédente, de sorte que la vitesse de détection se trouve augmentée.

La fig. 11 montre un exemple d'un tel agencement modifié. Au dispositif de détection d'un état anormal DET représenté à la fig. 4, on ajoute un deuxième compteur CTR_2 à deux sens de comptage, un deuxième générateur de signaux de temporisation TG_2 et un deuxième circuit logique de décision LG_2 qui sont identiques aux éléments correspondants CTR, TG et LG représentés à la fig. 4, excepté le fait qu'ils sont connectés pour recevoir le signal C_2 du circuit logique de multiplication A_2. Un circuit logique d'addition OR_2 est utilisé pour produire un signal de sortie correspondant à la somme logique des signaux de sortie des deux circuits logiques de décision LG et LG_2.

V. Surveillance du domaine de fréquence.

Il est possible de détecter le domaine de fréquence en ajoutant certains éléments au circuit représenté à la fig. 4. La fig. 12 montre un exemple d'une telle modification et la fig. 13 montre les formes d'ondes des signaux correspondants. Un générateur de signaux de synchronisation TG_1 correspond au générateur TG de la fig. 4 par rapport auquel il présente une entrée additionnelle C_2 et une sortie additionnelle C_4, le signal de cette dernière étant appliquée à un circuit logique de décision LG_1. Le signal C_4 correspond à la première impulsion du signal C_2 représenté à la fig. 13. Le circuit de décision LGA est similaire au circuit LG de la fig. 4 mais présente un certain nombre de fonctions supplémentaires. Plus particulièrement,

dans le circuit de la fig. 4 le circuit LG détermine la différence entre les nombres d'impulsions des signaux C_1 et C_2 en réponse au signal C_3 suivant immédiatement ces signaux, alors que dans le circuit de la fig. 12, le signal C_4 est également appliqué au circuit de décision LGA, de sorte qu'il examine la sortie du compteur CTR, c'est-à-dire le nombre d'impulsions du signal C_1 précédent immédiatement le signal C_4. En utilisant un circuit logique similaire à celui de la fig. 4, il est possible de contrôler les limites supérieure et inférieure de la fréquence et de surveiller ainsi le domaine de fréquence.

Cette propriété est illustrée par le graphique de la fig. 14, dans lequel l'abscisse représente la sortie du compteur CTR précédent immédiatement le signal C_4 c'est-à-dire la première période T_1, et l'ordonnée représente la sortie du compteur CTR précédent immédiatement le signal C_3, c'est-à-dire la différence (T_1-T_2) entre la première et la deuxième période T_1, T_2 respectivement le graphique montre une gamme de périodes permissibles, le circuit de décision LGA de la fig. 12 produisant un signal de sortie LT à l'extérieur de cette gamme. La fig. 15 est un graphique modifié dans lequel l'ordonnée de la fig. 14 est remplacée par la période T_2.

Si l'on incorpore les caractéristiques montrées à la fig. 12 au circuit de la fig. 11, on impose des limites supérieures et inférieures à la période T_2 de sorte qu'une gamme de périodes admissible telle que représentée à la fig. 16 peut être obtenue, la surveillance de la gamme de période étant de ce fait plus rigoureuse.

VI. Surveillance du fonctionnement différentiel.

Il est également possible de modifier le circuit représenté à la fig. 12 de telle façon que la limite de détection de la différence déterminée par le signal C_3 peut être variée automatiquement conformément au nombre de signaux C_1 comptés par le signal C_4. Dans des conditions normales, étant donné que la différence entre des périodes successives apparaît en proportion avec la période, la sensibilité de la détection peut être améliorée en établissant une limite de détection correspondant à la différence. La fig. 17 est un schéma synoptique montrant cette modification et les fig. 18 et 19 sont des graphiques montrant les caractéristiques de périodes permissibles. Le circuit de la fig. 17 comporte un registre RG en plus des éléments de circuit représentés à la fig. 12. Le registre RG est connecté entre le générateur de signaux de synchronisation TGA et un circuit logique de décision LGB. En réponse au signal C_4 provenant du générateur LGB, le registre RG emmagasine le signal de sortie du compteur CTR à ce moment, c'est-à-dire une période T_1.

De façon similaire au circuit logique de décision LGA représenté à la fig. 12, le circuit logique de décision LGB contrôle le signal de sortie du compteur CTR au moment de l'apparition du signal C_3 ou la différence $T_2 - T_1$, mais il varie la valeur admissible selon le contenu emmagasiné dans le registre RG tel que représenté à la fig. 18. Si l'on remplace l'ordonnée $T_1 - T_2$ de la fig. 18 par T_2 on obtient le graphique représenté à la fig. 19.

La caractéristique montrée à la fig. 18 peut être obtenue aisément en utilisant un circuit logique bien connu. La partie inclinée de la courbe peut être rendue variable de façon continue ou discontinue, la pente et les gradins étant également variables. Le circuit représenté à la fig. 17 donne une caractéristique des périodes admissibles exprimée par la relation $F_1(T_1) < T_2 < T_2(T_1)$, un signal de sortie LP étant produit chaque fois que la fréquence se trouve en dehors de la gamme admissible dans laquelle $F_1(T_1)$ et $T_2(T_1)$ sont des fonctions de la période T_1. Plus particulièrement cette caractéristique signifie que la valeur minimale admissible est déterminée par la fonction $F_1(T_1)$ ou par T_1, que la valeur maximale admissible est déterminée par la fonction $F_1(T_1)$ ou T_1 et qu'un état anormal est détecté lorsque T_2 se trouve à l'extérieur de ladite gamme. Dans les formes d'exécution précédentes, les limites inférieure et supérieure peuvent être détectées aisément, mais le présent dispositif permet également de détecter une seule des limites.

Si seulement la limite inférieure est à prendre en considération pour la détection, c'est-à-dire que $T_2 > F_1(T_1)$ devient la gamme admissible, le cas où la période ne saitsfait pas cette relation étant considéré comme une période anormale, chacun des circuits logiques de décision LG et LG_2 représenté à la fig. 11 est modifié conformément au circuit logique de décision LG de la fig. 24 et des circuits logiques d'addition OR_2 et de multiplication A_8 sont ajoutés aux entrées de chacun des compteurs à deux sens de comptage CTR et CTR_2 tel que représenté à la fig. 25. Dans cet exemple on suppose que les compteurs sont du type binaire à cinq bits. Cependant, comme cela a déjà été mentionné, la résolution du dispositif est améliorée en augmentant le nombre de bits du compteur. Le fonctionnement du circuit représenté à la fig. 24 est indiqué au tableau III. Contrairement au tableau I, le tableau III ne représente pas la gamme négative. Ceci est dû à la conception représentée à la fig. 25. Plus particulièrement, bien que le compteur à deux sens de comptage CTR compte d'abord par addition puis par soustraction, le circuit logique d'addition OR_3 et le circuit logique de multiplication A_8 empêchent le compteur d'entrer dans le domaine négatif lors du comptage à rebours au-delà du fonctionnement de comptage par addition, étant donné que si tous les comptages de B_1 à B_5 donnent zéro, le circuit logique d'addition OR_3 produit un signal

Tableau III

Contenu du compteur	B_5	B_4	B_3	B_2	B_1	B_5	B_4	B_3	K	J
16	1	0	0	0	0	0	1	1	0	1
15	0	1	1	1	1	1	0	0	0	1
11	0	1	0	1	1	1	0	1	0	1
10	0	1	0	1	0	1	0	1	0	1
5	0	0	1	0	1	1	1	0	0	1
4	0	0	1	0	0	1	1	0	0	1
3	0	0	0	1	1	1	1	1	1	0
2	0	0	0	1	0	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	0
0	0	0	0	0	0	1	1	1	1	0

de sortie zéro et le circuit logique de multiplication A_8 empêche la continuation du comptage à rebours. De la même façon le compteur CTR_2 compte par addition conformément au signal C_2 puis compte à rebours conformément au signal C_2, mais il est empêché d'entrer dans le domaine négatif par le circuit logique d'addition OR_3 et le circuit logique de multiplication A_8.

La fig. 26 montre des formes d'ondes permettant d'expliquer le fonctionnement de cette variante, TW montrant la forme d'onde d'un signal transmis et RW le signal reçu, le retard de transmission n'étant pas indiqué. Pour la présente description, chaque période de TW est représentée avec une largeur de 8 impulsions d'horloge. Sous l'effet d'une perturbation pendant la transmission dans la deuxième moitié de la section no. 1, la largeur de la période de l'onde reçue est représentée comme correspondant à 13 impulsions d'horloge alors que dans la deuxième moitié de la section no. 2 la largeur de la période a été modifiée et devient 3 impulsions d'horloge.

Dans la forme d'exécution précédente, le comptage du compteur à la fin de la section no. 1 était de $8 - 13 = -5$ ce qui correspond à un état anormal. Dans la présente variante le comptage du compteur à la fin de la section no. 1 donne zéro de sorte qu'aucun état anormal n'est détecté à cet endroit. Le comptage du compteur CTR_2 à la fin de la section no. 2 est de $13 - 3 = 10$ de sorte que l'entrée J du circuit flip-flop est à 1,

ce qui correspond à un état anormal tel que représenté dans le tableau III. Il ressort des formes d'ondes représentées à la fig. 26 que dans cette variante conçue pour détecter seulement la limite inférieure, même si un état anormal se présente dans le sens inverse c'est-à-dire si l'état anormal se présente dans une direction telle que la durée de la période augmente, il est possible de détecter l'état anormal en autorisant un délai d'environ une période seulement. Lorsqu'un état anormal se présente dans un sens tel que la durée de la période augmente, un tel état peut être détecté sans délai de la même façon que dans la forme d'exécution précédente.

Les fig. 27 et 28 montrent respectivement des modifications des fig. 24 et 25 pour la détection d'un état anormal dans une direction telle que la durée de la période augmente c'est-à-dire que la gamme admissible est exprimée par une relation $T_2 < F_2$ (T_1), un état anormal étant détecté chaque fois que la fréquence ne satisfait pas cette relation. Bien entendu le circuit de la fig. 27 remplace les circuits logiques de décision LG et LG_2 de la fig. 11 et le circuit de la fig. 28 remplace les compteurs CTR et CTR_2 de la fig. 11.

Le fonctionnement du circuit de la fig. 27 est illustré par le tableau IV.

Dans la fig. 28 le compteur CTR est représenté par un compteur binaire à cinq bits. Dans cette variante, si un signal et tel que représenté par RW dans la fig. 26 est reçu, le contenu du compteur CTR à la fin de la section no. 1 est $8 - 13 = -5$ de sorte qu'un signal 1 est appliqué à la borne J du circuit flip-flop conduisant immédiatement à la détection d'un état anormal.

La fig. 29 montre des formes d'ondes dans lesquelles l'état anormal se présente dans une direction telle que la largeur de la période de l'onde reçue RW décroît c'est-à-dire dans la direction opposée à celle décrite ci-dessus. Dans la fig. 29, on suppose que la largeur d'une période de l'onde transmise TW correspond à 8 impulsions ou unités de comptage telles que dans la fig. 26. L'exemple représenté à la fig. 29 montre que dans la deuxième moitié de la section no. 1 la largeur de la période de l'onde reçue a diminué jusqu'à 3 impulsions et que dans la deuxième moitié de la section no. 2 la largeur d'une période a augmenté jusqu'à 13 impulsions. Dans ce cas, le contenu du compteur CTR à la fin de la section no. 1 est de $8 - 3 = 5$ et, comme cela ressort du tableau IV, $J = 0$ à ce moment de sorte qu'aucun état

Tableau IV

Contenu du compteur	B_5	B_4	B_3	B_2	B_1	$\overline{B}_5$	K	J
6	0	0	1	1	0	1	1	0
5	0	0	1	0	1	1	1	0
4	0	0	1	0	0	1	1	0
3	0	0	0	1	1	1	1	0
2	0	0	0	1	0	1	1	0
1	0	0	0	0	1	1	1	0
0	0	0	0	0	0	1	1	0
− 1	1	1	1	1	1	0	1	0
− 2	1	1	1	1	0	0	1	0
− 3	1	1	1	0	1	0	1	0
− 4	1	1	1	0	0	0	1	0
− 5	1	1	0	1	1	0	0	1
− 6	1	1	0	1	0	1	0	1
− 9	1	0	1	1	1	0	0	1
−10	1	0	1	1	0	0	0	1

anormal n'est détecté. D'un autre côté le contenu du compteur CTR_2 à la fin de la section no. 2 est de $3 - 13 = -10$ et $J = 1$ de sorte que l'état anormal est détecté.

La variante décrite ci-dessus peut également atteindre le but du présent dispositif lorsqu'un retard d'une période est admissible.

VII. Circuit de décision analogique.

Dans tous les exemples décrits ci-dessus, on a utilisé des circuits digitaux mais il est évident que le même but peut également être atteint au moyen de circuits analogiques.

La fig. 20 montre un schéma synoptique d'une autre variante du présent dispositif utilisant un circuit analogique comme dispositif de détection d'un état anormal et la fig. 21 montre des formes d'ondes permettant d'expliquer le fonctionnement du circuit de la fig. 20. Ce circuit comporte un circuit d'intégration ITG, un multivibrateur monostable $\overline{OS}$ et un circuit de comparaison COM qui sont reliés tels que représentés. QA désigne une onde mise en forme à partir de l'onde porteuse correspondant au signal Q de la fig. 4 et présentant des écarts positif et négatif autour de la ligne zéro pendant des périodes alternatives de l'onde porteuse reçue, telle que représentée à la fig. 21. DS et IS sont respectivement une impulsion de décision et une impulsion de détermination du point initial, produites par le multivibrateur monostable $\overline{OS}$ durant la partie ascendante du signal QA. Le circuit d'intégration ITG intègre le signal QA pour produire un signal de sortie SQA qui atteint une valeur correspondant à la différence entre les largeurs des parties positive et négative du signal QA en un point précédent immédiatement DS. Comme le montre la fig. 21, pendant la durée du signal DS, la valeur du signal de sortie SQA est maintenue pour que le circuit de comparaison CMP décide si cette valeur est à l'intérieur d'une gamme déterminée ou non. Si la valeur est à l'extérieur de la gamme donnée le comparateur CMP produit un signal de sortie LP. Pendant la durée du signal IS l'intégrateur présente la valeur initiale. En d'autres termes, on donne au signal de sortie SQA à l'origine une valeur équivalant à celle que l'on obtient lorsque l'intégrateur commence l'intégration à partir de la partie ascendante du signal QA, comme le montrent les parties pointillées du signal de sortie SQA dans la fig. 21. Ces opérations sont répétées pour réaliser un fonctionnement similaire à celui de la première forme d'exécution.

VIII. Différence de deuxième ordre ou valeur moyenne.

Dans les exemples précédents, des périodes successives de même nombre ont été comparées. La fig. 22 montre une autre forme d'exécution du présent dispositif et la fig. 23 montre des formes d'ondes permettant d'expliquer le fonctionnement de cette variante. Les symboles Q et $\overline{Q}$ ont la même signification que dans la première forme d'exécution et les signaux correspondants sont produits en redressant l'onde porteuse reçue. La fréquence du signal Q est réduite de moitié par un deuxième diviseur de fréquence S_3 pour obtenir des signaux D et $\overline{D}$. La fréquence des impulsions d'horloge produites par le multivibrateur MV est réduite de moitié par un troisième diviseur de fréquence S_4 pour produire des impulsions d'horloge CK_1 ayant la moitié de la fréquence. Les signaux Q $\overline{Q}$ D $\overline{D}$ CK et CK_1 sont appliqués respectivement aux entrées de circuits logiques de multiplication A_5, A_6 et A_7. Plus particulièrement le circuit logique A_5 produit ainsi un signal de sortie C_{11} en réponse aux signaux Q et CK_1, le circuit A_6 produit un signal de sortie C_{12} en réponse aux signaux $\overline{Q}$, D et CK et le circuit logique A_7 produit un signal de sortie C_{22} en réponse aux signaux $\overline{D}$, CK et $\overline{Q}$. Des compteurs binaires à deux sens de comptage CTR_1 et CTR_2 comptent de façon additive en réponse au signal C_{11} et comptent à rebours en réponse aux signaux C_{12} et C_{22}, respectivement. Des générateurs de signaux de synchronisation TG_1 et TG_2 produisent des signaux de sortie C_{13} et C_{23} en réponse aux premières impulsions des signaux C_{22} et C_{12}. Comme plus haut, les circuits logiques de décision LG_1 et LG_2 sont utilisés pour

examiner les signaux de sortie des compteurs STR_1 et CTR_2 immédiatement avant les signaux C_{13} et C_{23} pour produire des signaux de sortie respectifs qui sont appliqués à un circuit logique d'addition $\overline{QR}_2$ pour fournir un signal de sortie LP. Les signaux C_{13} et C_{23} sont utilisés respectivement pour mettre les compteurs CTR_1 et CTR_2 dans leur état initial ou état zéro pour préparer le prochain comptage.

Comme le montre la fig. 23, la section no. 1 comporte trois périodes T_1, T_2 et T_3 et le circuit représenté à la fig. 22 fonctionne de manière à vérifier $T_1 - (2 \cdot T_2) + T_3$. Alors que pendant les périodes T_1 et T_3 le nombre d'impulsions du signal C_{11} est compté de façon additive, pendant la période T_3 le nombre d'impulsions du signal C_{12} est compté de façon soustractive de sorte que la fréquence du signal C_{12} est double de celle du signal C_{11}. Dans la première forme d'exécution la différence maximale des longueurs des périodes était inférieure à 0,02 ms et lorsque la différence dépassait cette valeur il était conclue qu'on était en présence d'un état anormal. Dans la présente forme d'exécution cependant la valeur de la différence des périodes est de 1 à 2 fois celle de la première forme d'exécution de sorte que la sensibilité du dispositif est augmentée. L'expression mentionnée ci-dessus peut être modifiée de la façon suivante:

$$\begin{aligned} T_1 - (2 \cdot T_2) + T_3 &= (T_1 - T_2) - (T_2 - T_3) \ldots\ldots (1) \\ &= (T_1 + T_2 + T_3) - 3T_2 \ldots\ldots (2) \\ &= 3\{(T_1 + T_2 + T_3)/3 - T_2\} \ldots (3) \end{aligned}$$

L'équation (1) représente la différence entre les différences de deux périodes successives, c'est-à-dire la différence de deuxième ordre, alors que les équations (2) et (3) comparent les valeurs moyennes de deux paires comprenant chacune plusieurs périodes. Les sections suivant la section no. 2 peuvent être traitées de la même façon.

Ces relations peuvent être généralisées comme suit. En prenant des première et seconde périodes rapprochées comprenant respectivement m/2 et 1/2 périodes, où m et 1 sont des nombres entiers, les valeurs moyennes des première et seconde périodes sont comparées pour conclure à la présence d'un état anormal lorsque la différence dépasse une valeur déterminée. L'expression «rapproché» est utilisée ici dans un sens général qui inclut les cas où les deux sections sont adjacentes, le cas où une période est comprise dans l'autre et le cas où les deux périodes se recouvrent partiellement.

FIG. 1

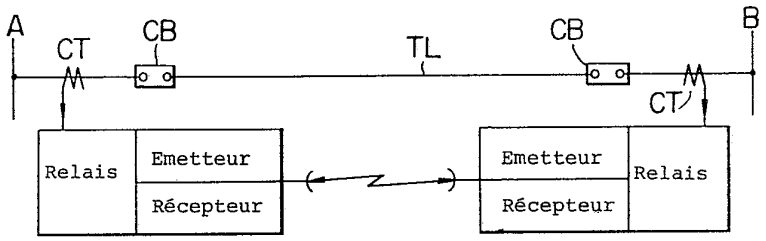


FIG. 2a

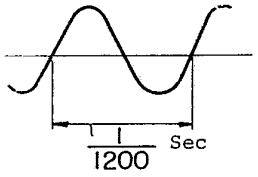


FIG. 2b

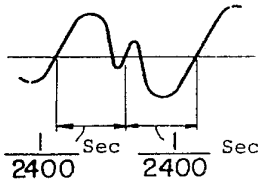


FIG. 3a

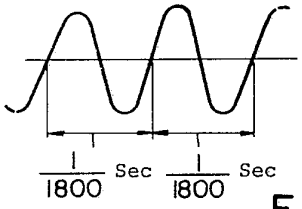


FIG. 3b

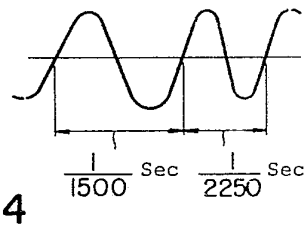


FIG. 4

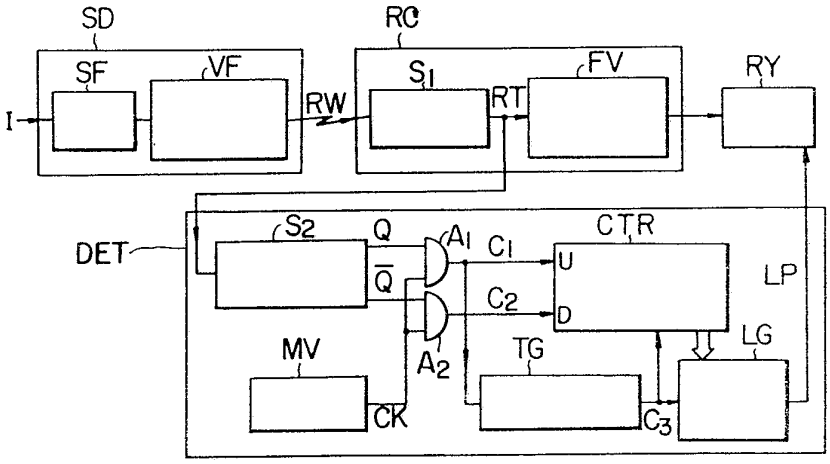


FIG. 9

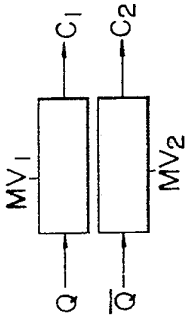


FIG. 7

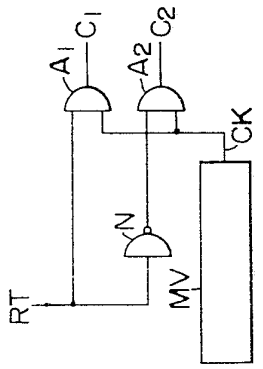


FIG. 8

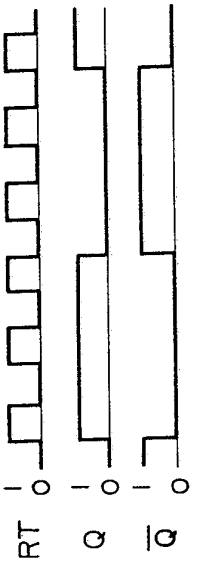


FIG. 10

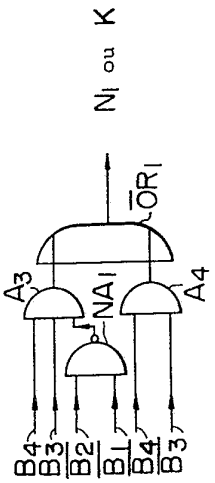


FIG. 5

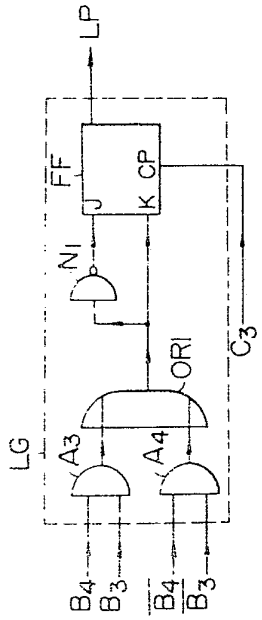
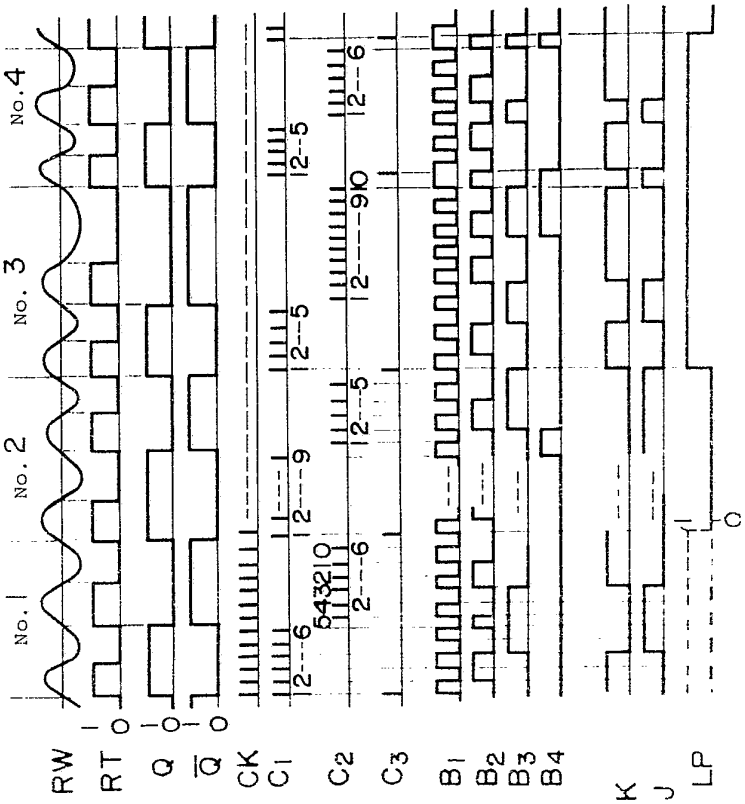
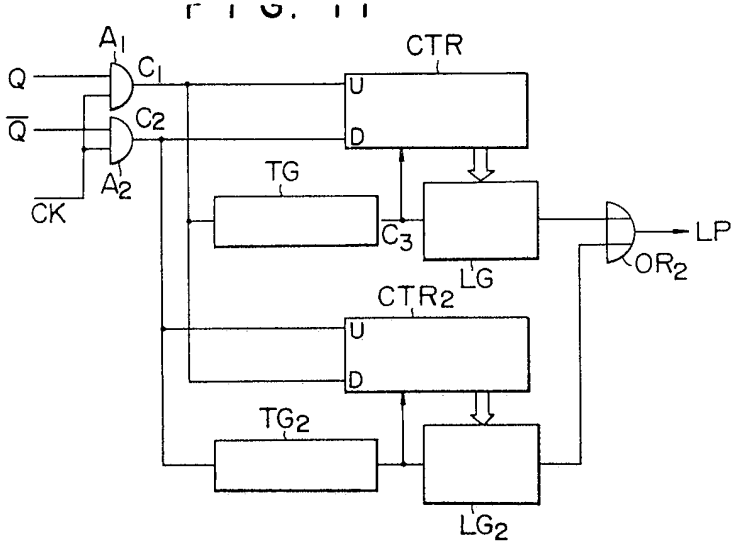
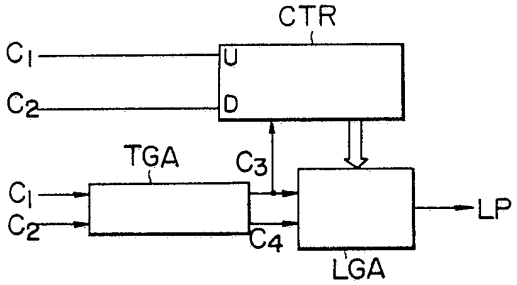


FIG. 6

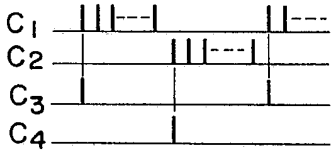




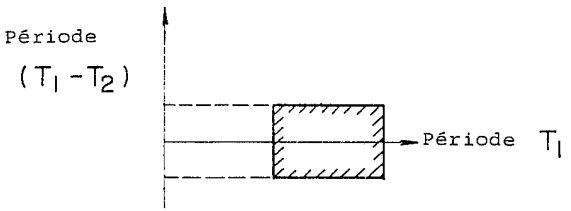
F I G. 12



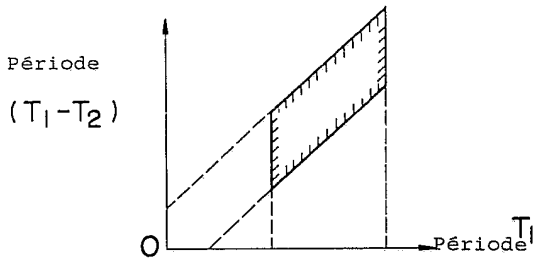
F I G. 13



F I G. 14



F I G. 15



F I G. 16

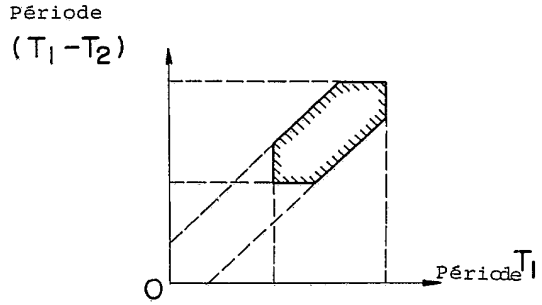


FIG. 26

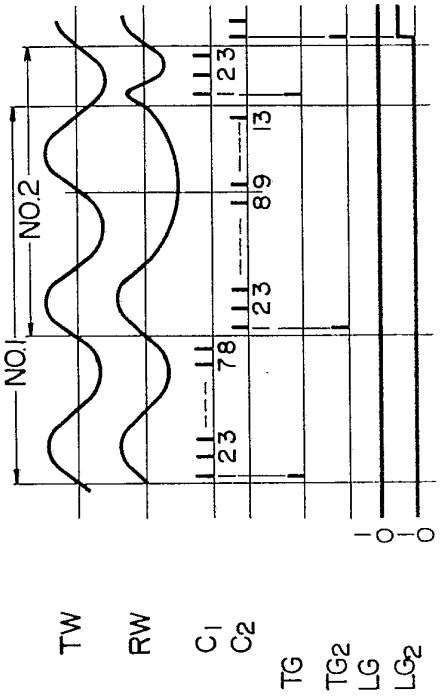


FIG. 29

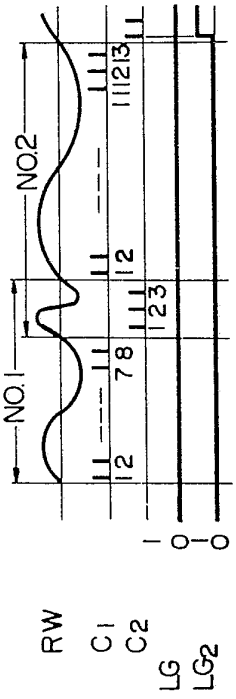


FIG. 17

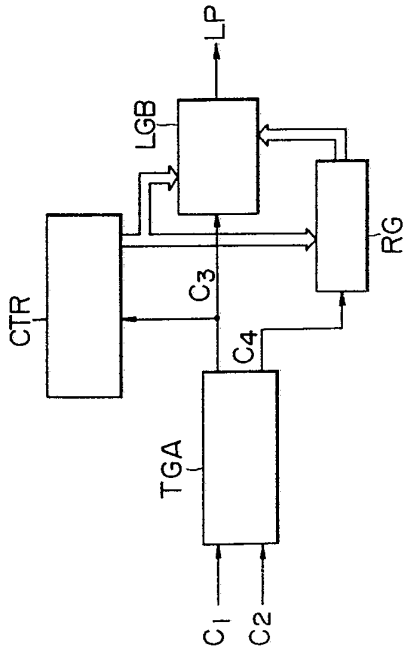


FIG. 18

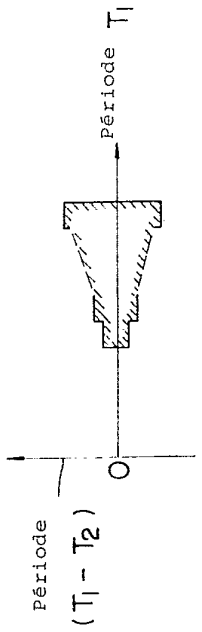


FIG. 19

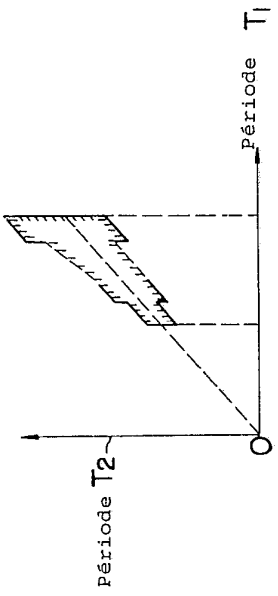


FIG.20

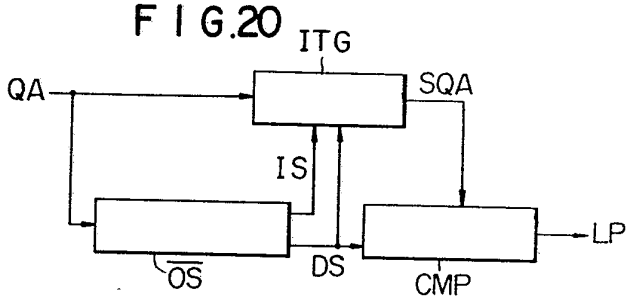


FIG.21

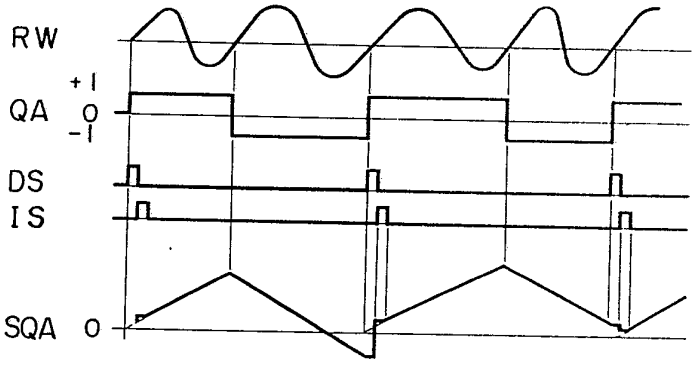


FIG.22

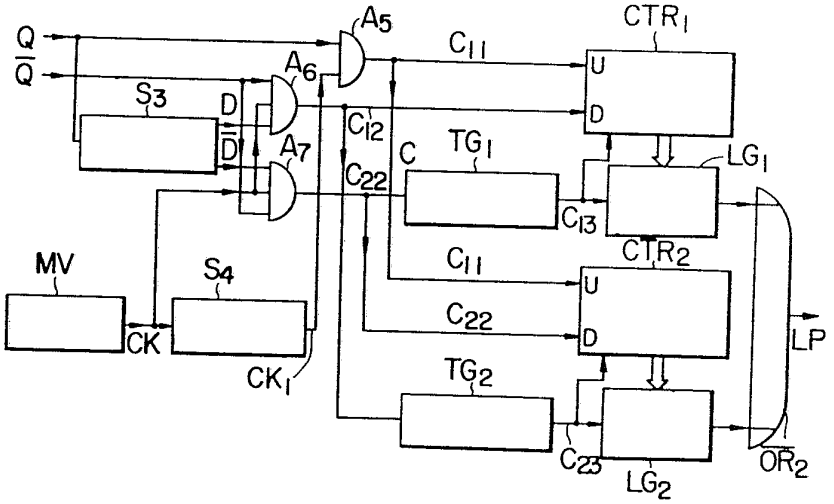


FIG. 23

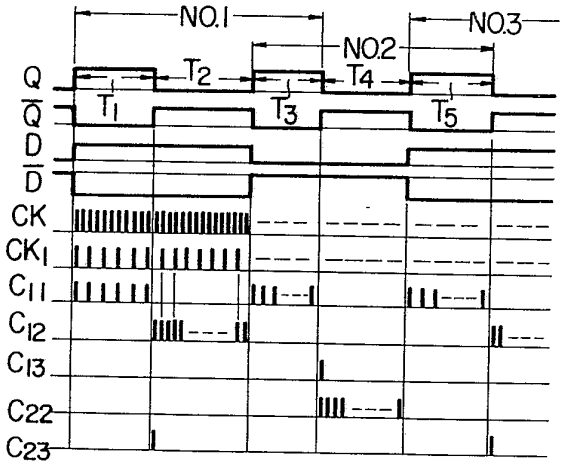


FIG. 24

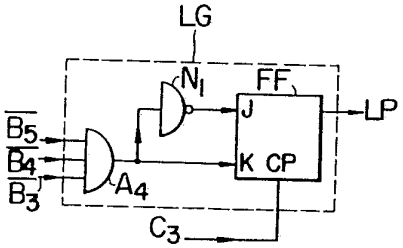


FIG. 25

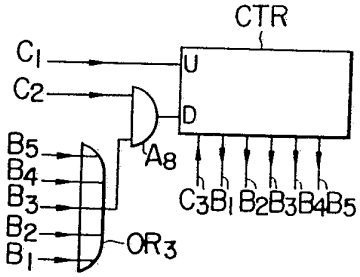


FIG. 27

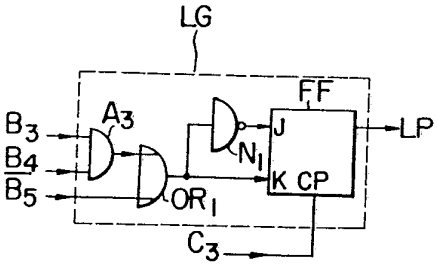


FIG. 28

