

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5242898号
(P5242898)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.

HO2M 3/28 (2006.01)

F 1

HO2M 3/28

H

請求項の数 10 (全 18 頁)

(21) 出願番号 特願2006-230371 (P2006-230371)
 (22) 出願日 平成18年8月28日 (2006.8.28)
 (65) 公開番号 特開2007-68395 (P2007-68395A)
 (43) 公開日 平成19年3月15日 (2007.3.15)
 審査請求日 平成21年8月25日 (2009.8.25)
 (31) 優先権主張番号 11/213,296
 (32) 優先日 平成17年8月26日 (2005.8.26)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501315784
 パワー・インテグレーションズ・インコーポレーテッド
 アメリカ合衆国・95138・カリフォルニア州・サンホゼ・ヘリヤー・アベニュー
 5245
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】スイッチング・レギュレータのデジタル制御のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

電力変換装置の出力レベルを調整するためにオン／オフ制御を利用する回路であって、前記電力変換装置の前記出力レベルを表すフィードバック信号を受け取るように結合された入力と、

前記フィードバック信号を受け取るように結合されて、前記出力レベルがしきい値レベルを超えることを表す第1のフィードバック状態と、前記出力レベルがしきい値レベルを下回ることを表す第2のフィードバック状態とを有するフィードバック状態信号が生成されるように、前記フィードバック信号または前記しきい値レベルの少なくともいずれかを調整して、前記フィードバック状態信号を生成するように結合された調整回路であって、前記調整により、前記フィードバック状態信号は、調整時の状態から、前記調整直前の状態に戻る、前記調整回路と、

第1の端子と、第2の端子と、制御端子とを含み、前記制御端子において受け取られた制御信号に応答して、前記第1の端子と前記第2の端子を結合するように、または減結合するように動作可能なスイッチと、

前記制御信号を生成する制御回路とを含み、前記フィードバック状態信号は前記制御回路に受取られるよう結合され、前記制御回路はいくつかのスイッチング期間の間に前記スイッチをオフに保つことによって前記電力変換装置の出力を調整し、前記制御信号は発振信号と、前記フィードバック状態信号の前記第1および第2のフィードバック状態間の変化とに応答し、

10

20

前記発振信号は第1の周波数または第2の周波数を有するように結合され、前記第1および第2の周波数のいずれかは実質的に0である、回路。

【請求項2】

前記調整回路は、前記フィードバック信号を調整するように結合された変調源を含む、請求項1に記載の回路。

【請求項3】

前記変調源は、デジタル源である、請求項2に記載の回路。

【請求項4】

前記変調源は、アナログ源である、請求項2に記載の回路。

【請求項5】

前記調整回路は、前記しきい値レベルを調整するように結合された変調源を含む、請求項1に記載の回路。

10

【請求項6】

前記変調源は、デジタル源である、請求項5に記載の回路。

【請求項7】

前記変調源は、アナログ源である、請求項5に記載の回路。

【請求項8】

前記スイッチに結合されて、前記スイッチを通る電流を電流制限しきい値より低く制限する電流制限調整回路をさらに含む、請求項1に記載の回路。

【請求項9】

前記電流制限調整回路は、前記電流制限しきい値を調整するように結合される、請求項8に記載の回路。

20

【請求項10】

前記フィードバック信号に応答して設定され、前記発振信号に応答してリセットされる、前記制御信号を供給するラッチをさらに含む、請求項1に記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の諸実施形態は、全体として電源に関し、より具体的には、電源出力の調整に関する。

30

【背景技術】

【0002】

電子デバイスは、調整された電力を使用して動作する。スイッチング電源が効率が高く、出力調整が良好であるために、今日の電子デバイスの多くに電力を供給するために一般に使用されている。知られているスイッチング電源では、低周波数（例えば、50Hzもしくは60Hzのメイン周波数）高電圧の交流（AC）が、スイッチング電源の制御回路を使用して、高周波数（例えば、30ないし300kHz）のACに変換される。電圧を、通常、より低い電圧に変換し、安全に絶縁するために、高周波数高電圧のACが変圧器に印加される。電子デバイスに電力を供給するために用いられる調整されたDC出力を得るために変圧器の出力が整流される。スイッチング電源の制御回路は、通常、出力を感知し、閉ループで出力を制御することによって、出力を調整する。

40

【0003】

スイッチング電源は、集積回路スイッチング・レギュレータを含むことが可能であり、レギュレータは、変圧器の1次巻線に結合されたパワー・スイッチ、またはパワー・トランジスタを含むことが可能である。スイッチング・レギュレータによって制御された形でパワー・トランジスタをオン／オフさせることにより、エネルギーが、変圧器の2次巻線に伝達されて、DC出力において、クリーンで安定した電源が供給される。

【0004】

例えば、カリフォルニア州サンノゼ所在のパワー・インテグレーションズ（Power Integrations）の米国特許第6226190号において説明される実施形

50

態などの、知られているスイッチング・レギュレータでは、電源のDC出力の出力からフィードバック電流がサンプリングされる。フィードバック電流が、調整しきい値を下回っている場合、パワー・スイッチは一定の周波数でスイッチングされる。フィードバック電流が調整しきい値を超えている場合、スイッチング・レギュレータはディセーブルにされ、パワー・スイッチのサイクルが飛ばされることになる。これを行う際に、より少ない数のコンポーネントを利用する電源が可能であり、低電力ソリューションのための費用対効果が大きい電源が可能になる。説明する電源の諸実施形態は、出力調整を失うことなしに、負荷過渡現象に迅速に応答することができる電源を提供する。

【0005】

しかし、前述したとおり、スイッチング・レギュレータがサイクルを飛ばすと、スイッチング・レギュレータの動作によって生じる周波数が低減される。このため、スイッチング・レギュレータの動作の周波数は、電源のDC出力を調整するようにサイクルが飛ばされるにつれて変化し、周波数は、DC出力に結合された負荷が減少するにつれて減少する。一般に、このタイプの電源の動作の周波数が、20Hzないし20kHzの範囲内のような、可聴周波数範囲内の周波数まで低下すると、電源の変圧器は望ましくない可聴雑音を生成する。

【0006】

この問題に対処するため、カリフォルニア州サンノゼ所在のパワー・インテグレーションズは、例えば、自社の米国特許第6525514号で説明される諸実施形態などのように、オン/オフ制御を利用するとともに、スイッチング・レギュレータの電流制限を調整して、軽い負荷における可聴雑音を低減させた電源レギュレータを投入した。一実施形態では、説明されているスイッチング・レギュレータは、駆動信号の先行するN回のサイクルに関する電源の出力からのフィードバック信号値のパターンに基づき、スイッチング・レギュレータの電流制限を調整する状態マシンを含む。状態マシンは、変圧器を流れる磁束密度が、可聴雑音の生成を低減するだけ十分に低くなるまで、軽い負荷において電流制限をより低く調整して、サイクルが飛ばされて、スイッチング・レギュレータの動作周波数が可聴周波数範囲まで低減されることがないようにしている。

【特許文献1】米国特許第6226190号

【特許文献2】米国特許第6525514号

【0007】

本発明を、例として、限定としてではなく、添付の図に詳細に示す。

【発明を実施するための最良の形態】

【0008】

電源において利用することができる電源レギュレータの諸実施形態を開示する。以下の説明では、本発明の徹底的な理解を与えるために、多数の特定の詳細を提示する。しかし、その特定の詳細が、本発明を実施するのに使用されなくてもよいことが当業者には明白となろう。実施に関連する周知の方法は、本発明を不明瞭にするのを避けるために、詳細に説明していない。

【0009】

本明細書全体で、「一実施形態」または「実施形態」について述べることは、その実施形態に関連して説明される特定の特徴、構造、または特性が、本発明の少なくとも1つの実施形態に含まれることを意味する。このため、本明細書全体の様々な箇所における「一実施形態の場合」または「実施形態では」という句の出現は、必ずしもすべて、同一の実施形態について述べていない。さらに、特定の特徴、構造、または特性は、1つまたは複数の実施形態において、任意の適切な形で組み合わせられることが可能である。

【0010】

図1は、本発明の教示による、電源レギュレータ103内部の調整回路105の実施形態を含む電源101の実施形態を示すブロック図である。図示するとおり、電圧V_{IN1}113が、電源101の入力の両端に結合され、エネルギー伝達要素107の1次巻線109に結合されている。一実施形態では、クランプ115が、1次巻線109の両端に結合さ

10

20

30

40

50

れて、1次巻線109の両端の電圧をクランプする。図示した実施形態では、電源レギュレータ103の第1の端子117が、エネルギー伝達要素107に結合され、第2の端子119が電源101の入力に結合される。動作の際、電源レギュレータ103内部に含まれるパワー・スイッチ123が、電源レギュレータ103の制御回路135によって生成される制御信号125に応答して、第1の端子117を第2の端子119に対して結合する、または切り離すようにスイッチングされる。図示した実施形態では、パワー・スイッチ123のスイッチングにより、エネルギー伝達要素107の1次巻線109から2次巻線111へのエネルギーの伝達が調整される。図示した実施形態では、ダイオード127とキャパシタ129が電源101の出力で2次巻線111に結合されて、電源101の出力に結合された負荷131が、出力電圧 V_o と出力電流 I_o を受けることにより、電源を供給される。
10

【0011】

図示した実施形態に示されるとおり、フィードバック回路133が電源101の出力に結合されて、電源101の出力レベルを表すフィードバック信号137を生成する。本開示では、電源101の出力レベルは、電圧、電流、または電圧と電流の両方の組み合わせであることが可能である。一実施形態では、電源レギュレータ103の第3の端子121が、フィードバック信号137を受け取るように結合されている。

【0012】

図1に示すとおり、電源レギュレータ103は、入力141と入力145の比較の結果を生成する出力143を有する比較器139の一実施形態も含む。図示した実施形態では、入力141は、しきい値 U_{TH} を受け取るように結合され、入力145は、フィードバック信号137に応答するように結合される。以下に説明するとおり、一実施形態では、しきい値 U_{TH} は、ターンオフしきい値である。動作の際、比較器139の出力143は、フィードバック状態信号124であり、この信号124は、一実施形態では、制御回路135に対するデジタル・オン／オフ信号またはイネーブル信号として機能する。このため、電源101の出力レベルを表す入力145における信号が、しきい値 U_{TH} より大きい場合、出力143におけるフィードバック状態信号124は第1の状態である。しかし、入力145における信号が、しきい値 U_{TH} 未満である場合、出力143におけるフィードバック状態信号124は第2の状態である。一実施形態では、フィードバック状態信号124の第1の状態と第2の状態の1つは論理高値であり、フィードバック状態信号124の第1の状態と第2の状態のもう1つは論理低値である。フィードバック状態信号124は、電源101の調整を制御するのに役立つ制御回路135によって受け取られるように結合される。一実施形態では、制御回路135は、パワー・スイッチ123から電流感知信号147を受け取るように結合される電流制限回路も含む。一実施形態では、電流感知信号147は、パワー・スイッチ123を流れる電流 I_D 126を表し、制御回路135も、電流感知信号147を利用して、電源101の調整を制御するのに役立てる。
20
30

【0013】

一実施形態では、フィードバック信号137は、比較器139の入力141と入力145を比較することにより、電源101の出力が、所望される値をどれだけ超えているか、またはどれだけ下回っているかも示すことができる。入力145がターンオフしきい値 U_{TH} 未満である場合、比較器139の出力143におけるフィードバック状態124はデジタル高値であり、制御回路135は、パワー・スイッチ123を動作させる。入力145が、ターンオフしきい値 U_{TH} より大きい場合、比較器139の出力143におけるフィードバック状態124は、デジタル低値であり、制御回路135は、パワー・スイッチ123を閉じることができない。
40

【0014】

一実施形態では、制御回路135は、スイッチング期間を決めるクロック信号181を生成する発振器を含む。制御回路135は、クロック周期中、パワー・スイッチ123を閉じることが許されるか否かを判定する。制御回路135によって受け取られたフィードバック状態信号124が論理高値であった場合、制御回路135は、スイッチング期間の
50

始めにパワー・スイッチ123を閉じる。以上に要約したとおり、制御回路135は、電流感知信号147で、パワー・スイッチ123を流れる電流 I_D126 を感知する。一実施形態では、最大オン時間の後か、またはパワー・スイッチ123を流れる電流 I_D126 が最大値 I_{MAX} に達すると、パワー・スイッチ123が開く。図2は、パワー・スイッチ123を流れる電流 I_D126 の通常の波形の実施形態を示す図である。一実施形態では、制御回路135は、あるスイッチング期間の間、パワー・スイッチ123をオフに保つことにより、供給スイッチ101の出力を調整する。

【0015】

例示すると、図3は、本発明の教示による、制御回路内部のクロック信号181、フィードバック信号137、電源レギュレータのスイッチ電流 I_D126 に関する波形の実施形態を示す図である。図3に示した実施形態では、フィードバック回路133は、変調信号128が実質的に0であるような理想的な特性を有するものと想定される。詳細には、図3は、変調信号128が実質的に0であって、フィードバック回路133が高利得であり、高帯域幅であり、遅延が全くないという理想的な特性を有する場合のクロック信号181、フィードバッグ信号137、スイッチ電流 I_D126 に関する典型的な波形を示す。パワー・スイッチ123がオフのままであるクロック周期の間隔によって隔てられている、パワー・スイッチ123がオンであるクロック周期の規則的な短い間隔で特徴付けられたパターンでパワー・スイッチ123が動作する。入力条件と出力条件の任意のセットに関して、パワー・スイッチ123がオンであるクロック周期の数と、クロック周期の総数との間に、電源101に関する所望される調整された出力を与える比が存在する。望ましい動作モードは、高い基本周波数を有するオンとオフのクロック周期の繰り返しパターンである。なぜなら、最も高い基本周波数が、最低の大きさの出力リップルを与え、可聴雑音の可能性を小さくするからである。

【0016】

実際には、フィードバック回路133の特性は理想的ではないことが多い。例えば、フィードバック回路133における低利得、低帯域幅、遅延が、フィードバック信号137を歪ませて、オン・サイクルとオフ・サイクルの望ましくないパターンを生じさせことがある。例示すると、図4は、歪んだフィードバック信号137となり、かつスイッチ電流 I_D126 の望ましくないパターンとなる、理想的でないフィードバック回路137を備えたクロック信号181に対する波形の実施形態を示す図である。図4では、変調信号128は、実質的に0であるものと想定される。図示するとおり、パワー・スイッチ123のスイッチングは、パワー・スイッチ123がオンしているクロック・サイクルの長い間隔の後に、パワー・スイッチ123がオフのままであるクロック・サイクルの長い間隔が続くように行われる。グループ化されたパルスのそのようなパターンは、大きい出力リップルと可聴雑音を生成させる可能性があるため、望ましくない。

【0017】

本発明の様々な実施形態では、理想的ではないフィードバック回路を使用するスイッチング・レギュレータのオン／オフ制御が、本発明の教示に従って改良される。本発明の諸実施形態によって使用される原理は、フィードバック信号、またはフィードバック信号が比較されるしきい値レベルを適宜、0ではない変調信号128で一時的に変更して、低利得、低帯域幅、遅延によって生じさせられる歪みを補償することである。理想的な条件下におけるフィードバック信号のタイミングと、予期される特性の知識が、この補償を可能にする。

【0018】

例示するため、図1の電源レギュレータ103内部に含まれる調整回路105に再び注意を向ける。図示した実施形態に示されるとおり、調整回路105は、変調源151に結合された状態マシン149を含む。一実施形態では、調整回路105は、さらに、変調源151に結合され、第3の端子121からフィードバック信号137を受け取るように結合された素子153も含む。一実施形態では、素子153は、変調源151から出力される変調信号128を、比較器139の入力145へのフィードバック信号137と合成す

10

20

30

40

50

るよう結合される。その結果、素子 153 から出力され、入力 141 のしきい値レベル U_{TH} と比較されるフィードバック信号は、本発明の教示によれば、変調信号 128 で調整される。例えば、一実施形態では、この調整は、フィードバック信号の高い値と低い値の間の差が、低い値の約 80 パーセントになるようにする。その結果、一実施形態では、制御回路 135 へのデジタル・オン / オフ信号、またはイネーブル信号として機能する、比較器 139 の出力 143 におけるフィードバック状態 124 信号が、本発明の教示に従つて調整される。一実施形態では、フィードバック状態 124 信号に対する調整は、本発明の教示によれば、フィードバック状態 124 信号が、調整時の状態から、調整直前の状態に戻るようにさせる傾向がある。

【0019】

10

動作の際、一実施形態における状態マシン 149 は、制御回路 135 からのクロック信号 181 からのタイミング情報を受け取るように結合される。さらに、一実施形態における状態マシン 149 は、比較器 139 の出力 143 に生成されたフィードバック状態信号 124 から、電源 101 の状態についての情報を受け取るようにも結合される。図示するとおり、状態マシン 149 は、本発明の教示によれば、変調信号 128 が、変調源 151 から出力されて、フィードバック信号 137 に加算されるようにする。

【0020】

図 5A は、本発明の教示によれば、制御回路 135 からのクロック信号 181 と、出力 143 からのフィードバック状態信号 124 すなわちイネーブル・イベントに関して、MODULATION 1、MODULATION 2、MODULATION 3 として示される変調信号 128 の様々な実施形態の例を与える。一実施形態では、変調源 151 からの変調信号 128 は、フィードバック信号 137 から欠落している情報を人工的に復元する効果をもたらす。その結果は本発明の教示によれば、シーケンスの基本周波数を増加させるスイッチング・サイクルのパターンの向上であり、出力リップルの大きさを抑え、電源レギュレータ 103 からの可聴雑音の可能性を低下させる。

20

【0021】

図 5A の様々な実施形態で見て取ることができるとおり、MODULATION 1 として示される変調信号 128 の実施形態は、状態マシン 149 の実施形態が、フリップ・フロップとして実施された場合に、一実施形態において生じさせられる固定振幅パルスである。これに対して、MODULATION 2 のデジタル・ステップ変調は、本発明の教示によるデジタル・ステップ変調とするための、状態マシン 149 と変調源 151 内に含まれる回路を備えた別の実施形態である。さらに別の実施形態では、MODULATION 3 の平滑な非線形ランプは、本発明の教示による状態マシン 149 と変調源 151 の別の実施形態によって提供される MODULATION 2 のアナログ・バリエーションである。様々な実施形態では、本発明の教示によれば、異なる変調信号 128 が、フィードバック回路 133 の欠陥と、電源レギュレータ 103 の所望される性能に応じて選択される。

30

【0022】

図 5A の変調信号 128 の様々な実施形態は、図 5B に示される従来のヒステリシス信号である変調信号 128 とは異なる。図 5B に HYSTERESIS 1 変調信号 128 として示される従来のヒステリシス信号は、フィードバック状態 124 に依存して、2 つの値の間で変化する。ヒステリシス信号である HYSTERESIS 1 変調信号 128 の値の変化は、スイッチング・サイクルの始めを決めるクロックと同期させられる。フィードバック信号 137 により、フィードバック状態 124 が、前の状態から現在の状態に変化させられると、HYSTERESIS 1 変調信号 128 の初期効果は、現在の状態を維持することである。現在の状態は、フィードバック信号に対する後続の変更が、ヒステリシス信号の値未満である限り、維持される。例えば、フィードバック信号 137 が、減少して、フィードバック状態 124 が、低状態から高状態に変化すると、フィードバック信号 137 が、HYSTERESIS 1 変調信号 128 の大きさに満たない量だけ増加した場合、HYSTERESIS 1 変調信号 128 とフィードバック信号 137 の加算により、フィードバック状態 124 が、高状態に留まることが生じる。従来のヒステリシス信号の

40

50

変種は、複数の値を有すること、または時とともに値を変化させることが可能であるが、ヒステリシス信号の初期効果は、フィードバック状態 124 の現在の状態を維持することである。

【0023】

従来のヒステリシス信号とは異なり、変調信号は、2つの値に限定されず、変調信号の値を決めるのは、単に現在のフィードバック状態 137 だけではない。変調信号の値は、前のフィードバック状態と現在のフィードバック状態によって決まる。変調信号の値は、現在の状態、または前の状態とは無関係の形で、時とともに変化することも可能である。変調信号と、従来のヒステリシス信号の根本的な違いは、変調信号 128 とフィードバック信号 137 の加算が、フィードバック状態 124 を変更する初期効果を有するのに対して、HYSTERESIS 1 变調信号 128 とフィードバック信号 137 の加算は、フィードバック状態 124 を維持する初期効果を有することである。例えば、フィードバック信号 137 が減少して、フィードバック状態 124 が低状態から高状態に変化すると、フィードバック信号 137 の最初の減少が、フィードバック状態 124 を高に保つのに十分ではなかった場合、変調信号 128 は、フィードバック状態 124 を前の低状態に戻す。変調信号の初期効果は、ヒステリシス信号の初期効果とは逆である。

【0024】

図 6A は、本発明の教示による、電源レギュレータ 603 内部の調整回路 605 の別の実施形態を含む電源 601 の別の実施形態を示すブロック図である。電源レギュレータ 603 の実施形態は、図 1 の電源レギュレータ 103 の実施形態と類似点を有する。図示するとおり、電圧 V_{IN} 613 が、電源 601 の入力の両端に結合され、エネルギー伝達要素 607 の 1 次巻線 609 に結合される。クランプ 615 が、1 次巻線 609 の両端に結合されて、1 次巻線 609 の両端の電圧をクランプする。電源レギュレータ 603 の第 1 の端子 617 がエネルギー伝達要素 607 に結合され、第 2 の端子 619 が電源 601 の入力に結合される。動作の際、電源レギュレータ 603 のパワー・スイッチ 623 が、電源レギュレータ 603 の制御回路 635 によって生成される制御信号 625 に応答して、第 1 の端子 617 を第 2 の端子 619 に対して結合する、または切り離すようにスイッチングさせられる。パワー・スイッチ 623 のスイッチングにより、エネルギー伝達要素 607 の 1 次巻線 609 から 2 次巻線 611 へのエネルギーの伝達が調整される。図示した実施形態では、ダイオード 627 とキャパシタ 629 が、電源 601 の出力において 2 次巻線 611 に結合されて、電源 601 の出力に結合された負荷 631 が、出力電圧 V_o と出力電流 I_o を受け取ることにより、電源を供給される。

【0025】

図示した実施形態に示されるとおり、フィードバック回路 633 が、電源 601 の出力に結合されて、電源 601 の出力レベルを表すフィードバック信号 637 を生成する。一実施形態では、電源レギュレータ 603 の第 3 の端子 621 が、フィードバック信号 637 を受け取るように結合される。

【0026】

図 6A に示すとおり、電源レギュレータ 603 は、入力 641 と入力 645 の比較の結果が生成される出力 643 を有する比較器 639 の一実施形態も含む。図 1 の電源レギュレータ 103 の実施形態と、図 6A の電源レギュレータ 603 の実施形態の 1 つの違いは、それぞれの比較器 139、639 への入力に関してである。詳細には、図 1 を参照すると、比較器 139 の出力 143 は、入力 141 と入力 145 の差に応答するため、しきい値 U_{TH} からの変調の減算は、フィードバック信号 137 に同一の変調を加算するのと同一の効果を有する。

【0027】

したがって、図 6A に示された実施形態を再び参照すると、入力 645 が、第 3 の端子 621 からのフィードバック信号 637 を受け取るように結合されるのに対して、入力 641 は、しきい値レベル U_{TH} を、変調源 651 からの変調信号 628 と合成するように結合される素子 653 に結合される。図 6A に示された実施形態では、素子 653 は、本発

10

20

30

40

50

明の教示によれば、 U_{TH} から変調信号 628 を減算するものとして示されている。一実施形態では、この調整は、 U_{TH} の高い値と低い値の差が、低い値の約 80 パーセントになるようとする。動作の際、比較器 639 の出力 643 は、フィードバック状態信号 624 であり、この信号 624 は、一実施形態では、制御回路 635 に対するデジタル・オン／オフ信号またはイネーブル信号として機能する。このため、電源 601 の出力レベルを表す入力 645 における信号が、調整されたしきい値 U_{TH} より大きい場合、出力 643 におけるフィードバック状態信号 624 は第 1 の状態であり、入力 645 における信号が、調整されたしきい値 U_{TH} 未満である場合、出力 643 におけるフィードバック状態信号 624 は第 2 の状態である。一実施形態では、フィードバック状態信号 624 に対する調整は、本発明の教示によれば、フィードバック状態信号 624 が、調整時の状態から調整直前の状態に戻るようにさせる傾向がある。一実施形態では、制御回路 635 は、パワー・スイッチ 623 から電流感知信号 647 を受け取るように結合される電流制限回路を含む。一実施形態では、電流感知信号 647 は、パワー・スイッチ 623 を流れる電流 I_D 626 を表し、制御回路 635 も、電流感知信号 647 を利用して、電源 601 の調整を制御するのに役立てている。10

【0028】

一実施形態では、図 6A の調整回路 605 の動作と機能は、図 1 の調整回路 105 の動作と機能と同様であり、違いは、前述したとおり、フィードバック信号の代わりに、しきい値レベル U_{TH} が調整されることである。図示するとおり、状態マシン 649 が、制御回路 635 からクロック信号 681 を受け取り、比較器 639 の出力 643 からフィードバック状態信号 624 を受け取るように結合されて、変調源 651 からの変調信号 628 を制御する。変調信号 628 の様々な実施形態が、図 5 に MODULATION 1 波形、MODULATION 2 波形、MODULATION 3 波形として示され、これらの波形は、本発明の教示によれば、調整回路変調源 651 の様々な実施形態によって生成させることができる。図 6B は、図 5A に MODULATION 1 として示される形態の変調信号 628 を使用する一実施形態に関して、クロック信号 681、比較器 639 の入力への信号 645、641、スイッチ電流 I_D 626 の波形を示す。図 6B の信号は、変調信号 628 の導入が、歪んだフィードバック信号に応答して、オン・スイッチング・サイクルとオフ・スイッチング・サイクルの望ましいパターンをどのようにたらすかを示す。20

【0029】

図 7A は、電源レギュレータ 703 の実施形態を示すブロック図であり、図 7B は、本発明の教示による、図 7A で見ることができる、対応する波形の例を示す図である。図示した実施形態で示されるとおり、電源レギュレータは、ドレイン端子 717 とソース端子 719 の間に結合されたパワー・スイッチ 723 を含む。一実施形態では、パワー・スイッチ 723 は、酸化金属半導体電界効果トランジスタ (MOSFET) を含む。パワー・スイッチ 723 は、AND ゲート 785 から受け取られる制御信号 725 に従ってオンとオフのスイッチングが行われる。AND ゲート 785 への入力には、ラッチ 799 の出力、不足電圧比較器 763 によって供給されるバイパス端子 753 電圧インジケータ信号 765、熱シャットダウン回路 761 からの熱ステータス信号 783 が含まれる。発振器 787 が、電源レギュレータ 703 に含まれて、パワー・スイッチ 723 が各動作サイクルでドレイン端子 717 とソース端子 719 を結合することができる最大時間を決める最大デューティ・サイクル信号 789 を生成する。40

【0030】

一実施形態では、熱シャットダウン回路 761 は、電源レギュレータ 703 の温度を監視し、温度がしきい値温度を下回っている限り、熱ステータス信号 783 を供給する。一実施形態では、しきい値温度は摂氏 135 度である。

【0031】

一実施形態では、ラッチ 799 への入力には、OR ゲート 793 出力信号 797 と AND ゲート 791 出力信号 795 が含まれる。AND ゲート 791 出力信号 795 は、フィードバック端子 721 に全く電流が供給されない場合に供給される。AND ゲート 791 50

は、アクティブなフィードバック状態信号 724 すなわちイネーブル信号が、ノード 743 から受け取られ、発振器 787 がアクティブなクロック信号 781 を供給すると、出力を供給する。さらに、フィードバック端子 721 に供給される電流が、電流源 759 の電流に満たない場合、電流源 759 が、フィードバック状態信号 724 すなわちイネーブル信号を論理高状態にする。一実施形態では、電流源 759 の電流は、50 マイクロアンペアである。動作の際、ノード 743 からのフィードバック状態信号 724 すなわちイネーブル信号が高である場合、クロック信号 781 が、AND ゲート 791 によってラッチ 799 に転送されて、ラッチ 799 が設定され、そのサイクルが行われ、パワー・スイッチ 723 をオンにすることが可能にされる。反対に、ノード 743 からのフィードバック状態信号 724 すなわちイネーブル信号が低である場合、クロック信号 781 が、ラッチ 799 を設定することが阻止され、そのサイクル中、パワー・スイッチ 723 がオフにされる。このため、ノード 743 からのフィードバック状態信号 724 すなわちイネーブル信号が低である場合、AND ゲート 791 出力信号 795 は、実質的に 0 の周波数を有する発振信号である。ノード 743 からのフィードバック状態信号 724 すなわちイネーブル信号が低でない場合、AND ゲート 791 出力信号 795 は、実質的に 0 ではない周波数を有する発振信号である。

【0032】

一実施形態では、電流感知信号 747 が、パワー・スイッチ 723 を流れる電流 I_D 726 を感知するように結合される。電流制限しきい値比較器 767 が、電流感知信号 747 を受け取り、その信号 747 を V_{LIMIT} 769 値と比較するように結合される。パワー・スイッチ 723 を流れる電流 I_D 726 が電流制限より大きい場合、電流感知信号 747 で感知されるパワー・スイッチ 723 の両端の電圧は V_{LIMIT} 769 より大きく、アクティブな電流制限信号 706 が比較器 767 によって出力される。AND ゲート 702 が、その電流制限信号 706 と、立上りプランギング回路 704 からの信号を受け取るように結合される。一実施形態では、立上りプランギング回路 704 は、パワー・スイッチ 723 がオンになった後の短い時間中、OR ゲート 793 が、電流制限条件を感知するのをディセーブルにする。動作の際、AND ゲート 702 の出力は、電流しきい値制限信号 706 に達すると、または最大デューティ・サイクル信号 789 が、オフ状態にある時間中に、OR ゲート 793 によって受け取られる。動作の際、OR ゲート 793 出力信号 797 が、最大デューティ・サイクル信号 789 がオフである場合、または電流感知 747 によって感知される電流制限に達した場合、パワー・スイッチ 723 をオフにするために供給される。

【0033】

動作の際、フィードバック端子 721 によって供給される電流が、フィードバック状態信号 724 である、ノード 743 におけるイネーブル信号を低にして、負荷に供給されるさらなる電流が全く存在しない状態を生じさせると、パワー・スイッチ 723 は、次のスイッチング・サイクル中、オフに保たれる。フィードバック端子 721 によって供給される電流が、電流源 759 電流を下回って低下すると、ノード 743 におけるイネーブル信号であるフィードバック状態信号 724 は、電流源 759 の動作に起因して高であり、パワー・スイッチ 723 は、最大デューティ・サイクル信号 789 の次のオン期間の始めに動作を再開する。

【0034】

一実施形態では、電流源 757 を含むレギュレータ回路 755 が、バイパス充電回路として機能し、一実施形態では、バイパス端子 753 に外部結合されたキャパシタの 5.7 ボルトである電圧レベルを調整する。これは、一実施形態では、パワー・スイッチ 723 が導通していないときに、バイパス端子 753 に外部結合されたキャパシタを充電することによって行われる。不足電圧回路 763 により、バイパス端子 753 における電圧が、所望される電圧レベルに達するまで、パワー・スイッチ 723 が再び導通することが防止される。

【0035】

10

20

30

40

50

図示した実施形態では、ノード743上のフィードバック状態信号724すなわちイネーブル信号は、状態マシン749に応答して、スイッチ753を介してノード743に電流源751をスイッチング可能な形で結合することにより、本発明の教示に従って調整される。一実施形態では、本発明の教示によれば、電流源751は変調源と考えられることが可能であり、スイッチ753は、状態マシン749に応答して、フィードバック信号を変調源とスイッチング可能な形で結合する素子であると考えることができる。図示するところ、電流源751は、ノード743に供給される電流を変化させるために、電流源759と並列にスイッチングされる。一実施形態では、電流源751電流は40マイクロアンペアであり、電流源759電流は50マイクロアンペアである。一実施形態では、状態マシン749は、ノード743からのフィードバック状態信号724すなわちイネーブル信号とクロック信号781を受け取る。一実施形態では、状態マシン749は、一実施形態ではフリップ・フロップである論理を含む。このため、ノード743からのフィードバック状態信号724すなわちイネーブル信号が高であるか、低であるかを決めるフィードバック電流の値は、電流源751からの電流によって変調される。一実施形態では、フィードバックの電流は、パルスによって変調される。別の実施形態では、電流は、ランプによって変調される。一実施形態では、複数の電流源が、本発明の教示によれば、状態マシン749に個々に応答して、電流源759と並列にスイッチングされて、フィードバック端子721に供給される電流を変調することも可能である。

【0036】

図8は、本発明の教示による電源レギュレータ803の別の実施形態を示すブロック図である。見て取ることができるとおり、図8の電源レギュレータ803は、図7の電源レギュレータ703に類似している。図示した実施形態では、電源レギュレータ803は、電源レギュレータ703と機能的に等価であり、いくつかの共通の要素を有する。電源レギュレータ803と電源レギュレータ703の違いは、図示するとおり、状態マシン849に応答して、ノード743すなわちフィードバック端子721から電流を取り去って、ノード743からのフィードバック状態信号724すなわちイネーブル信号を調整するように、スイッチ853を介して電流源851が、スイッチング可能な形で結合されていることである。一実施形態では、電流源759の電流は、90マイクロアンペアであり、電流源851の電流は、40マイクロアンペアである。

【0037】

詳細には、図8に示された実施形態は、ノード743とフィードバック端子721に結合され、状態マシン849に応答してスイッチングされる電流源851を示す。状態マシン849は、ノード743からのフィードバック状態信号724すなわちイネーブル信号とクロック信号781を受け取る。一実施形態では、状態マシン849は、一実施形態ではフリップ・フロップである論理を含む。このため、フィードバック状態信号724すなわちイネーブル信号が高であるか、低であるかを決める、フィードバック端子721におけるフィードバック電流の値は、本発明の教示によれば、電流源851からの電流によって変調される。一実施形態では、電流源851は、一定の値を有し、状態マシン849に応答して、フィードバック端子721から電流パルスが取り去られる。別の実施形態では、電流源851は、時とともに増加または減少して、状態マシン849に応答して、フィードバック端子721からランプが取り去られる。一実施形態では、本発明の教示によれば、複数の電流源が、状態マシン849に応答して個々にスイッチングされて、フィードバック端子721に対して電流を加えること、または取り去ることが行われることが可能であり、ノード743からのフィードバック状態信号724すなわちイネーブル信号が高であるか、または低であるかを決める電流が、変調される。

【0038】

図9は、本発明の教示による電源レギュレータ903のさらに別の実施形態を示すブロック図である。図示するとおり、スイッチング・レギュレータ回路903は、パワー・スイッチ923を含み、スイッチ923は、一実施形態では、ドレイン端子917とソース端子919の間に結合されたMOSFETを含む。パワー・スイッチ923は、制御回路

10

20

30

40

50

によって生成された制御信号 925 に従ってオンとオフのスイッチングを行う。一実施形態では、制御信号 925 は、AND ゲート 985 によってパワー・スイッチ 923 のゲートに入力される。一実施形態では、制御回路は、AND ゲート 991、985、OR ゲート 993、ラッチ 999、発振器 987、状態マシン回路 910、電流制限調整回路 912 と、それらに関連する要素群を含む。AND ゲート 985 の入力には、ラッチ 999 の出力、不足電圧比較器 963 によって供給されるバイパス端子 953 電圧インジケータ 965、熱シャットダウン回路 961 からの熱ステータス信号 983 が含まれる。一実施形態では、発振器 987 によって生成される最大デューティ・サイクル信号 989 により、各動作サイクルでパワー・スイッチ 923 が導通することができる最大時間が決まる。

【0039】

10

フィードバック端子 921 から引き出される電流が、電流源 959 によって供給されるイネーブルしきい値電流より大きい場合、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号が低状態にされる。フィードバック端子 921 から引き出される電流が、電流源 959 によって供給されるイネーブルしきい値電流未満である場合、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号は高状態にされる。また、図示するとおり、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号は、状態マシン回路 910 によって受け取られるようにも結合される。状態マシン回路 910 は、電流制限 (Ilim) 調整回路 912 に信号 914 を送り、パワー・スイッチ 923 を流れる I_{DRAIN} 916 という電流制限が、軽い負荷においてより低いか、または高い負荷においてより高いように設定する。一実施形態では、信号 914 に含まれる 3 つの信号 914A、914B、914C が存在する。

【0040】

20

一実施形態では、電流制限調整回路 912 は、デジタル・ステップで電流制限を調整する。より高い電流制限状態への遷移は、ノード 943 からの N 回の連続するフィードバック状態信号 924 論理高またはイネーブル信号論理高のパターンの後、生じる。より低い電流制限状態への遷移は、ノード 943 からの N 回の連続するフィードバック状態信号 924 論理低またはイネーブル信号論理低のパターンの後、生じる。一実施形態では、N は 6 に等しい。

【0041】

30

一実施形態では、ラッチ 999 への入力には、OR ゲート 993 出力信号 997 と、AND ゲート 991 出力信号 995 が含まれる。AND ゲート 991 出力信号 995 は、フィードバック状態 924 と、発振器 987 によって生成されるクロック信号 981 がともに高である場合にだけ、高である。このため、AND ゲート 991 は、論理高の信号 943 が受け取られ、発振器 987 によってクロック信号 981 が供給されると、出力する。動作の際、信号 943 が高である場合、クロック信号 981 が、AND ゲート 991 によってラッチ 999 に転送されて、ラッチ 999 が設定され、そのサイクルが行われて、パワー・スイッチ 923 をオンにすることが可能にされる。反対に、信号 943 が低である場合、クロック信号 981 が、ラッチ 999 を設定することが阻止され、そのサイクル中、パワー・スイッチ 923 がオフに保たれる。

【0042】

40

一実施形態では、OR ゲート 993 出力信号 997 は、信号 906 によって示されるところにより、電流しきい値制限に達すると、または最大デューティ・サイクル信号 989 がオフ状態にある時間中に、供給される。動作の際、OR ゲート 993 出力信号 997 は、AND ゲート 902 を介して立上りプランギング回路 904 によって決められる立上りプランギング遅延の後、最大デューティ・サイクル信号 989 が低であるか、または信号 906 によって示されるところにより、電流制限に達すると、パワー・スイッチ 923 をオフにするために高になる。

【0043】

一実施形態では、電流制限調整回路 912 によって生成される信号 947 は、パワー・スイッチ 923 の両端の電圧に比例する電圧レベルである。電流制限状態は、状態マシン

50

回路 910 によって生成される信号 914A、914B、914C によって決まる。より高い電流制限状態では、電流制限調整回路 912 は、パワー・スイッチ 923 の両端の電圧の、より低い割合になるように信号 947 を変更する。より低い電流制限状態では、電流制限調整回路 912 は、パワー・スイッチ 923 の両端の電圧の、より高い割合になるように信号 947 を変更する。次に、電流しきい値比較器 967 が、電流しきい値制限電圧 $V_{ILIMIT\ 969}$ を設定電圧信号 947 と比較する。電流しきい値制限電圧 $V_{ILIMIT\ 969}$ が、信号 947 を超えている場合、電流制限信号がトリガされ、次のオン時間の始めまで、パワー・スイッチ 923 がオフにされる。

【0044】

一実施形態では、スイッチング・レギュレータ回路 903 は、信号 943 が低にされ、負荷に供給されるさらなる電力が全く存在しない状態を生じさせると、現在のオン・サイクルの後、パワー・スイッチ 923 をオフにする。したがって、電源の出力に応答する信号 943 により、制御信号 925 の現在のサイクルのオン時間が、維持されることが選択的に許され、制御信号 925 の次のサイクルのオン時間が許されない、またはディセーブルにされる。信号 943 が高にされると、パワー・スイッチ 923 は、最大デューティ・サイクル信号 989 の次のオン期間の始めに、動作を再開する。

【0045】

一実施形態では、ドレイン端子 917 からバイパス端子 953 への電流源を含むバイパス充電回路または 5.7V レギュレータ 955 が、バイパス端子 953 に外部結合されたキャパシタの電力レベルを、一実施形態では、5.7 ボルトである電圧レベルに調整する。これは、パワー・スイッチ 923 が導通していない間に、バイパス端子 953 に外部結合されたキャパシタを充電することによって行われる。一実施形態では、不足電圧比較器 963 により、バイパス端子 953 における電圧が、所望される電圧レベルに達するまで、パワー・スイッチ 923 が再び導通することが防止される。インバータ 922 が不足電圧比較器 963 の出力を反転させる。

【0046】

図示した実施形態では、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号は、状態マシン 949 に応答して、スイッチ 953 を介して電流源 951 をノード 943 にスイッチング可能な形で結合することにより、本発明の教示に従って調整される。一実施形態では、本発明の教示によれば、電流源 951 は変調源と考えられ、スイッチ 953 は、状態マシン 949 に応答して、フィードバック端子 921 からのフィードバック信号を変調源とスイッチング可能な形で結合する素子であると考えることができる。図示するとおり、電流源 951 は、電流源 959 と並列にスイッチングされて、ノード 943 に供給される電流を変化させる。一実施形態では、電流源 959 の電流は 50 マイクロアンペアであり、電流源 951 の電流は 40 マイクロアンペアである。一実施形態では、状態マシン 949 は、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号とクロック信号 981 を受け取る。一実施形態では、状態マシン 949 は、一実施形態ではフリップ・フロップである論理を含む。このため、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号が高であるか、低であるかを決めるフィードバック電流の値は、電流源 951 からの電流によって変調される。一実施形態では、フィードバックの電流はパルスによって変調される。別の実施形態では、電流はランプによって変調される。一実施形態では、複数の電流源が、本発明の教示によれば、状態マシン 949 に個々に応答して、電流源 959 と並列にスイッチングされて、フィードバック端子 921 に供給される電流を変調することも可能である。

【0047】

図 10 は、本発明の教示による電源レギュレータのさらに別の実施形態を示すブロック図である。見て取ることができるとおり、図 10 の電源レギュレータ 1003 は、図 9 の電源レギュレータ 903 に類似している。図示した実施形態では、電源レギュレータ 1003 は、電源レギュレータ 903 と機能的に等価であり、いくつかの共通の要素を共有する。電源レギュレータ 1003 と電源レギュレータ 903 の違いは、図示するとおり、状

10

20

30

40

50

態マシン 1049 に応答して、ノード 943 またはフィードバック端子 921 から電流を取り去って、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号を調整するように、スイッチ 1053 を介して、電流源 1051 が、スイッチング可能な形で結合されることである。一実施形態では、電流源 959 の電流は 90 マイクロアンペアであり、電流源 1051 の電流は 40 マイクロアンペアである。

【0048】

詳細には、図 10 に示された実施形態は、ノード 943 に結合され、状態マシン 1049 に応答してソース端子 919 にスイッチングされる電流源 1051 を示す。状態マシン 1049 は、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号とクロック信号 981 を受け取る。一実施形態では、状態マシン 1049 は、一実施形態ではフリップ・フロップである論理を含む。このため、フィードバック状態信号 924 すなわちイネーブル信号が高であるか、低であるかを決めるフィードバック端子 921 におけるフィードバック電流の値は、本発明の教示によれば、電流源 1051 からの電流によって変調される。一実施形態では、電流源 1051 は一定の値を有し、状態マシン 1049 に応答して、フィードバック端子 921 から電流パルスが取り去られるようになっている。別の実施形態では、電流源 1051 は、時とともに増加、または減少して、状態マシン 1049 に応答して、フィードバック端子 921 からランプが取り去られるようになっている。一実施形態では、本発明の教示によれば、複数の電流源が、状態マシン 1049 に応答して個々にスイッチングされて、フィードバック端子 921 に対して電流を加えること、または取り去ることが行われることが可能であり、ノード 943 からのフィードバック状態信号 924 すなわちイネーブル信号が高であるか、または低であるかを決める電流が、変調される。

【0049】

以上の詳細な説明では、本発明の方法および装置を、本発明の特定の例示的な実施形態に関連して説明してきた。しかし、本発明のより広い趣旨および範囲を逸脱することなく、その実施形態に様々な改変および変更を加えることも可能であることが明白であろう。したがって、本明細書および図は、限定的ではなく、例示的であると見なされるものとする。

【図面の簡単な説明】

【0050】

【図 1】本発明の教示による、電源レギュレータ内の調整回路の実施形態を含む電源の実施形態を示すブロック図である。

【図 2】本発明の教示による、パワー・スイッチを流れるスイッチ電流の波形の実施形態を示す図である。

【図 3】本発明の教示による、電源レギュレータのクロック、フィードバック信号、およびスイッチ電流に関する波形の実施形態を示す図である。

【図 4】本発明の教示による、調整回路が欠落していることの結果として、電源レギュレータの歪んだフィードバック信号、およびその結果生じるスイッチ電流を伴なうクロックに関する波形の実施形態を示す図である。

【図 5 A】本発明の教示による、電源レギュレータの実施形態の変調源波形の様々な実施形態で、クロック、およびフィードバック状態イベントに関する波形の諸実施形態を示す図である。

【図 5 B】本発明の教示による、電源レギュレータの実施形態の変調源波形の様々な実施形態で、クロック、およびフィードバック状態イベントに関する波形の実施形態をさらに示す図である。

【図 6 A】本発明の教示による、電源レギュレータ内の調整回路の別の実施形態を含む電源の別の実施形態に関する波形の実施形態を示すブロック図である。

【図 6 B】本発明の教示による、変調信号を使用する信号の例示的な波形の諸実施形態を示す図である。

【図 7 A】本発明の教示による、調整回路の実施形態を含む電源レギュレータの実施形態

10

20

30

40

50

を示すブロック図である。

【図7B】本発明の教示による、図7Aで見ることができる波形の実施例を示す図である。

【図8】本発明の教示による、調整回路の別の実施形態を含む電源レギュレータの別の実施形態を示すブロック図である。

【図9】本発明の教示による、調整回路のさらに別の実施形態を含む電源レギュレータのさらに別の実施形態を示すブロック図である。

【図10】本発明の教示による、調整回路のさらに別の実施形態を含む電源レギュレータのさらに別の実施形態を示すブロック図である。

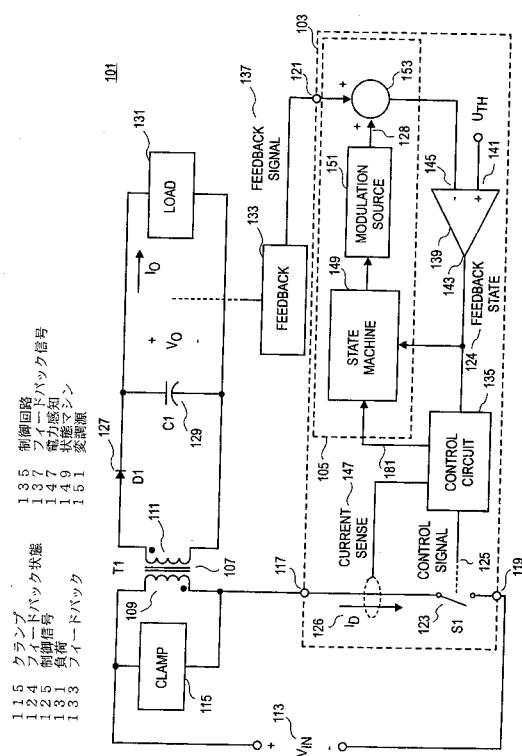
【符号の説明】

10

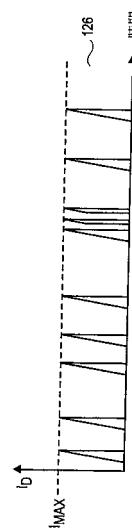
【0051】

101 電源、103 電源レギュレータ、105 電流源、107 エネルギー伝達要素、109、111 卷線、115 クランプ回路、117、119、121 端子、123 パワー・スイッチ、127 ダイオード、129 キャパシタ、131 負荷、133 フィードバック回路、135 制御回路、149 状態マシン、151 変調源、153 素子

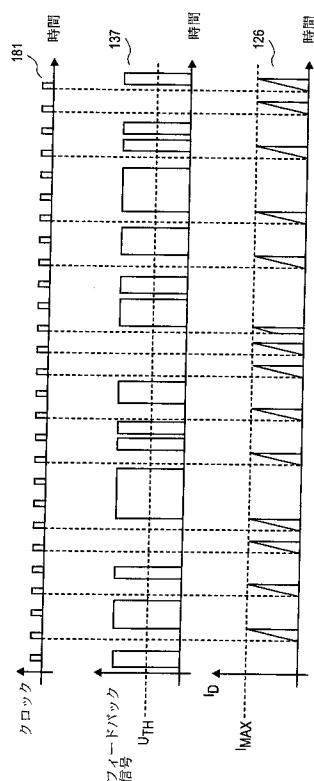
【図1】



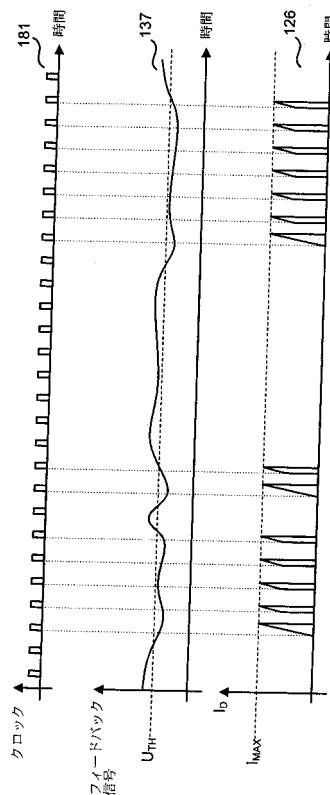
【図2】



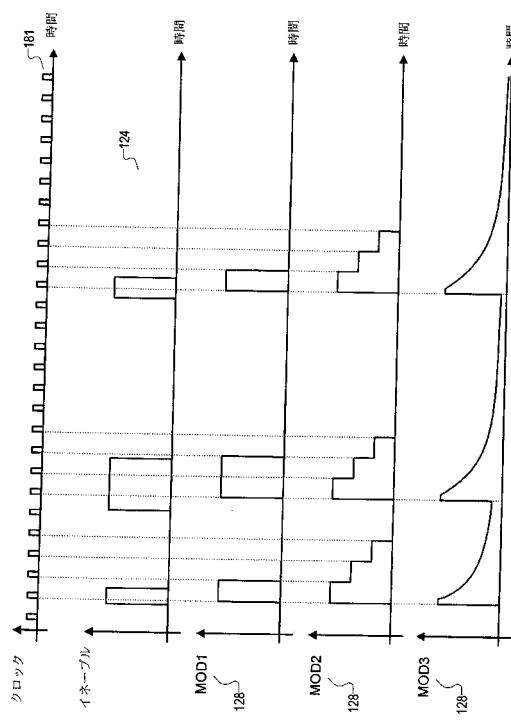
【図3】



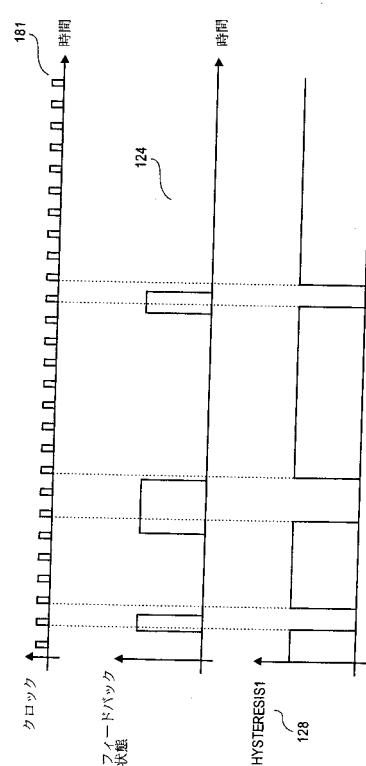
【図4】



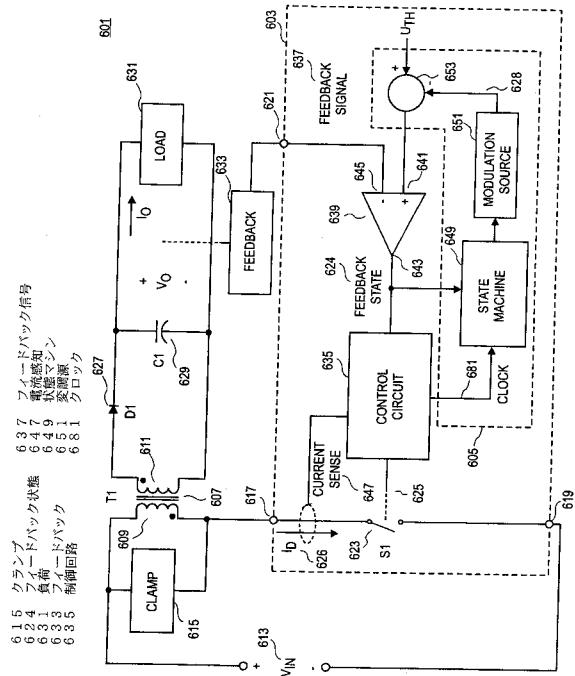
【図5 A】



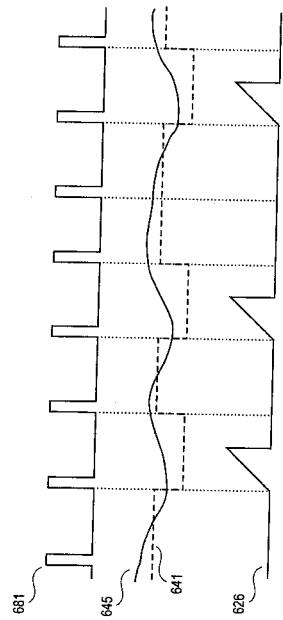
【図5 B】



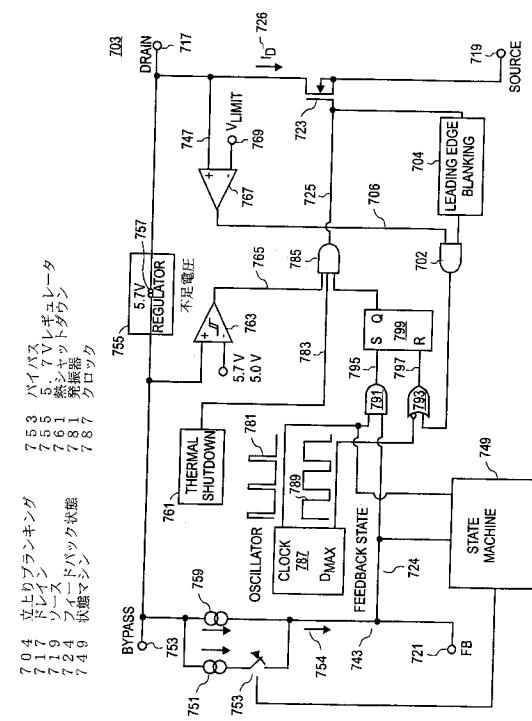
【図 6 A】



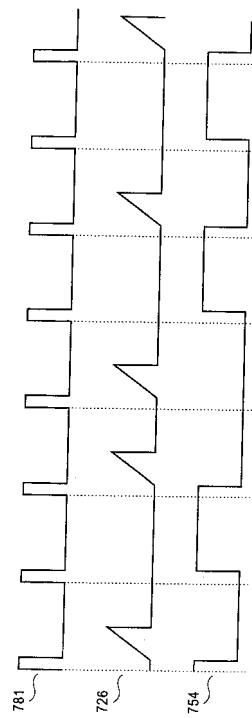
【図 6 B】



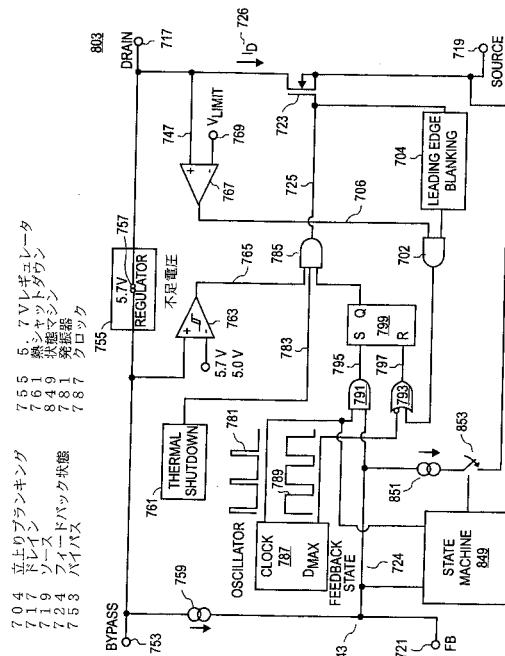
【図7A】



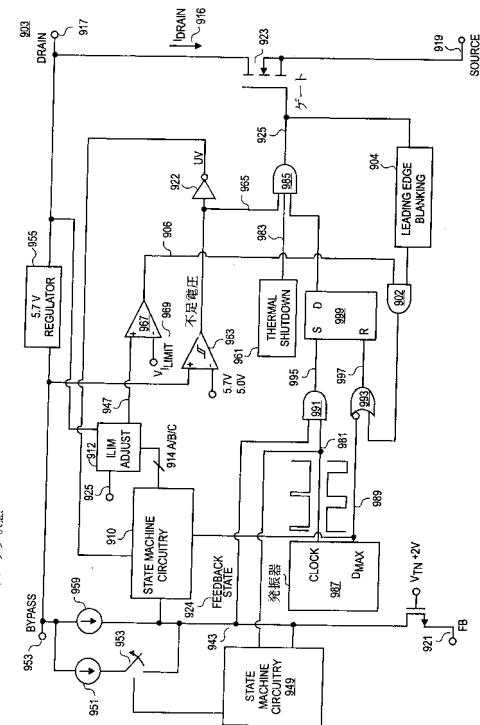
【図7B】



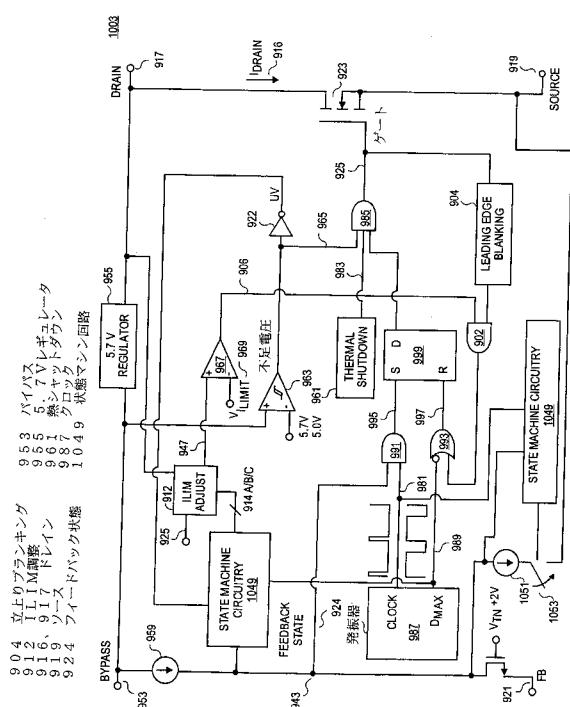
【 四 8 】



【 义 9 】



【図10】



フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 アレックス・ビイ・ジェンゲリアン

アメリカ合衆国・95070・カリフォルニア州・サラトガ・セビージャ レーン・20602

(72)発明者 アンドリュー・ジェイ・モリッシュ

アメリカ合衆国・95070・カリフォルニア州・サラトガ・サン バレー コート・12657

(72)発明者 アーサー・ビイ・オデル

アメリカ合衆国・95014・カリフォルニア州・ケーベルティノ・メンハート レーン・103

60

(72)発明者 ケント・ウォン

アメリカ合衆国・94555・カリフォルニア州・フレモント・エネア テラス・34347

審査官 今井 貞雄

(56)参考文献 特開2002-176771(JP, A)

特開2002-095251(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28