



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 603 18 449 T2** 2009.01.02

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 530 821 B1**
(21) Deutsches Aktenzeichen: **603 18 449.9**
(86) PCT-Aktenzeichen: **PCT/US03/26440**
(96) Europäisches Aktenzeichen: **03 793 335.5**
(87) PCT-Veröffentlichungs-Nr.: **WO 2004/019481**
(86) PCT-Anmeldetag: **21.08.2003**
(87) Veröffentlichungstag
der PCT-Anmeldung: **04.03.2004**
(97) Erstveröffentlichung durch das EPA: **18.05.2005**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **02.01.2008**
(47) Veröffentlichungstag im Patentblatt: **02.01.2009**

(51) Int Cl.⁸: **H03D 1/02** (2006.01)
H04L 7/00 (2006.01)
H04L 25/08 (2006.01)

(30) Unionspriorität:
226074 21.08.2002 US
(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US
(74) Vertreter:
BOEHMERT & BOEHMERT, 80336 München

(84) Benannte Vertragsstaaten:
**AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LI, LU, MC, NL, PT, RO, SE, SI, SK,
TR**
(72) Erfinder:
**GRIFFIN, Jed c/o Intel Corporation, CA95052-8119
Santa Clara, US; JEX, Jerry, Olympia, WA 98512,
US; PRINCE, Brett, Beaverton, OR 97007, US;
SELF, Keith, Aloha, OR 97007, US**

(54) Bezeichnung: **KONTROLLIERTE FREQUENZSIGNALE**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**GEBIET DER ERFINDUNG**

[0001] Die Erfindungen betreffen Sender und Empfänger, die gesteuerte Frequenzsignale bereitstellen und empfangen, und Systeme, einschließlich solcher Sender und Empfänger.

STAND DER TECHNIK

[0002] Intersymbolstörungen (ISI) verschlechtern die Signalintegrität durch Überlagerung von Impulsen bei wechselnden Frequenzen. Datenmuster mit Hochfrequenzimpulsen sind für ISI anfällig. Impulse mit höherer Frequenz können eine stärkere Phasenverschiebung und eine stärkere Dämpfung im Vergleich zu Impulsen mit niedrigerer Frequenz erfahren, was zu dem Verlust von Impulsen mit höherer Frequenz führt, wenn sie mit Impulsen niedrigerer Frequenz überlagert werden. Die Verzerrung der Datenmuster, die durch ISI verursacht wird, kann zu Fehlern führen. Die Frequenz, bei der unkompensierte zufällige Datenmuster bei der herkömmlichen Signalisierung übertragen werden können, kann durch ISI begrenzt werden.

[0003] Entzerrung und Nyquist-Signalisierung sind zwei Lösungen für ISI, die vorgeschlagen wurden. Entzerrung ist eine Kurvenanpassungslösung, die versucht, die Amplitude für Impulse höherer Frequenz in anfälligen Datenmustern wiederherzustellen. Sie versucht, verlorene Daten vorausszusehen und sie durch Voranheben der Amplitude bei schmalen Impulsen wiederherzustellen. Nachteile der Entzerrung sind u. a., daß sie im besten Fall eine Kurvenanpassungslösung ist, die die Amplitude von Impulsen höherer Frequenz in zufälligen Impulsen von Daten einstellt, um jeden vorausgesehenen Verlust in der Amplitude auszugleichen. Der vorausgesehene Verlust ist sehr systemspezifisch undusterspezifisch, was das Abstimmen für vorausgesagte Datenmuster und für jedes kundenspezifische System erfordert, in dem es eingesetzt wird. Es ist anfällig für unvorhergesehene Datenmuster und wechselnde Systemübertragungsfunktionen. Die iterative Natur solcher Lösungen führt zu zeitaufwendigen und systemspezifischen Implementierungen, die möglicherweise niemals den optimalen Lösungen nahekommen.

[0004] Die Nyquist-Signalisierung ist eine weitere Lösung für ISI nach dem Stand der Technik, die Impulse nach einer verstärkten Cosinus- oder Sinusfunktion in der Zeitdomäne verwendet, um ISI zu überwinden. Die Komplexität bei der Implementierung solcher Funktionen verhindert ihren Einsatz in der Praxis.

[0005] Bei der quellensynchronen Signalisierung werden Datensignale und ein oder mehrere zugehörige Takt- oder Strobe-Signale von einem Sender an einen Empfänger gesendet. Das Takt- oder Strobe-Signal wird von der empfangenden Schaltung zum Bestimmen der Zeitpunkte verwendet, wann die Datensignale abzutasten sind.

[0006] Bei einigen Signalisierungsverfahren können die Zeitsteuerungsinformationen in das gesendete Datensignal eingebettet und durch eine Ablaufsteuereinheit zurückgewonnen werden. Ein Interpolator empfängt eine Reihe von Takt- oder Strobe-Signalen, zum Beispiel von einem Phasenregelkreis oder einer verzögerten Regelschleife. Die rückgewonnene Zeitsteuerung wird zum Auswählen unter oder zwischen den Takt- oder Strobe-Signalen verwendet, die vom Interpolator empfangen wurden, und um das ausgewählte Takt- oder Strobe-Signal einem Empfänger zur Steuerung der Abtastung der ankommenden Datensignale bereitzustellen. In einigen Implementierungen werden Trainingsinformationen im Datensignal bereitgestellt, um die richtige Abtastzeitsteuerung zu erhalten, bevor die eigentlichen Daten gesendet werden. Die Trainingsinformationen können von Zeit zu Zeit bereitgestellt werden, um die Abtastzeitsteuerung aufrechtzuerhalten. In anderen Implementierungen werden Trainingsinformationen nicht verwendet, sondern die Abtastzeitsteuerung wird aus den Datensignalen aus vorheriger Zeit erzeugt. Es gibt verschiedene Verfahren zum Einbetten der Zeitsteuerungsinformationen. Das 8B/10B-Verfahren ist ein bekanntes Verfahren.

[0007] Das Senden von Signalen kann im Mehrpunktbetrieb (ein Sender an mehrere Empfänger) oder im Punkt-Punkt-Betrieb (ein Sender an einen Empfänger) erfolgen. Das Senden kann unidirektional, aufeinanderfolgend bidirektional oder gleichzeitig bidirektional erfolgen.

[0008] Rauschen auf Signalen auf Leitern kann bewirken, daß die Signale verstümmelt sind. Ein Verfahren zum Reduzieren des Effektes von Rauschen besteht im Senden der Daten auf zwei Leitungen und dann dem Unterdrücken des Rauschens im Empfänger durch Verwenden der Differenz zwischen den empfangenen Signalen statt der absoluten Werte. Ein Leiter überträgt normalerweise ein Signal, das die Umkehrung des anderen Leiters ist.

[0009] Das US-Patent 5,317,597 offenbart eine Datenübertragungsanordnung, die von mindestens einer Versorgungsspannungsquelle betrieben wird und die einen Sender, einen Empfänger und einen Datenübertragungsweg umfaßt, der im Gegentaktbetrieb betrieben wird und durch seine charakteristische Impedanz abgeschlossen ist. Ein zuverlässiger Nachweis ist selbst beim Bruch einer der zwei Übertragungsleitungen durch die Verwendung eines reinen Widerstandsnetzes möglich. Der Sender hat zwei Transistoren, an deren Steuerelektroden entgegengesetzte Signale, die übertragen werden sollen, angelegt werden.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0010] Die Erfindung wird umfassender aus der ausführlichen Beschreibung, die unten angeführt wird, und aus den begleitenden Zeichnungen von Ausführungsformen der Erfindungen verstanden, die jedoch nicht so verstanden werden dürfen, daß sie die Erfindungen auf die speziellen Ausführungsformen beschränken, die beschrieben werden, sondern nur der Erläuterung und dem Verständnis dienen.

[0011] [Fig. 1](#) ist eine Blockdiagrammdarstellung eines Systems gemäß einigen Ausführungsformen der Erfindungen.

[0012] [Fig. 2](#) ist eine Blockdiagrammdarstellung eines Systems gemäß einigen Ausführungsformen der Erfindungen.

[0013] [Fig. 3](#) ist eine Blockdiagrammdarstellung eines Senders in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0014] [Fig. 4](#) ist eine Blockdiagrammdarstellung eines Senders in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0015] [Fig. 5](#) ist eine Blockdiagrammdarstellung eines Senders in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0016] [Fig. 6](#) ist eine graphische Darstellung von Clk- und Clk*-Signalen und Vin- und Vin* Signalen, die in einigen Ausführungsformen der Erfindungen verwendet werden können.

[0017] [Fig. 7](#) ist eine graphische Darstellung von großencodierten gesteuerten Frequenzsignalen (CFS) und komplementären großencodierten Controllerfrequenzsignalen (CCFS), die durch verschiedene Codierungsschemata gemäß einigen Ausführungsformen der Erfindungen erzeugt werden können.

[0018] [Fig. 8](#) ist eine schematische Blockdiagrammdarstellung eines Systems, das einen Sender, einen Empfänger und Leiter in [Fig. 1](#) umfaßt, gemäß einigen Ausführungsformen der Erfindungen.

[0019] [Fig. 9](#) ist eine schematische Blockdiagrammdarstellung der codierungsgesteuerten Frequenzausgabeschaltungen von [Fig. 3](#) und [Fig. 8](#) gemäß einigen Ausführungsformen der Erfindungen.

[0020] [Fig. 10](#) ist eine schematische Blockdiagrammdarstellung der codierungsgesteuerten Frequenzausgabeschaltungen von [Fig. 5](#) gemäß einigen Ausführungsformen der Erfindungen.

[0021] [Fig. 11](#) ist eine schematische Blockdiagrammdarstellung eines Empfängers in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0022] [Fig. 12](#) ist eine schematische Blockdiagrammdarstellung eines Empfängers in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0023] [Fig. 13](#) ist eine schematische Blockdiagrammdarstellung der Schaltungen, die in den Empfängern von [Fig. 11](#) und [Fig. 12](#) verwendet werden können, gemäß einigen Ausführungsformen der Erfindungen.

[0024] [Fig. 14](#) ist eine schematische Blockdiagrammdarstellung der Schaltungen, die in den Empfängern von [Fig. 11](#) und [Fig. 12](#) verwendet werden können, gemäß einigen Ausführungsformen der Erfindungen.

[0025] [Fig. 15](#) ist eine schematische Blockdiagrammdarstellung eines Empfängers in [Fig. 1](#) gemäß einigen Ausführungsformen der Erfindungen.

[0026] [Fig. 16](#) ist eine schematische Blockdiagrammdarstellung eines Systems gemäß einigen Ausführungsformen der Erfindungen.

[0027] [Fig. 17](#) ist eine schematische Blockdiagrammdarstellung eines Systems gemäß einigen Ausführungsformen der Erfindungen.

[0028] [Fig. 18](#) ist eine schematische Blockdiagrammdarstellung eines Systems gemäß einigen Ausführungsformen der Erfindungen.

[0029] [Fig. 19](#) ist eine schematische Blockdiagrammdarstellung der codierungsgesteuerten Frequenzausgabeschaltungen gemäß einigen Ausführungsformen der Erfindungen.

[0030] [Fig. 20](#) ist eine schematische Blockdiagrammdarstellung von Schaltungen, die zum Erzeugen von Clk- und Clk*-Signalen verwendet werden, und von Schaltungen, die zum Erzeugen von Vin- und Vin*-Signalen verwendet werden, zur Verwendung in einigen Ausführungsformen der Erfindungen.

AUSFÜHRLICHE BESCHREIBUNG

[0031] In einigen Ausführungsformen umfassen die Erfindungen, die hierin beschrieben werden, ein System, das einen Sender hat, der ein Datensignal in ein größencodiertes gesteuertes Frequenzsignal (CFS) codiert. In einigen Ausführungsformen wird auch ein komplementäres größencodiertes gesteuertes Frequenzsignal (CCFS) erzeugt. Die Spannung des CFS ist VCSF, und die Spannung von CCFS ist VCCFS.

[0032] Mit Bezug auf [Fig. 1](#), umfaßt ein System **10** einen Chip oder einen Teil eines Chips **14** und einen Chip oder einen Teil eines Chips **16**. In dem Fall, daß **14** und **16** Teile von Chips repräsentieren, können sie auf demselben Chip sein. Die Sender **20...22** repräsentieren N Sender, die Leiter **24A, 24B, ...26A, 26B** repräsentieren N Sätze von zwei Leitern, und die Empfänger **28...30** repräsentieren N Empfänger. Die Sender **20...22** liefern CFS und CCFS auf den Leitern **24A, 24B, ...26A, 26B** an die Empfänger **28...30**. Die Sender **40...42** repräsentieren M Sender, die Leiter **44A, 44B, ...46A, 46B** repräsentieren M Sätze von zwei Leitern, und die Empfänger **48...50** repräsentieren M Empfänger. M kann dieselbe Zahl wie N sein oder kann eine andere Zahl sein. Die Sender **40...42** liefern CFS und CCFS auf den Leitern **44A, 44B, ...46A, 46B** an die Empfänger **48...50**. Die Sender und Empfänger können in Gruppen von Paaren aus Sendern und Empfängern behandelt werden.

[0033] In [Fig. 1](#) werden die Leiter **24A, 24B, ...26A, 26B** und **44A, 44B, ...46A, 46B** als Signale in einer einzigen Richtung übertragend gezeigt. Alternativ können bidirektionale Leiter verwendet werden. Mit Bezug auf [Fig. 2](#), umfaßt ein System **60** einen Chip oder einen Teil eines Chips **64** und einen Chip oder einen Teil eines Chips **66**, auf dem Sender/Empfänger **70...72** mit den Sendern/Empfängern **78...80** über bidirektionale Leiter **74A, 74B, ...76A, 76B** verbunden sind. Das Senden kann aufeinanderfolgend bidirektional oder gleichzeitig bidirektional erfolgen.

1. Sender

[0034] Es gibt eine Reihe von Wegen, auf denen die Sender der [Fig. 1](#) und [Fig. 2](#) aufgebaut werden können. Als Beispiele illustrieren die [Fig. 3-Fig. 5](#) verschiedene Ausführungsformen von Sender **20** (auch in [Fig. 1](#) gezeigt). In den [Fig. 3-Fig. 5](#) umfaßt Sender **20** eine erste codierungsgesteuerte Frequenzausgabeschaltung **90** zum Erzeugen des CFS auf Leiter **24A** und einer zweiten codierungsgesteuerten Frequenzausgabeschaltung **94** zum Erzeugen des CCFS auf Leiter **24B**. Die codierungsgesteuerten Frequenzausgabeschaltungen **90** und **94** empfangen jeweils mindestens ein Taktsignal und mindestens ein Eingangssignal. Es ist etwas willkürlich, welches Signal als CFS bezeichnet wird und welches als CCFS bezeichnet wird. Die Empfänger sollten jedoch CFS und CCFS richtig weiterleiten, um die gewünschten Polaritäten zu erhalten.

[0035] Ein Taktsignal (Clk) wird auf Leiter **102** übertragen, eine Umkehrung von Clk (Clk*) wird auf Leiter **104** übertragen, ein Eingangssignal (Vin) wird auf Leiter **106** übertragen, und ein umgekehrtes Eingangssignal (Vin*) wird auf Leiter **108** übertragen. Wie in [Fig. 3](#) zu erkennen ist, empfängt die codierungsgesteuerte Frequenzausgabeschaltung **90** Clk- und Clk*-Signale, und die codierungsgesteuerte Frequenzausgabeschaltung **94** empfängt Clk- und Vin-Signale. In [Fig. 4](#) empfängt die codierungsgesteuerte Frequenzausgabeschaltung **90** Clk- und Vin*-Signale, und die codierungsgesteuerte Frequenzausgabeschaltung **94** empfängt Clk*- und Vin*-Signale. In [Fig. 5](#) empfängt die codierungsgesteuerte Frequenzausgabeschaltung **90** Clk-, Vin- und Vin*-Signale, und die codierungsgesteuerte Frequenzausgabeschaltung **94** empfängt Clk*, Vin- und Vin*-Signale. Natürlich sind dies nur Beispiele, und mit Modifizierungen an Sender **20** oder Empfänger **28** können un-

terschiedliche Polaritäten der Takt- und Eingangssignale von den Sendern **20** der [Fig. 3–Fig. 5](#) empfangen werden.

[0036] [Fig. 6](#) illustriert repräsentative Beispiele für Clk, Clk*, Vin und Vin* über die Zeit $t_0 \dots t_8$. Clk, Clk*, Vin und Vin* können jedoch etwas anders geformt sein, als gezeigt wird. Sie können zum Beispiel stärker sinusförmig in der Form oder stärker rechteckwellenförmig sein. In dem speziellen Beispiel von [Fig. 6](#) ist ein Zustand von Vin in den Zeitabschnitten $t_0 \dots t_8$ 0 0 1 1 1 0 1 0.

[0037] Es gibt eine Reihe von Codierungsverfahren, die in Verbindung mit dem CFS und CCFS verwendet werden können. Beispiele für diese Codierungsverfahren sind u. a. die Phasengrößencodierung ("Gleichphasige Codierung"), energieausgeglichene Größencodierung ("Energieausgeglichene Codierung") und die versatzausgeglichene Größencodierung ("Versatzausgeglichene Codierung"). Beispiele für diese drei Codierungsverfahren als Reaktion auf drei oder vier der Clk-, Clk*, Vin- und Vin*-Signale von [Fig. 6](#) werden in [Fig. 7](#) über einen Zeitabschnitt von $t_0 + X \dots t_8 + X$ illustriert. Der Status von Vin für die Zeiten $t_0 \dots t_8$ wird ebenfalls gezeigt. VDD ist die Stromversorgungsspannung, und VSS ist die Erdreferenzspannung. Es kann andere Stromversorgungsspannungen und Erdreferenzspannungen im System geben.

[0038] In [Fig. 7](#) werden CFS und CCFS für die Gleichphasige Codierung durch Sender **20** von [Fig. 3](#) bereitgestellt. Die CCFS wird in einer gestrichelten Linie gezeigt. Im Beispiel von [Fig. 7](#) repräsentieren CFS und CCFS für die Gleichphasige Codierung eine logische 0-(niedrige)Spannung, wenn $CCFS > CFS$ ist, und eine logische 1-(hohe)Spannung, wenn zu einer bestimmten abgetasteten Zeit $CFS > CCFS$ ist. Es können auch andere Verfahren zum Bestimmen des logischen Wertes verwendet werden, der durch CFS und CCFS repräsentiert wird. Für jede der Codierungen von [Fig. 7](#) ist die Wahl der logischen 0- oder 1-Spannungen in einem bestimmten Signal willkürlich, solange Konsistenz besteht, und der entgegengesetzte logische Wert (Umkehrung) gewählt hätte werden können. Hierin wird der logisch wahr gesetzte hohe Wert beschrieben, aber auch der logisch wahr gesetzte niedrige Wert könnte verwendet werden.

[0039] In [Fig. 7](#) werden CFS und CCFS für die Energieausgeglichene Codierung durch Sender **20** von [Fig. 4](#) bereitgestellt. Im Beispiel von [Fig. 7](#) repräsentieren CFS und CCFS für die energieausgeglichene Codierung eine logische 0-Spannung, wenn der durchschnittliche Wert kleiner als $VDD/2$ ist, und eine logische 1-Spannung, wenn der durchschnittliche Wert größer als $VDD/2$ ist. Es können auch andere Verfahren zum Bestimmen des logischen Wertes verwendet werden, der durch CFS und CCFS repräsentiert wird.

[0040] In [Fig. 7](#) werden CFS und CCFS für die Versatzausgeglichene Codierung durch Sender **20** von [Fig. 5](#) bereitgestellt. Im Beispiel von [Fig. 7](#) repräsentieren CFS und CCFS für die Versatzausgeglichene Codierung eine logische 0-Spannung, wenn sich CFS und CCFS innerhalb der hohen und niedrigen Schwellwerte befinden, und eine logische 1-Spannung, wenn sich CFS und CCFS außerhalb der hohen und niedrigen Schwellwerte befinden. Es können auch andere Verfahren zum Bestimmen des logischen Wertes verwendet werden, der durch CFS und CCFS repräsentiert wird.

[0041] In [Fig. 7](#) ist die Wahl, welche Signale als CFS bezeichnet werden und welche als CCFS bezeichnet werden, willkürlich, obwohl die Leitungsführung der Signale und Schaltungen sich je nach Wahl ändern kann.

[0042] [Fig. 8](#) illustriert zusätzliche Details bezüglich einiger Ausführungsformen von Sender **20** von [Fig. 3](#) (für die Gleichphasige Codierung) und Empfänger **28** (zum Decodieren von Signalen, die mit der Gleichphasigen Codierung codiert sind). Die Erfindungen sind nicht auf diese Details beschränkt. Die codierungsgesteuerten Frequenzausgabeschaltungen **90** und **94** können für die Energieausgeglichene Codierung verwendet werden, aber mit den unterschiedlichen Eingängen, die in [Fig. 4](#) gezeigt werden. Die Clk- und Clk*- Signale werden auf den Leitern **102** und **108** von der codierungsgesteuerten Frequenzausgabeschaltung **90** empfangen, und die Clk- und Vin-Signale werden auf den Leitern **102** und **106** von der codierungsgesteuerten Frequenzausgabeschaltung **94** empfangen. In dem Beispiel von [Fig. 8](#) sind die codierungsgesteuerten Frequenzausgabeschaltungen **90** und **94** identisch, sie können aber unterschiedlich sein. Ein Vorteil daraus, daß sie identisch sind, ist, daß dies zu engeren Zeitsteuerungstoleranzen zwischen CFS und CCFS führen kann. Das Clk-Signal wird von den Größencodierern **150** und **170** und den Invertern **156** und **176** empfangen. Die invertierten Taktsignale von den Invertern **156** und **176** werden für die gesteuerten Frequenztreiber **158** bzw. **178** bereitgestellt. Die Größencodierer **150** und **170** stellen Signale für die Größentreiber **154** bzw. **174** derart bereit, daß die Kombination von Größentreibern **154** und **174** und gesteuerten Frequenztreibern **158** und **178** das gewünschte CSF auf Leiter **24A** und CCFS auf Leiter **24B** bereitstellen. Beispiele für die Größencodierer **150** und **170** werden in den [Fig. 9](#) und [Fig. 10](#) bereitgestellt. Empfänger werden im nächsten Abschnitt diskutiert.

[0043] **Fig. 9** stellt zusätzliche Details einiger Ausführungsformen der codierungsgesteuerten Frequenzausgabeschaltung **90** von **Fig. 3** bereit. Die Erfindungen sind nicht auf diese Details beschränkt. Der Größencodierer **150** umfaßt ein NOR-Gatter **210** und ein NAND-Gatter **212**, die jeweils Clk und Vin* empfangen. In dem Beispiel von **Fig. 9** umfassen die Größentreiber **154** den ersten Codiertreiber **202** und den zweiten Codiertreiber **204**. Der gesteuerte Frequenztreiber **158** und der erste und zweite Codiertreiber **202** und **204** empfangen Impedanzkontrollsignale zum Erzeugen einer Ausgangsimpedanz von $3r_0$, wobei r_0 die charakteristische Impedanz von Leiter **24A** ist. Es wird auch ein Freigabesignal gezeigt. Die Impedanz- und Freigabesignale sind nicht erforderlich. Wenn die Eingabe in Treiber **158** eine logische 1-Spannung ist, versucht sie, ihren Ausgang (der mit Leiter **24A** verbunden ist) auf ihre Stromversorgungsspannung VDD zu ziehen. Wenn die Eingabe in Treiber **158** eine logische 0-Spannung ist, versucht sie, ihren Ausgang auf ihre Erdspannung VSS zu ziehen. Wenn analog die Eingaben des ersten und zweiten Codiertreibers **202** und **204** eine logische 1-Spannung sind, versuchen sie ihre jeweiligen Ausgänge auf VDD zu ziehen, und wenn die Eingaben eine logische 0-Spannung sind, versuchen sie, ihre Ausgänge auf VSS zu ziehen.

[0044] Dementsprechend ist die Spannung von CFS eine Funktion der Eingaben in die Treiber **158**, **202** und **204**. Wenn zum Beispiel die Eingaben in die Treiber **158**, **202** und **204** jeweils eine logische 1-Spannung sind, bewegt sich jeder der Treiber **158**, **202** und **204** auf VDD und CFS auf Leiter **24A** wird auf VDD gezogen. Wenn analog die Eingaben jeweils eine logische 0-Spannung sind, dann wird CFS auf VSS gezogen. Wenn eine der Eingaben in die Treiber **158**, **202** und **204** eine logische 1-Spannung ist und zwei Eingänge logische 0-Spannung sind, dann wird CFS auf 1/3 VDD gezogen. Wenn zwei der Eingaben in die Treiber **158**, **202** und **204** eine logische 1-Spannung sind und eine Eingabe eine logische 0-Spannung ist, dann wird CFS auf 2/3 VDD gezogen. (Die Erfindungen sind nicht auf diese Details beschränkt. Die Treiber **158**, **202** und **204** können zum Beispiel den Eingabewert umkehren.)

[0045] Tabelle 1 zeigt die Ausgaben von NOR-Gatter **210** und NAND-Gatter **212** als Funktion von Clk und Vin. Die Ausgaben der Gatter **210** und **212** sind die Eingaben der Treiber **202** bzw. **204**. Die Tabelle zeigt auch die Ausgabe von Inverter **156** (die die Eingabe von Treiber **158** ist), und einen Wert von CFS als Funktion der Ausgaben von Treiber **158** und dem ersten und zweiten Codiertreiber **202** und **204**.

Vin*	Clk	Ausgabe des NOR (Eingabe von Treiber 202)	Ausgabe von NAND (Eingabe von Treiber 204)	Ausgabe von Inverter 156 (Eingabe von Treiber 158)	CFS
0	0	1	1	1	voller H-Wert (z. B. VDD)
0	1	0	1	0	mittlerer L-Wert (z. B. 1/3 VDD)
1	0	0	1	1	mittlerer H-Wert (z. B. 2/3 VDD)
1	1	0	0	0	voller L-Wert (z. B. VSS)

Tabelle 1

[0046] Natürlich ist das volle H-Pegelwertsignal nicht notwendigerweise genau bei VDD, ist das mittlere L-Pegelwertsignal nicht notwendigerweise bei 1/3 VDD, ist das mittlere H-Pegelwertsignal nicht notwendigerweise genau bei 2/3 VDD und ist das volle L-Pegelwertsignal nicht notwendigerweise genau bei VSS.

[0047] Der Sender **20** in **Fig. 4** kann derselbe wie in **Fig. 3** sein, außer bei unterschiedlichen Eingaben. Alternativ könnte der Sender **20** für **Fig. 5** etwas anders als der für **Fig. 4** sein.

[0048] **Fig. 10** zeigt ein Beispiel einer codierungsgesteuerten Frequenzausgabeschaltung **94** für **Fig. 5**. Die codiergesteuerte Frequenzausgabeschaltung **90** kann dieselbe wie die in **Fig. 5** gezeigt sein, bei unterschiedlichen Eingangssignalen. In **Fig. 10** ist der Größencodierer **170** derselbe wie der Größencodierer **150** in **Fig. 9**, bis auf die unterschiedlichen Eingangssignale, wie gezeigt. Die Größentreiber **174** sind dieselben wie die Größentreiber **154**, können aber anders sein. Der gesteuerte Frequenztreiber **178** ist derselbe wie der gesteuerte Frequenztreiber **158**, kann aber anders sein.

[0049] Die Kombination von CFS und CCFS ermöglicht eine gute Signalintegrität bei höheren Frequenzen

der Datenübertragung durch das Aufheben von Rauschen und die erleichterte Decodierung. Die Signale weisen auch von Natur aus eine gewisse Immunität gegenüber (ISI) auf. Nur als Beispiel wird ein mathematisches Modell der größencodierten gesteuerten Frequenzen in Gl. (1) bereitgestellt, das eine Fourier-Transformation wie folgt zeigt:

$$s(t) = (B + E \cdot m[\text{trunc}(t/2\omega_0)])\cos\omega_0 t + VDD/2 \leftrightarrow S(\omega) = (B + \alpha \cdot E)\delta(\omega_0) + C \quad (1)$$

wobei t die Zeit ist, $s(t)$ eine Funktion in der Zeitdomäne ist, (ω_0) eine Kontrollfrequenz ist (eine Frequenz, bei der Daten codiert werden), m ein Feld (Array) von codierten digitalen Werten ist (die das Datenmuster umfassen), B ein konstanter Wert für die Basis ist, E ein konstanter Wert für codiertes H ist, VDD eine Versorgungsspannung ist, $S(\omega)$ die Funktion in der Frequenzdomäne ist, α ein Verhältnis von 1 s zu 0s in m ist, $\delta(\omega)$ eine Impulsfunktion ist und C ein konstanter Gleichspannungsversatz ist. Die Impulsfunktion in der Frequenzdomäne, mit Daten, die darauf codiert sind, liefert die Vorteile, die das Beseitigen oder wesentliche Reduzieren von ISI mit sich bringt, da die gesamte oder im wesentlichen die gesamte Energie des Signals auf eine einzige Frequenz beschränkt ist. Die Erfindungen sind nicht auf die Details von Gleichung (1) beschränkt.

2. Empfänger

[0050] Die Empfänger **28...30** und **48...50** in [Fig. 1](#) und die Empfängerkomponenten von Transceiver/Empfänger **70...72** und **78...80** in [Fig. 2](#) können verschiedenen Aufbau haben. [Fig. 8](#) zeigt eine allgemeine Blockdiagrammdarstellung einiger Ausführungsformen des Empfängers, obwohl die Erfindungen nicht auf diese Details beschränkt sind. Mit Bezug auf [Fig. 8](#), umfaßt Empfänger **28** einen größencodierten gesteuerten Frequenz-(MECF)-Decoder **184**, der ein asynchrones decodiertes Ausgangssignal (V_{out}) erzeugt, das dieselben logischen Werte wie das Eingangssignal (V_{in}) nach einer Zeitverzögerung hat (oder wenn dies gewünscht wird, kann das Ausgangssignal V_{out} die Umkehrung des Eingangssignals V_{in} sein). V_{out} wäre zum Beispiel als Reaktion auf die V_{in} von [Fig. 6](#) 00111010. Die Taktableitungsschaltung **188** erzeugt ein abgeleitetes Taktsignal, das dieselbe Frequenz hat und sich in Phase mit CFS und CCFS befindet. Die Synchronisationsschaltung **190** verwendet das abgeleitete Taktsignal zum Synchronisieren des asynchronen V_{out} -Signals mit einem Systemtakt, der ein Systemtakt für den Chip oder den Teil des Chips ist, der den Empfänger **28** umfaßt, um ein synchronisiertes decodiertes Ausgangssignal (V_{out} -Signal) zu erzeugen. (In einigen Ausführungsformen werden keine Taktableitungsschaltung **188** und Synchronisationsschaltung **190** verwendet.)

[0051] Die Taktableitungsschaltung **188** kann auch ein abgeleitetes Takt*-Signal bereitstellen, das eine Umkehrung des abgeleiteten Taktsignals ist (zum Beispiel so, wie Clk und Clk^* von [Fig. 6](#) Umkehrungen sind). In einigen Ausführungsformen verwendet die Synchronisationsschaltung **190** sowohl das abgeleitete Takt- wie auch das abgeleitete Takt*-Signal und in einigen Ausführungsformen nur das abgeleitete Taktsignal oder nur das abgeleitete Takt*-Signal. Der MECF-Decoder **184** kann ein asynchrones decodiertes* Ausgangssignal (V_{out}^*) erzeugen. In einigen Ausführungsformen empfängt die Synchronisationsschaltung **190** sowohl V_{out} wie auch V_{out}^* ; in anderen Ausführungsformen empfängt sie nur V_{out} oder nur V_{out}^* . In einigen Ausführungsformen erzeugt die Synchronisationsschaltung **190** sowohl ein synchronisiertes decodiertes Ausgangssignal (V_{out}) wie auch ein synchronisiertes decodiertes* Ausgangssignal (V_{out}^*), das eine Umkehrung von V_{out} ist. In anderen Ausführungsformen erzeugt die Synchronisationsschaltung **190** nur ein synchronisiertes V_{out} oder nur ein synchronisiertes V_{out}^* .

[0052] Die [Fig. 11](#), [Fig. 12](#) und [Fig. 15](#) stellen Beispiele für den Empfänger **28** bereit. Die [Fig. 13](#) und [Fig. 14](#) stellen Schaltungen bereit, die in den Beispielen von [Fig. 11](#) und [Fig. 12](#) verwendet werden können. Die Erfindungen sind nicht auf diese Details beschränkt.

a. Empfänger zum decodieren von CFS und CCFS, die durch gleichphasige Codierung und energieausgeglichene Codierung erzeugt wurden

[0053] [Fig. 11](#) stellt ein Beispiel für einen Empfänger **28** für den Fall bereit, daß die Gleichphasige Codierung bei der Erzeugung von CFS und CCFS verwendet wird. In dem Beispiel von [Fig. 11](#) ist der MECF-Decoder **184** ein Komparator, der für das asynchrone V_{out} -Signal sorgt. In dem illustrierten Beispiel hat das asynchrone V_{out} -Signal eine logische 0-Spannung, wenn $VCCFS > VCFS$ ist, und eine logische 1-Spannung, wenn $VCFS > VCCFS$ ist. (Je nach der Implementierung könnte das Umgekehrte zutreffen.) Für den MECF-Decoder können umfangreichere Schaltungen verwendet werden. In [Fig. 11](#) liefert die Synchronisationsschaltung **190** sowohl synchronisierte V_{out} wie auch synchronisierte V_{out}^* . In anderen Ausführungsformen kann sie lediglich synchronisierte V_{out} oder synchronisierte V_{out}^* liefern. Verschiedene Schaltungen können für die Taktableitungsschaltung **188** zur Erzeugung der abgeleiteten Takt- und abgeleiteten Takt*-Signale aus CFS und CCFS

verwendet werden. Beispiele für die Taktableitungsschaltung **188** werden in den [Fig. 13](#) und [Fig. 14](#) bereitgestellt.

[0054] [Fig. 12](#) stellt ein Beispiel für einen Empfänger **28** für den Fall bereit, daß die Energieausgeglichene Codierung bei der Erzeugung von CFS und CCFS verwendet wird. In dem Beispiel von [Fig. 12](#) umfaßt eine Taktableitungsschaltung **188** zwei Komparatoren **188-1** und **188-2** zur Erzeugung der abgeleiteten Takt- und abgeleiteten Takt*-Signale, die von der Synchronisationsschaltung **190** aufgenommen werden. Alternativ kann nur das abgeleitete Taktsignal oder nur das abgeleitete Takt*-Signal von der Synchronisationsschaltung **190** aufgenommen werden. In anderen Ausführungsformen kann die Synchronisationsschaltung **190** sowohl synchronisierte Vout- wie auch synchronisierte Vout*-Signale oder nur das synchronisierte Vout*-Signal liefern. Verschiedene Schaltungen können für die MECF-Decodierschaltung **184** zum Erzeugen des asynchronen Vout-Signals (und des asynchronen Vout*, wenn es erzeugt wird) verwendet werden. Beispiele für den MECF-Decoder **184** werden in den [Fig. 13](#) und [Fig. 14](#) bereitgestellt. [Fig. 13](#) illustriert Schaltungen, die für die Taktableitungsschaltung **188** in [Fig. 11](#) oder den MECF-Decoder **184** in [Fig. 12](#) verwendet werden können. In dem Beispiel von [Fig. 13](#) nehmen die positiven Eingänge der Operationsverstärker **234** und **236** CFS bzw. CCFS auf. Die Ausgänge der Verstärker **234** und **236** sind mit den Knoten N1 bzw. N3 verbunden. Die negativen Eingänge der Operationsverstärker **234** und **236** sind mit einem Knoten N2 verbunden.

[0055] Der Spannungshub an den Leitern **24A** und **24B** ist nicht notwendigerweise derselbe wie der Spannungshub im Empfänger **28**. Zur Erleichterung der Diskussion werden die Stromversorgungs- und Erdspannungen an den Leitern **24A** und **24B** als Vdd und Vss bezeichnet (siehe [Fig. 7](#)), und die Stromversorgungs- und Erdspannungen im Empfänger **28** werden als VDD und VSS bezeichnet. Die Stromversorgungs- und Erdspannungen im Sender **20** und Empfänger **28** können identisch oder unterschiedlich sein.

[0056] Die Integrationsschaltung **240** wird aus den Verstärkern **234** und **236**, Knoten N1, N2 und N3 und den Widerständen **238** und **240** gebildet, die jeweils einen Widerstandswert R1 haben. Die Widerstände **238** und **240** können jeweils zum Beispiel aus einem Feldeffekttransistor vom N-Typ (NFET) und einem Feldeffekttransistor vom P-Typ (PFET) gebildet werden (wie zum Beispiel die Transistoren T11 und T13 in [Fig. 14](#)). Die Transistoren können vom Typ Metalloxidhalbleiter (MOS) sein. Die Spannungen der Knoten N1, N2, N3 und N4 werden als VN1, VN2, VN3 bzw. VN4 bezeichnet. VN2 ist im wesentlichen ein Durchschnitt von VCFS und VC-CFS, d. h. $(VCFS + VCCFS)/2$. VN1 ist im wesentlichen $Ad(VCFS - VCCFS)/2$, und VN3 ist im wesentlichen $Ad(VCCFS - VCFS)/2$, wobei Ad der Verstärkungsfaktor von Operationsverstärker **234** bzw. **236** ist.

[0057] Der Begriff "Umkehrung" wird hierin in dem Kontext verwendet, daß Clk und Clk* logische Umkehrungen sind, Vin und Vin* logische Umkehrungen sind und Vout und Vout* logische Umkehrungen sind. In diesem Kontext bedeutet Umkehrung, daß Clk* eine logische 1-Spannung ist, wenn Clk eine logische 0-Spannung ist, und wenn Clk eine logische 1-Spannung ist, dann ist Clk* eine logische 0-Spannung. (Natürlich liegt eine logische 0-Spannung nicht notwendigerweise bei VSS, und eine logische 1-Spannung liegt nicht notwendigerweise bei VDD.) Dasselbe gilt bei Vin und Vin* und Vout und Vout*.

[0058] Die Referenzumkehrschaltung **244** liefert eine Referenzumkehrung von VN2 an Knoten N4. Die Referenzumkehrschaltung **244** umfaßt einen ersten Inverter, einschließlich PFET T2 und NFET T3, einen zweiten Inverter, einschließlich PFET T6 und NFET T7, und die Freigabetransistoren T1, T4, T5 und T8. Der Begriff "Referenzumkehrung" für VN2 und VN4 ist ein wenig lockerer als der Begriff "Umkehrung" insofern, als VN2 und VN4 nicht notwendigerweise innerhalb entweder der normalen logischen 0- oder der 1-Spannung liegen (obwohl sie innerhalb der normalen logischen 0- oder 1-Spannung liegen können). Bei der Referenzumkehrung liegen VN2 und VN4 auf entgegengesetzten Seiten einer Referenzspannung. Wenn zum Beispiel VN2 beim Betrieb größer als die Referenzspannung ist, dann ist VN4 kleiner als dieselbe, und wenn VN2 kleiner als die Referenzspannung ist, dann ist VN4 größer als dieselbe. Der genaue Wert der Referenzspannung ist nicht wichtig, und es gibt nicht notwendigerweise nur eine einzige Referenzspannung. Die Referenzspannung kann ein schmales Band von Spannungen sein, dessen Grenzen sich mit der Zeit ändern können.

[0059] Im Fall der Gleichphasigen Codierung ist [Fig. 13](#) die Taktableitungsschaltung **188** von [Fig. 11](#). Die abgeleiteten Takt- und abgeleiteten Takt*-Signale der Komparatoren **246** und **248** schalten um, wenn sich die Signale von CFS und CCFS ändern, wie in [Fig. 7](#) gezeigt. Wenn VCFS $2/3 Vdd$ ist und VCCFS Vdd ist (siehe [Fig. 7](#) zwischen $t_0 + X$ und $t_1 + X$), dann liegt VN2 dicht bei Vdd (etwa $5/6 Vdd$) und $VN1 < VN3$. Bei $VN1 < VN3$ sind die Freigabetransistoren T1 und T4 eingeschaltet, und die Freigabetransistoren T5 und T8 sind ausgeschaltet. (Wenn gesagt wird, daß ein Transistor ein- oder ausgeschaltet ist, kann das bedeuten, daß der Transistor vollkommen ein- oder ausgeschaltet oder im wesentlichen ein- oder ausgeschaltet ist. Die Schwellwertspannungen der Transistoren können so eingestellt werden, daß sie einen gewünschten Grad von Ein-

oder Ausschaltung liefern.) Bei eingeschaltetem T1 und T4 ist der Inverter mit T2 und T3 freigegeben, und bei T5 und T8 ausgeschaltet, ist der Inverter mit T6 und T7 abgeschaltet. Da VN2 dicht bei Vdd liegt, ist T2 ausgeschaltet und T3 ist eingeschaltet, daher wird VN4 zu VSS hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vdd und VN4 bei oder in der Nähe von VSS, sorgt der Komparator **246** für die Ausgabe einer logischen 0-Spannung, und Komparator **248** sorgt für die Ausgabe einer logischen 1-Spannung. Man beachte, daß dies den Zuständen von Clk und Clk* in [Fig. 6](#) zwischen t0 und t1 entspricht. Wie oben beschrieben, ist es optional, beide Komparatoren **246** und **248** aufzunehmen.

[0060] Wenn VCFS Vss ist und VCCFS 1/3 Vdd ist (siehe [Fig. 7](#) zwischen t1 + X und t2 + X), dann liegt VN2 dicht bei Vss (etwa 1/6 Vdd) und VN1 < VN3. Bei VN1 < VN3 sind die Freigabetransistoren T1 und T4 eingeschaltet, und die Freigabetransistoren T5 und T8 sind ausgeschaltet. Dementsprechend ist der Inverter mit T2 und T3 freigegeben, und der Inverter mit T6 und T7 ist gesperrt. Da VN2 dicht bei Vss liegt, ist T2 eingeschaltet und T3 ist ausgeschaltet, daher wird VN4 zu VDD hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vss und VN4 bei oder in der Nähe von VDD, sorgt der Komparator **246** für die Ausgabe einer logischen 1-Spannung, und Komparator **248** sorgt für die Ausgabe einer logischen 0-Spannung. Man beachte, daß dies den Zuständen von Clk und Clk* in [Fig. 6](#) zwischen t1 und t2 entspricht.

[0061] Wenn VCFS Vdd ist und VCCFS 2/3 Vdd ist (siehe [Fig. 7](#) zwischen t2 + X und t3 + X), dann liegt VN2 dicht bei Vdd (etwa 5/6 Vdd) und VN1 > VN3. Bei VN1 > VN3 sind die Freigabetransistoren T1 und T4 ausgeschaltet, und die Freigabetransistoren T5 und T8 sind eingeschaltet. Dementsprechend ist der Inverter mit T2 und T3 gesperrt, und der Inverter mit T6 und T7 ist freigegeben. Da VN2 dicht bei Vdd liegt, ist T6 ausgeschaltet und T7 ist eingeschaltet, daher wird VN4 zu VSS hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vdd und VN4 bei oder in der Nähe von VSS, sorgt der Komparator **246** für die Ausgabe einer logischen 0-Spannung, und Komparator **248** sorgt für die Ausgabe einer logischen 1-Spannung. Man beachte, daß dies den Zuständen von Clk und Clk* in [Fig. 6](#) zwischen t2 und t3 entspricht.

[0062] Wenn VCFS 1/3 Vdd ist und VCCFS Vss ist (siehe [Fig. 7](#) zwischen t3 + X und t4 + X), dann liegt VN2 dicht bei Vss (etwa 1/6 Vdd) und VN1 > VN3. Bei VN1 > VN3 sind die Freigabetransistoren T1 und T4 ausgeschaltet, und die Freigabetransistoren T5 und T8 sind eingeschaltet. Dementsprechend ist der Inverter mit T2 und T3 gesperrt, und der Inverter mit T6 und T7 ist freigegeben. Da VN2 dicht bei Vss liegt, ist T6 eingeschaltet und T7 ist ausgeschaltet, daher wird VN4 zu VDD hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vss und VN4 bei oder in der Nähe von VDD, sorgt der Komparator **246** für die Ausgabe einer logischen 1-Spannung, und Komparator **248** sorgt für die Ausgabe einer logischen 0-Spannung. Man beachte, daß dies den Zuständen von Clk und Clk* in [Fig. 6](#) zwischen t3 und t4 entspricht.

[0063] Im Fall der Energieausgeglichene Codierung ist [Fig. 13](#) der MECF-Decoder **184** von [Fig. 12](#). Der Zustand der Ausgabe des asynchronen decodierten Ausgangssignals Vout durch Komparator **248** ist eine Funktion der Spannungen von CFS und CCFS. Wenn er einbezogen wird, liefert Komparator **246** Vout*. Wenn VCFS Vss ist und VCCFS 2/3 Vdd ist (siehe [Fig. 7](#) zwischen t0 + X und t1 + X), dann ist VN2 etwa 1/3 Vdd und VN1 < VN3. Bei VN1 < VN3 sind die Freigabetransistoren T1 und T4 eingeschaltet, und die Freigabetransistoren T5 und T8 sind ausgeschaltet, so daß nur der Inverter mit T2 und T3 freigegeben ist. Da VN2 1/3 Vdd ist, ist T2 eingeschaltet und T3 ausgeschaltet, daher wird VN4 zu VDD hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vss und VN4 bei oder in der Nähe von VDD, sorgt der Komparator **246** für die Ausgabe einer logischen 1-Spannung für Vout*, und Komparator **248** sorgt für die Ausgabe einer logischen 0-Spannung für Vout, was Vin von [Fig. 6](#) zwischen t0 und t1 entspricht. In einigen Ausführungsformen wird nur der Komparator **246** einbezogen; in einigen Ausführungsformen wird nur Komparator **248** einbezogen, und in einigen Ausführungsformen werden beide Komparatoren **246** und **248** einbezogen. Die Synchronisationsschaltung **190** kann die Ausgabe von MECF **184** je nach Implementierung invertieren.

[0064] Wenn VCFS 2/3 Vdd ist und VCCFS Vss ist (siehe [Fig. 7](#) zwischen t1 + X und t2 + X), dann ist VN2 etwa 1/3 Vdd und VN1 > VN3. Bei VN1 > VN3 sind die Freigabetransistoren T1 und T4 ausgeschaltet, und die Freigabetransistoren T5 und T8 sind eingeschaltet, so daß nur der Inverter mit T6 und T7 freigegeben ist. Da VN2 1/3 Vdd ist, ist T6 eingeschaltet und T7 ausgeschaltet, daher wird VN4 zu VDD hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vss und VN4 bei oder in der Nähe von VDD, sorgt der Komparator **246** für die Ausgabe einer logischen 1-Spannung für

Vout*, und Komparator **248** sorgt für die Ausgabe einer logischen 0-Spannung für Vout, was Vin von [Fig. 6](#) zwischen t1 und t2 entspricht.

[0065] Wenn VCFS $1/3 V_{dd}$ ist und VCCFS V_{dd} ist (siehe [Fig. 7](#) zwischen t2 + X und t3 + X), dann ist VN2 etwa $2/3 V_{dd}$ und $VN1 < VN3$. Bei $VN1 < VN3$ sind die Freigabetransistoren T1 und T4 eingeschaltet, und die Freigabetransistoren T5 und T8 sind ausgeschaltet, so daß nur der Inverter mit T2 und T3 freigegeben ist. Da VN2 $2/3 V_{dd}$ ist, ist T2 ausgeschaltet und T3 ist eingeschaltet, daher wird VN4 zu VSS hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vdd und VN4 bei oder in der Nähe von VSS, sorgt der Komparator **246** für die Ausgabe einer logischen 0-Spannung für Vout*, und Komparator **248** sorgt für die Ausgabe einer logischen 1-Spannung für Vout, was Vin von [Fig. 6](#) zwischen t2 und t3 entspricht.

[0066] Wenn VCFS V_{dd} ist und VCCFS $1/3 V_{dd}$ ist (siehe [Fig. 7](#) zwischen t3 + X und t4 + X), dann ist VN2 etwa $2/3 V_{dd}$ und $VN1 > VN3$. Bei $VN1 > VN3$ sind die Freigabetransistoren T1 und T4 ausgeschaltet, und die Freigabetransistoren T5 und T8 sind eingeschaltet, so daß nur der Inverter mit T6 und T7 freigegeben ist. Da VN2 $2/3 V_{dd}$ ist, ist T7 eingeschaltet und T6 ausgeschaltet, daher wird VN4 zu VSS hin gezogen, so daß VN4 und VN2 auf den entgegengesetzten Seiten einer Referenzspannung liegen. Mit VN2 dicht bei Vdd und VN4 bei oder in der Nähe von VSS, sorgt der Komparator **246** für die Ausgabe einer logischen 0-Spannung für Vout*, und Komparator **248** sorgt für die Ausgabe einer logischen 1-Spannung für Vout, was Vin von [Fig. 6](#) zwischen t3 und t4 entspricht.

[0067] Die Betawerte von jedem der Transistoren können dieselben sein. Dadurch, daß die Transistoren T1, T4, T5 und T8 ein kleineres Beta als die Transistoren der Inverter haben, kann jedoch eine Verschiebung des oberen Niveaus von Vdd und Vss zu VDD und VSS auftreten, und der Verstärkungsfaktor kann flacher sein.

[0068] [Fig. 14](#) liefert ein weiteres Beispiel für Schaltungen, die für die Taktableitungsschaltung **188** in [Fig. 11](#) oder den MECF-Decoder **184** in [Fig. 12](#) verwendet werden können. [Fig. 14](#) ist [Fig. 13](#) ähnlich, weist aber einige Unterschiede auf. Die Transistoren T11 und T13 und T12 und 14 in [Fig. 14](#) werden anstelle von Widerstand **238** und Widerstand **240** in [Fig. 13](#) gezeigt. Ferner umfaßt [Fig. 14](#) keine Freigabetransistoren, wie zum Beispiel T1, T4, T5 und T8 in [Fig. 13](#). Wenn in [Fig. 14](#) VN2 niedrig ist, sind die Transistoren T15 und T16 ausgeschaltet und T17 und T18 sind eingeschaltet, was einen beeinträchtigten Referenzinverter liefert (der einen schwachen Konflikt aufweist), der bewirkt, daß VN4 auf hohen Pegel gezogen wird. Wenn VN2 niedrig ist, sind die Transistoren T17 und T18 ausgeschaltet und T15 und T16 sind eingeschaltet, was einen beeinträchtigten Referenzinverter liefert (der einen schwachen Konflikt aufweist), der bewirkt, daß VN4 auf niedrigen Pegel gezogen wird. Die Betawerte von jedem der Transistoren können dieselben sein.

b. Empfänger zum Decodieren von CFS und CCFS, die durch versatzausgeglichene Codierung erzeugt wurden

[0069] [Fig. 15](#) stellt ein Beispiel für einen Empfänger **28** für den Fall bereit, daß die Versatzausgeglichene Codierung bei der Erzeugung von CFS und CCFS verwendet wird. Man beachte die hohen und niedrigen Schwellwerte von [Fig. 7](#). In dem Beispiel von [Fig. 15](#) umfaßt eine Taktableitungsschaltung **188** zwei Komparatoren **188-1** und **188-2** zur Erzeugung der abgeleiteten Takt- und abgeleiteten Takt*-Signale, die von der Synchronisationsschaltung **190** aufgenommen werden. Alternativ kann nur das abgeleitete Taktsignal oder nur das abgeleitete Takt*-Signal von der Synchronisationsschaltung **190** aufgenommen werden. In anderen Ausführungsformen kann die Synchronisationsschaltung **190** sowohl synchronisierte Vout- wie auch synchronisierte Vout*-Signale oder nur das synchronisierte Vout*-Signal liefern. Verschiedene Schaltungen können für die MECF-Decodierschaltung **184** zum Erzeugen des asynchronen Vout-Signals (und des asynchronen Vout*, wenn es erzeugt wird) verwendet werden. [Fig. 15](#) liefert ein Beispiel für einen MECF-Decoder **184**, die Erfindungen sind aber nicht auf diese Details beschränkt.

[0070] Mit Bezug auf den MECF-Decoder **184** von [Fig. 15](#), wirken die Transistoren T20, T21, T22 und T23 als Multiplexer. An seinem positiven Eingang nimmt Komparator **324** eine Spannung auf, die der hohen Schwellwertspannung (die in [Fig. 7](#) gezeigt wird) von einem Teiler entspricht, welcher einen Widerstand **312** umfaßt, der einen Widerstandswert R7 hat, und einen Widerstand **314** umfaßt, der einen Widerstandswert R8 hat, wobei $R8 > R7$ ist. An seinem positiven Eingang nimmt Komparator **326** eine Spannung auf, die der niedrigen Schwellwertspannung (die in [Fig. 7](#) gezeigt wird) von einem Teiler entspricht, welcher einen Widerstand **316** umfaßt, der einen Widerstandswert R8 hat, und einen Widerstand **318** umfaßt, der einen Widerstandswert R7 hat.

[0071] Falls V_{in} eine logische 0-Spannung ist, liegen VCFS und VCCFS innerhalb des hohen und niedrigen Schwellwerts ($t_0 + X$ bis $t_2 + X$ in [Fig. 7](#)). Wenn $VCFS > VCCFS$ ist, dann ist der abgeleitete Takt eine logische 1-Spannung und der abgeleitete Takt* ist eine logische 0-Spannung, so daß T20 und T23 eingeschaltet sind und T21 und T22 ausgeschaltet sind. CFS wird an den negativen Eingang von Komparator **324** weitergeleitet, und CCFS wird an den negativen Eingang von Komparator **326** weitergeleitet. Bei $VCFS <$ hoher Schwellwert, ist die Ausgabe von Komparator **324** eine logische 1-Spannung. Bei $VCCFS >$ niedriger Schwellwert, ist die Ausgabe von Komparator **326** eine logische 0-Spannung. Daher gibt Komparator **328** Vout als logische 0-Spannung aus, die V_{in} für t_0 bis t_1 in [Fig. 6](#) entspricht. Alternativ kann Vout die Umkehrung von V_{in} sein. Ein zusätzlicher Komparator könnte Vout* bereitstellen.

[0072] Wenn $VCFS < VCCFS$ ist, dann ist der abgeleitete Takt eine logische 0-Spannung und der abgeleitete Takt* ist eine logische 1-Spannung, so daß T20 und T23 ausgeschaltet sind und T21 und T22 eingeschaltet sind. CCFS wird an den negativen Eingang von Komparator **324** weitergeleitet, und CFS wird an den negativen Eingang von Komparator **326** weitergeleitet. Bei $VCCFS <$ hoher Schwellwert, ist die Ausgabe von Komparator **324** eine logische 1-Spannung. Bei $VCFS >$ niedriger Schwellwert, ist die Ausgabe von Komparator **326** eine logische 0-Spannung. Daher gibt Komparator **328** Vout als logische 0-Spannung aus, die V_{in} für t_0 bis t_1 in [Fig. 6](#) entspricht.

[0073] Falls V_{in} eine logische 1-Spannung ist, liegen VCFS und VCCFS außerhalb des hohen und niedrigen Schwellwerts ($t_2 + X$ bis $t_5 + X$ in [Fig. 7](#)). Wenn $VCFS > VCCFS$ ist, dann ist der abgeleitete Takt eine logische 1-Spannung und der abgeleitete Takt* ist eine logische 0-Spannung, so daß T20 und T23 eingeschaltet sind und T21 und T22 ausgeschaltet sind. CFS wird an den negativen Eingang von Komparator **324** weitergeleitet, und CCFS wird an den negativen Eingang von Komparator **326** weitergeleitet. Bei $VCFS >$ hoher Schwellwert, ist die Ausgabe von Komparator **324** eine logische 0-Spannung. Bei $VCCFS <$ niedriger Schwellwert, ist die Ausgabe von Komparator **326** eine logische 1-Spannung. Daher gibt Komparator **328** Vout als logische 1-Spannung aus, die V_{in} für t_2 bis t_3 in [Fig. 6](#) entspricht. Wenn $VCFS < VCCFS$ ist, dann ist der abgeleitete Takt eine logische 0-Spannung und der abgeleitete Takt* ist eine logische 1-Spannung, so daß T20 und T23 ausgeschaltet sind und T21 und T22 eingeschaltet sind. CCFS wird an den negativen Eingang von Komparator **324** weitergeleitet, und CFS wird an den negativen Eingang von Komparator **326** weitergeleitet. Bei $VCCFS >$ hoher Schwellwert, ist die Ausgabe von Komparator **324** eine logische 0-Spannung. Bei $VCFS <$ niedriger Schwellwert, ist die Ausgabe von Komparator **326** eine logische 1-Spannung. Daher gibt Komparator **328** Vout als logische 1-Spannung aus, die V_{in} für t_3 bis t_4 in [Fig. 6](#) entspricht.

3. Zusätzliche Informationen und Ausführungsformen

[0074] Wie oben beschrieben, hat die Verwendung sowohl von CFS- wie auch von CCFS-Signalen in Kombination Vorteile für die Übertragung von Informationen. Die Informationen können jedoch im CFS allein übertragen werden. (Erinnern Sie sich, daß in [Fig. 7](#) die Wahl, welches Signal CFS genannt und welches CCFS genannt wird, willkürlich ist.) In [Fig. 16](#) stellt zum Beispiel der Sender **350** die V_{in} - (oder V_{in}^*)-Informationen in CFS allein durch den Leiter **24A** für einen Empfänger **358** bereit, der die Informationen als Vout (oder Vout*) rückgewinnt.

[0075] Die Erfindungen sind nicht auf einen bestimmten Typ von Verbindung zwischen der Sender- und der Empfängerschaltung beschränkt. Die illustrierten Versionen der Sender und Empfänger zeigen die Verbindungen als elektrische Leiter, die herkömmliche elektrische Signale übertragen. Es können jedoch verschiedene Arten von Verbindungen verwendet werden, die elektromagnetische Verbindungen (zum Beispiel Wellenleiter (einschließlich Lichtwellenleiter) und Hochfrequenz (HF)) umfassen. Lediglich als Beispiel illustriert [Fig. 17](#) einen EM-Sender **362** in einem Sender, wie zum Beispiel Sender **20** oder **350**, und leitet sie einem EM-Empfänger **366** in einem Empfänger zu, wie zum Beispiel Empfänger **28** oder **358**. Der EM-Sender **362** empfängt das CFS auf Leiter **24A** und leitet es auf einem Wellenleiter **368** dem EM-Empfänger **366** zu, der das empfangene CFS an Leiter **24A** weiterleitet. Die Informationen des CFS können als optisches Signal auf Wellenleiter **368** weitergeleitet werden. Es ist möglich, vielleicht aber nicht praktisch, ein optisches Signal ohne einen Wellenleiter zu verwenden. In dem Fall, daß [Fig. 17](#) den Sender **20** umfaßt, gäbe es einen weiteren Wellenleiter für CCFS und den Leiter **24B**.

[0076] [Fig. 18](#) illustriert ein System, das dem von [Fig. 17](#) ähnlich ist, außer daß der EM-Sender **372** ein drahtloser Sender ist und der EM-Empfänger **376** ein drahtloser Empfänger ist. [Fig. 18](#) kann drahtlose Verfahren beinhalten, wie zum Beispiel HF. Sender **372** und Empfänger **376** können $\lambda/4$ -Antennen umfassen.

[0077] Die Leiter **24A** und **24B** sind nicht notwendigerweise durchgängig, sondern könnten Zwischenschal-

tungen, Durchkontakte usw. umfassen. Die Leiter können Kondensatoren für die Wechselspannungs-(AC)-Kopplung umfassen, obwohl dies die Schaltgeschwindigkeit verringern könnte.

[0078] Die Erfindungen können bei Punkt-Punkt-Verbindungssystemen verwendet werden, wie in den [Fig. 1](#) und [Fig. 2](#) gezeigt, bei denen es einen Empfänger für jeden Sender gibt. Die Erfindungen können auch in einem System verwendet werden, bei dem ein Signal von einem Sender an mehrere Empfänger gesendet wird.

[0079] Die Sender und Empfänger werden hinsichtlich der Codierung nur von logischen 0- oder 1-Spannungen für CFS und CCFS erläutert. Alternativ können mehr als zwei logische Werte im CFS und CCFS codiert werden. Mit Bezug auf [Fig. 19](#) umfaßt zum Beispiel die codierungsgesteuerte Frequenzausgabeschaltung einen dritten Codiertreiber **410**, um mehr als zwei Spannungspegel (mehr als nur den logischen 0- und logischen 1-Wert, sondern auch einen logischen 2-Wert) zu ermöglichen. Die Größencodierer und -empfänger können dementsprechend geändert werden.

[0080] Die Erfindungen sind nicht auf einen bestimmten Typ, Format, Inhalt oder Bedeutung für CFS und CCFS, die übertragen werden, beschränkt. In einigen Ausführungsformen übertragen einige Leiter Anweisungen, während andere Adressen übertragen und wieder andere Daten übertragen. In einigen Ausführungsformen werden Anweisungen, Adressen und Daten in einem Multiplexsignal bereitgestellt. In einigen Ausführungsformen können Anweisungen durch Sender und Empfänger unter Verwendung unterschiedlicher Signale übertragen werden. Verschiedene Codierv Verfahren, wie zum Beispiel die 8b/10b-Codierung, können mit den Codierv Verfahren, die hierin beschrieben werden, verwendet werden. Die illustrierten Schaltungen sind lediglich Beispiele. Die Polaritäten der verschiedenen Signale können sich ändern.

[0081] Die illustrierte Schaltung kann zusätzliche Schaltungen, wie zum Beispiel elektrostatische Entladungs-(ESD)-Schaltungen, Freigabesignalkontrollschaltungen und Taktgeberketten, umfassen. In alternativen Ausführungsformen könnte das CFS differentiell auf zwei Leitern übertragen werden, und CCFS könnte differentiell auf zwei Leitern übertragen werden.

[0082] Es gibt verschiedene Wege, auf denen die Clk-, Clk^{*}-, Vin- und Vin^{*}-Signale erzeugt werden können. [Fig. 20](#) illustriert Schaltungen zur Bereitstellung dieser Signale, jedoch erfordern die Erfindungen diese Schaltungen nicht. Eine Mehrphasenschaltung **420** umfaßt Triggerschaltungen **422** und **424** (die Flip-Flops sein können), die das Clk-Signal empfangen und umgeschaltete Ausgaben für das Exklusiv-ODER-Gatter **428** und Exklusiv-NOR-Gatter **430** bereitstellen. Die Ausgabe von Gatter **428** wird für eine Taktgeberkette bereitgestellt, die einen Puffer **432** und einen Inverter **434** umfaßt, um für das Clk-Signal auf Leiter **102** zu sorgen. Die Ausgabe von Gatter **430** wird für eine Taktgeberkette bereitgestellt, die einen Puffer **436** und einen Inverter **438** umfaßt, um für das Clk^{*}-Signal auf Leiter **104** zu sorgen. In analoger Weise umfaßt eine Mehrphasenschaltung **440** die Triggerschaltungen **442** und **444** (die Flip-Flops sein können), die das Clk-Signal empfangen und umgeschaltete Ausgaben für das Exklusiv-ODER-Gatter **448** und Exklusiv-NOR-Gatter **450** bereitstellen. Die Ausgabe von Gatter **448** wird für eine Taktgeberkette bereitgestellt, die einen Puffer **452** und einen Inverter **454** umfaßt, um für das Vin-Signal auf Leiter **106** zu sorgen. Die Ausgabe von Gatter **450** wird für eine Taktgeberkette bereitgestellt, die einen Puffer **456** und einen Inverter **458** umfaßt, um für das Vin^{*}-Signal auf Leiter **108** zu sorgen. Ein Zweck der Taktgeberkette ist die Erhöhung des Treiberstroms der Clk-, Clk^{*}-, Vin- und Vin^{*}-Signale. Die Polaritäten der Signale können durch Modifizierungen an den Schaltungen geändert werden. Taktgeberketten können auch bei Sendern und/oder Empfängern, die oben beschrieben werden, verwendet werden, um den Treiberstrom zu erhöhen.

[0083] Der Begriff "reaktionsfähig" bedeutet, daß eine Sache oder ein Ereignis zumindest teilweise eine andere Sache oder Ereignis verursacht, obwohl es andere Ursachen für die Sache oder das Ereignis geben kann.

[0084] Eine Ausführungsform ist eine Implementierung oder Beispiel der Erfindungen. Der Verweis in der Patentschrift auf "eine Ausführungsform", "einige Ausführungsformen" oder "andere Ausführungsformen" bedeutet, daß ein besonderes Merkmal, Struktur oder Kennzeichen, das in Verbindung mit den Ausführungsformen beschrieben wird, in mindestens einer Erscheinungsform, aber nicht notwendigerweise in allen Erscheinungsformen der vorliegenden Erfindungen enthalten ist. Das verschiedene Auftreten des Ausdrucks "eine Ausführungsform" oder "einige Ausführungsformen" bedeutet nicht notwendigerweise, daß alle sich auf dieselben Ausführungsformen beziehen.

[0085] Wenn die Patentschrift feststellt, daß ein Chip, Merkmal, Struktur oder Kennzeichen enthalten sein "kann" oder "könnte", braucht dieser spezielle Chip, Merkmal, Struktur oder Kennzeichen nicht enthalten zu sein. Wenn sich die Patentschrift oder der Anspruch auf "ein" Element bezieht, bedeutet dies nicht, daß es nur

ein Element gibt. Wenn sich die Patentschrift oder der Anspruch auf "ein zusätzliches" Element bezieht, schließt dies nicht aus, daß es mehr als ein zusätzliches Element gibt.

[0086] Die Erfindungen sind nicht auf diese Details, die hierin aufgeführt werden, beschränkt. Fachleute auf dem Gebiet, die den Vorteil dieser Offenbarung haben, werden tatsächlich erkennen, daß viele andere Variationen zu der vorhergehenden Beschreibung und den Zeichnungen innerhalb des Geltungsbereichs der vorliegenden Erfindung realisiert werden können. Es sind dementsprechend die folgenden Ansprüche, einschließlich aller Änderungen daran, die den Geltungsbereich der Erfindung definieren.

Patentansprüche

1. Chip, umfassend: einen Sender, wobei der Sender eine gesteuerte Frequenzgangsschaltung aufweist, wobei die Schaltung geeignet ist, um mindestens ein Eingangssignal (Vin) und mindestens ein Taktsignal (Clk) zu empfangen, wobei die gesteuerte Frequenzgangsschaltung ferner geeignet ist, um ein größencodiertes gesteuertes Frequenzsignal (CFS) zu erzeugen, das auf das mindestens eine Eingangssignal und mindestens eine Taktsignal reagiert, **dadurch gekennzeichnet**, daß die gesteuerte Frequenzgangsschaltung einen Größencodierer (**150**), der geeignet ist, um das mindestens eine Eingangssignal (Vin) und das mindestens eine Taktsignal (Clk) zu empfangen, einen gesteuerten Frequenztreiber (**158**), der geeignet ist, um das mindestens eine Taktsignal (Clk) zu empfangen, und mindestens zwei Größentreiber (**202**, **204**), die mit dem Größencodierer (**150**) verbunden sind, aufweist, wobei sich der gesteuerte Frequenztreiber und die Größentreiber verbinden, um das gesteuerte Frequenzsignal auf einem Leiter mit einem logischen Wert bereitzustellen, der eine Funktion der Eingangssignale ist, die dem gesteuerten Frequenztreiber (**158**) und den Größentreibern (**202**, **204**) bereitgestellt werden.

2. Chip nach Anspruch 1, wobei die gesteuerte Frequenzgangsschaltung eine erste gesteuerte Frequenzgangsschaltung (**90**) ist und wobei der Sender ferner eine zweite gesteuerte Frequenzgangsschaltung (**94**) umfaßt, um mindestens ein Eingangssignal und mindestens ein Taktsignal zu empfangen und ein komplementäres, größencodiertes gesteuertes Frequenzsignal (CCFS) zu erzeugen, das darauf reagiert.

3. Chip nach Anspruch 2, wobei das CFS und das CCFS gemäß einer Größencodierung in Phase codiert sind.

4. Chip nach Anspruch 3, wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils nur ein Taktsignal (**102**) empfangen und das Taktsignal für die erste und die zweite gesteuerte Frequenzgangsschaltung das gleiche ist und wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils nur ein Eingangssignal empfangen und das Eingangssignal (**108**), das von der ersten Frequenzgangsschaltung empfangen wird, eine logische Umkehrung des Eingangssignals (**102**) ist, das von der zweiten gesteuerten Frequenzgangsschaltung empfangen wird.

5. Chip nach Anspruch 2, wobei das CFS und das CCFS gemäß einer bezüglich der Leistung ausgeglichenen Größencodierung codiert sind.

6. Chip nach Anspruch 5, wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils nur ein Eingangssignal (**108**) empfangen und das Eingangssignal für die erste und die zweite gesteuerte Frequenzgangsschaltung das gleiche ist und wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils nur ein Taktsignal empfangen und das Taktsignal (**102**), das von der ersten Frequenzgangsschaltung empfangen wird, eine logische Umkehrung des Taktsignals (**104**) ist, das von der zweiten gesteuerten Frequenzgangsschaltung empfangen wird.

7. Chip nach Anspruch 2, wobei das CFS und das CCFS gemäß einer bezüglich des Versatzes ausgeglichenen Größencodierung codiert sind.

8. Chip nach Anspruch 7, wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils zwei Eingangssignale (**106**, **108**) empfangen, die logische Umkehrungen voneinander sind, und wobei die erste und die zweite gesteuerte Frequenzgangsschaltung jeweils nur ein Taktsignal empfangen und das Taktsignal (**102**), das von der ersten gesteuerten Frequenzgangsschaltung empfangen wird, eine logische Umkehrung des Taktsignals (**104**) ist, das von der zweiten gesteuerten Frequenzgangsschaltung empfangen wird.

9. Chip nach Anspruch 2, ferner umfassend einen Empfänger (**28**), um das CFS und das CCFS zu emp-

fangen und sie zu decodieren, um ein Ausgangssignal zu erzeugen.

10. Chip nach Anspruch 9, ferner umfassend zusätzliche Sender und zusätzliche Empfänger.

11. Chip nach Anspruch 2, wobei die erste und die zweite gesteuerte Frequenzausgangsschaltung jeweils einen Größencodierer (**150**, **170**), einen gesteuerten Frequenztreiber (**158**, **178**) und Größentreiber (**154**, **174**) aufweisen, die mit dem Größencodierer verbunden sind, und wobei sich der gesteuerte Frequenztreiber und die Größentreiber verbinden, um das entsprechende CFS oder CCFS auf einem Leiter bereitzustellen.

12. Chip nach Anspruch 1, wobei die Größentreiber mehr als zwei Treiber aufweisen.

13. Chip nach Anspruch 1, ferner umfassend einen Empfänger (**28**), um das CFS zu empfangen und es zu decodieren und ein Ausgangssignal zu erzeugen, das darauf reagiert.

14. System, umfassend: einen ersten Chip nach einem der vorhergehenden Ansprüche; und einen zweiten Chip, der einen Empfänger aufweist, um das CFS zu empfangen und ein Ausgangssignal bereitzustellen, das darauf reagiert.

15. System nach Anspruch 14, wobei das Ausgangssignal eine zeitverzögerte Version des Eingangssignals ist.

16. System nach Anspruch 14, wobei das Ausgangssignal eine logische Umkehrung einer zeitverzögerten Version des Eingangssignals ist.

17. System nach Anspruch 14, wobei der erste und der zweite Chip durch einen ersten Leiter miteinander verbunden sind, der das CFS (**24A**) zu dem Empfänger trägt.

18. System nach Anspruch 14, wobei der erste und der zweite Chip durch einen ersten Wellenleiter verbunden sind, der das CFS zu dem Empfänger trägt.

19. System nach Anspruch 14, wobei das CFS als ein HF-Signal zwischen dem ersten und dem zweiten Chip übertragen wird.

20. System nach einem der Ansprüche 14 bis 19, wobei der erste und der zweite Chip durch einen ersten Leiter, der das CFS zu dem Empfänger trägt, und einen zweiten Leiter, der das CCFS zu dem Empfänger trägt, verbunden sind.

21. System nach Anspruch 20, wobei der erste Chip auch einen Empfänger aufweist und der zweite Chip auch einen Sender aufweist.

22. System nach Anspruch 20, wobei der erste und der zweite Leiter bidirektional sind.

23. System nach einem der Ansprüche 14 bis 19, wobei der erste und der zweite Chip durch einen ersten Wellenleiter, der das CFS zu dem Empfänger trägt, und einen zweiten Wellenleiter, der das CCFS zu dem Empfänger trägt, verbunden sind.

24. System nach einem der Ansprüche 14 bis 19, wobei das CFS und das CCFS als HF-Signale zwischen dem ersten und dem zweiten Chip übertragen werden.

Es folgen 14 Blatt Zeichnungen

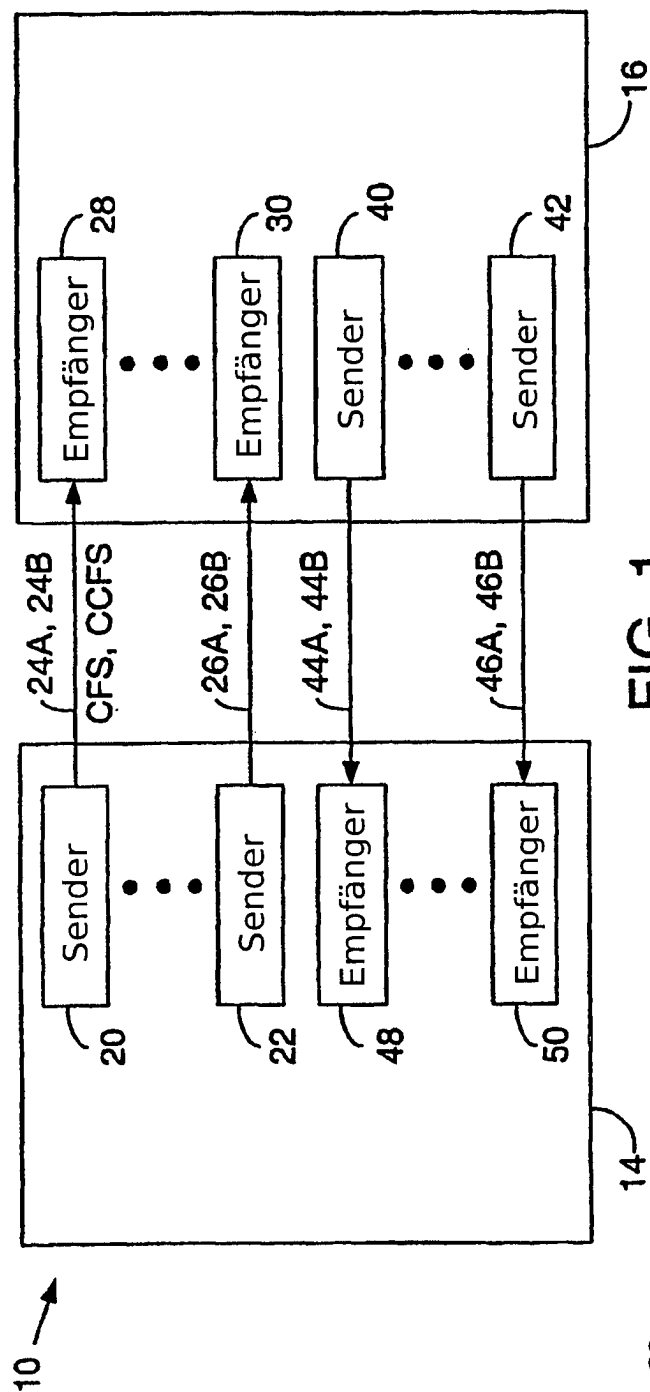


FIG. 1

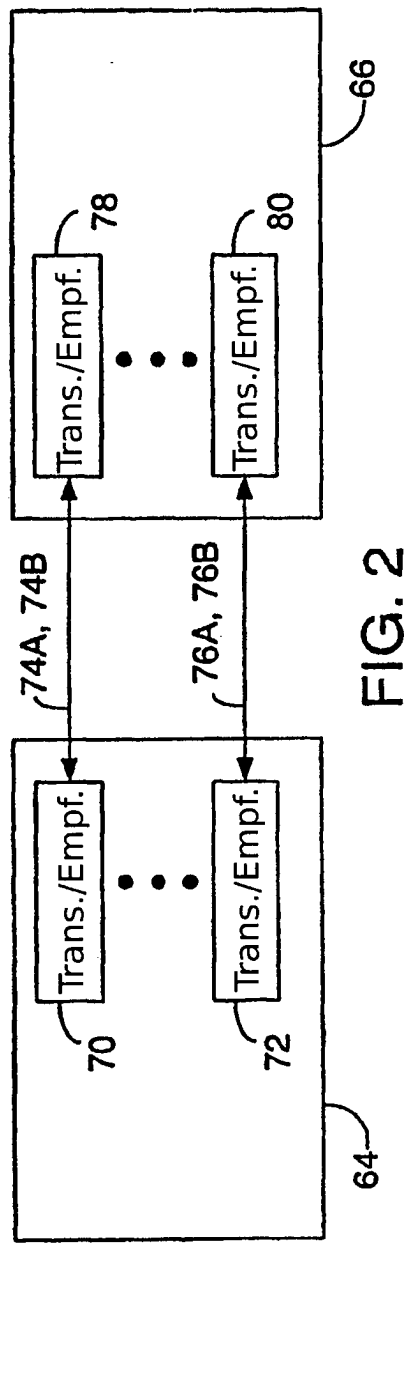
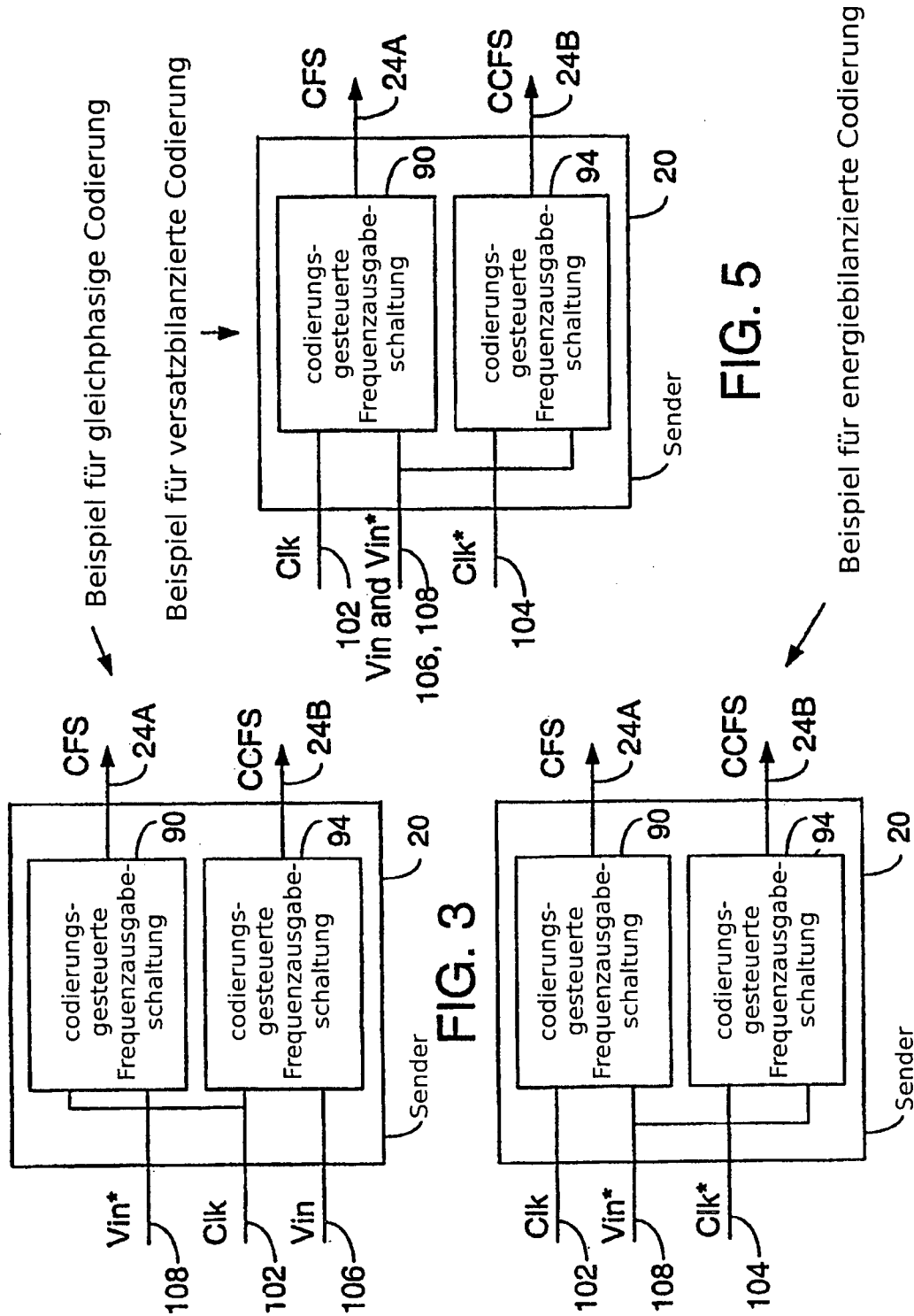


FIG. 2



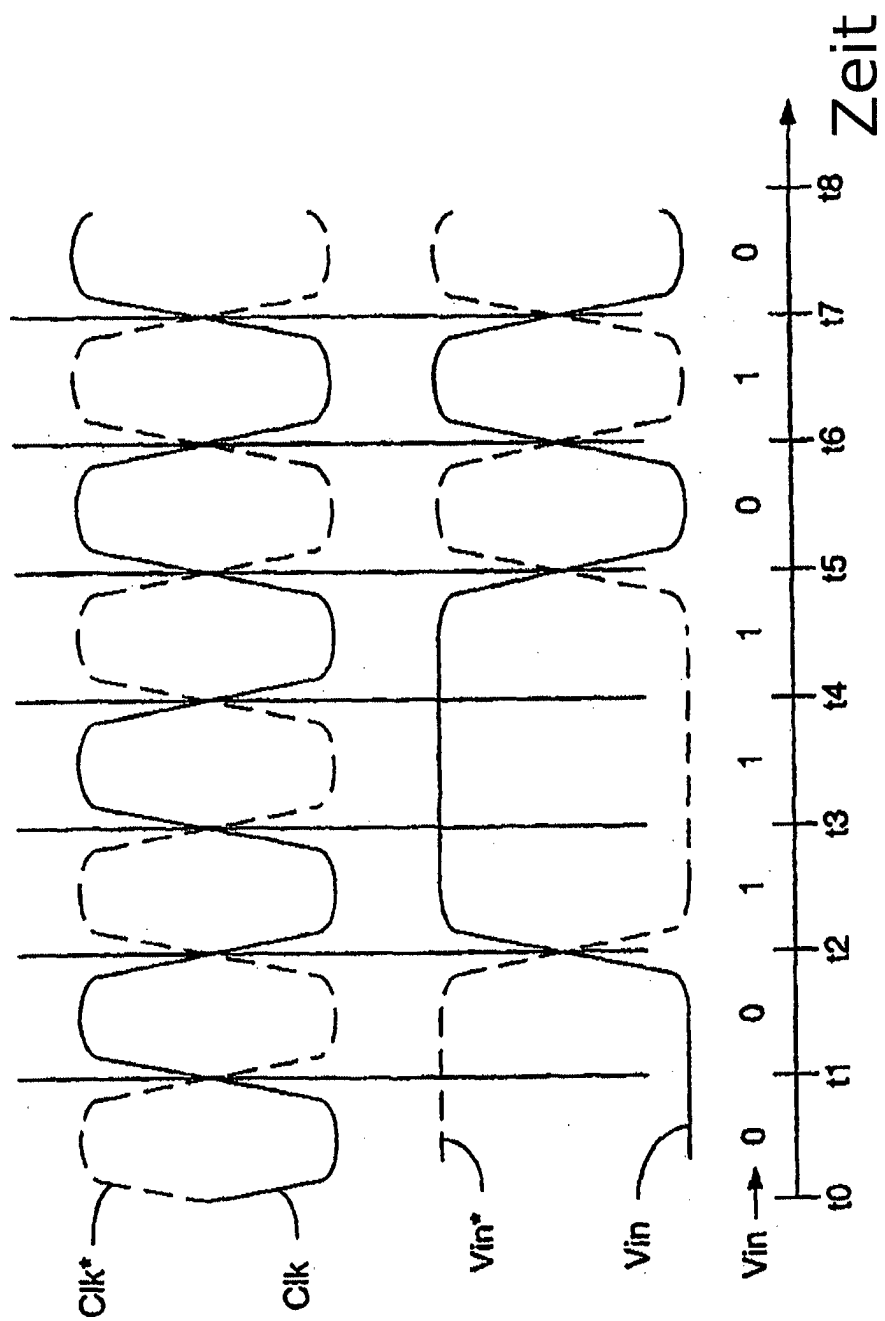


FIG. 6

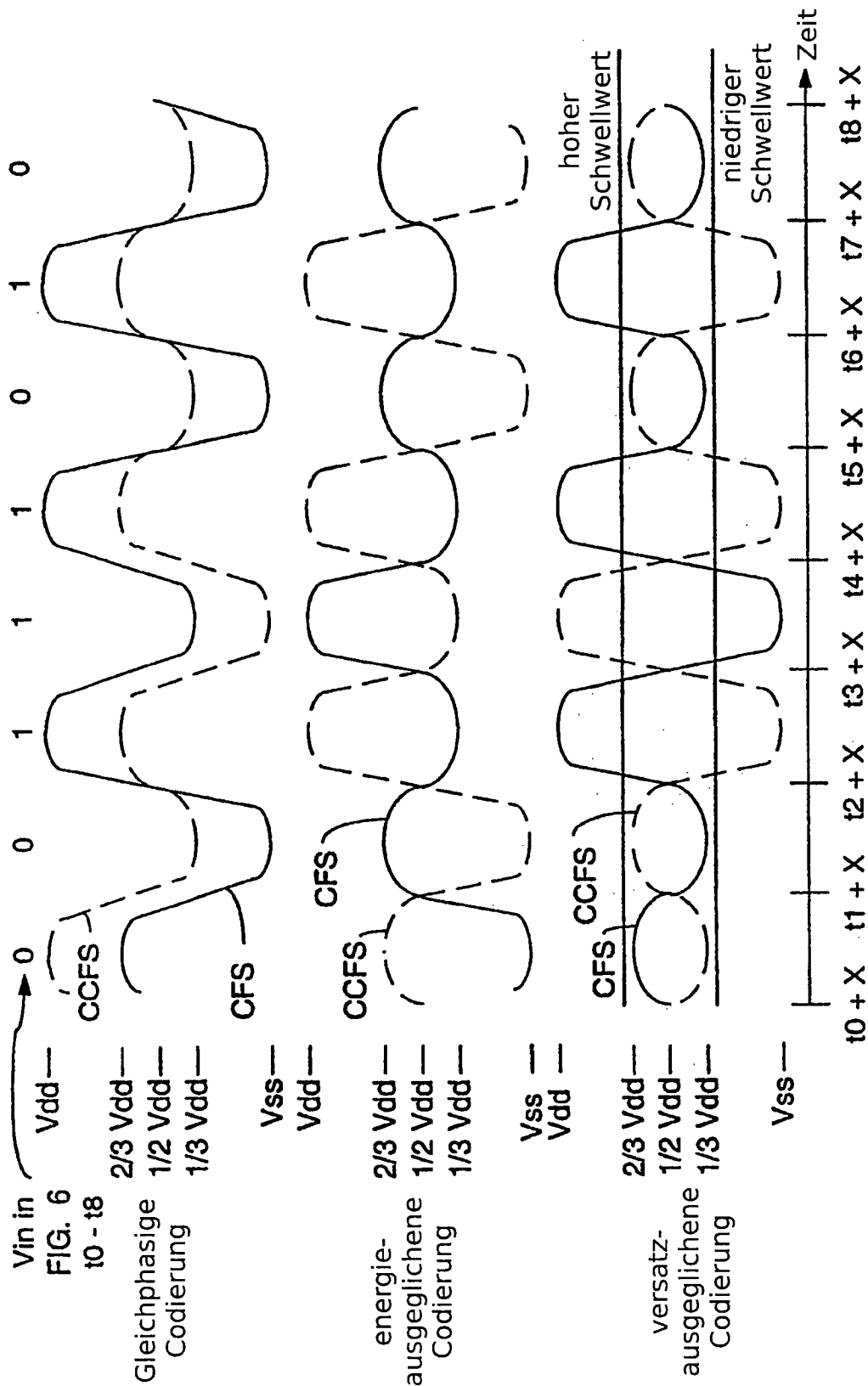


FIG. 7

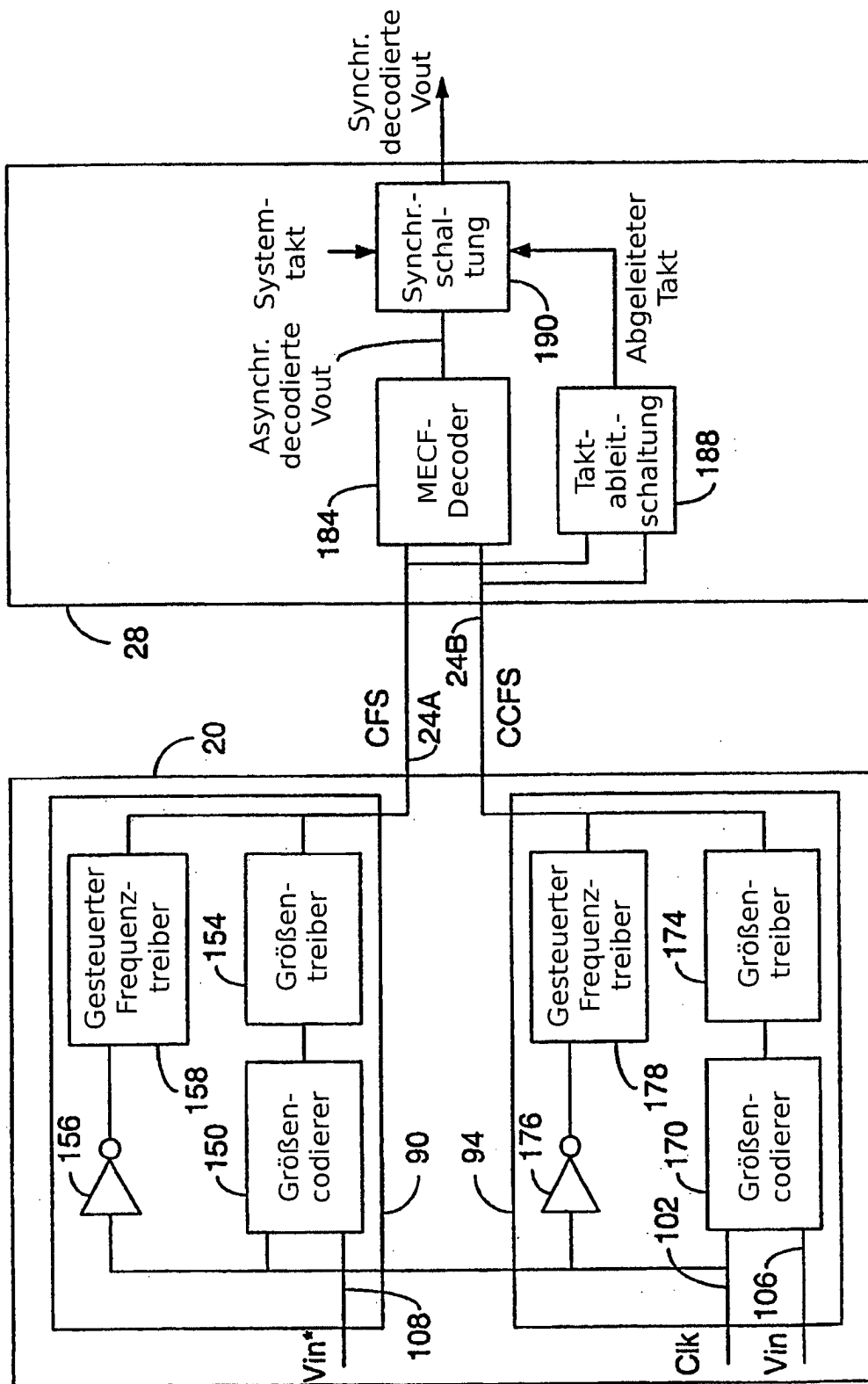
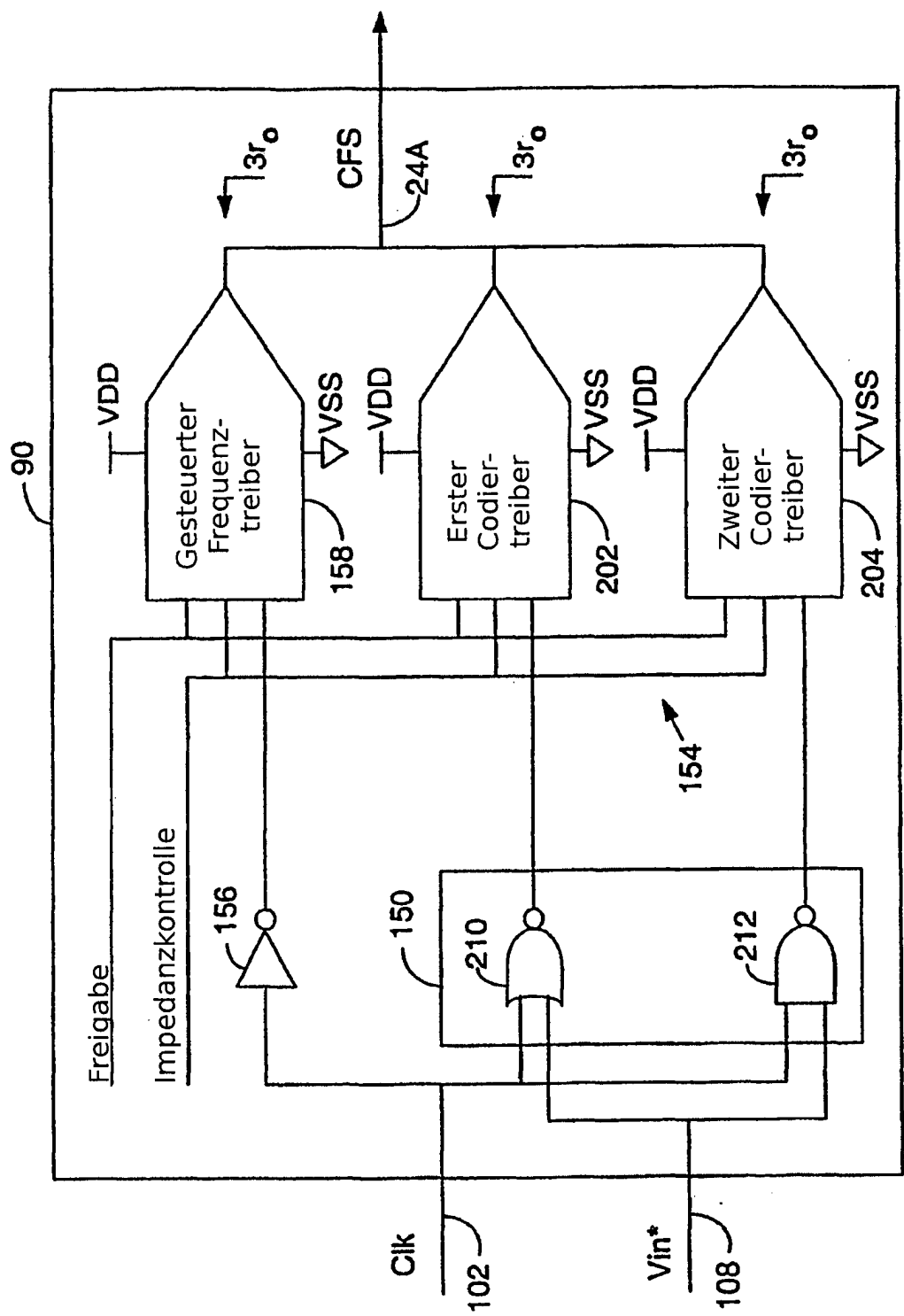


FIG. 8 Beispiel für gleichphasige Codierung/Decodierung



Beispiel für gleichphasige Codierung
(Energieausgeglichene Codierung ähnlich)

FIG. 9

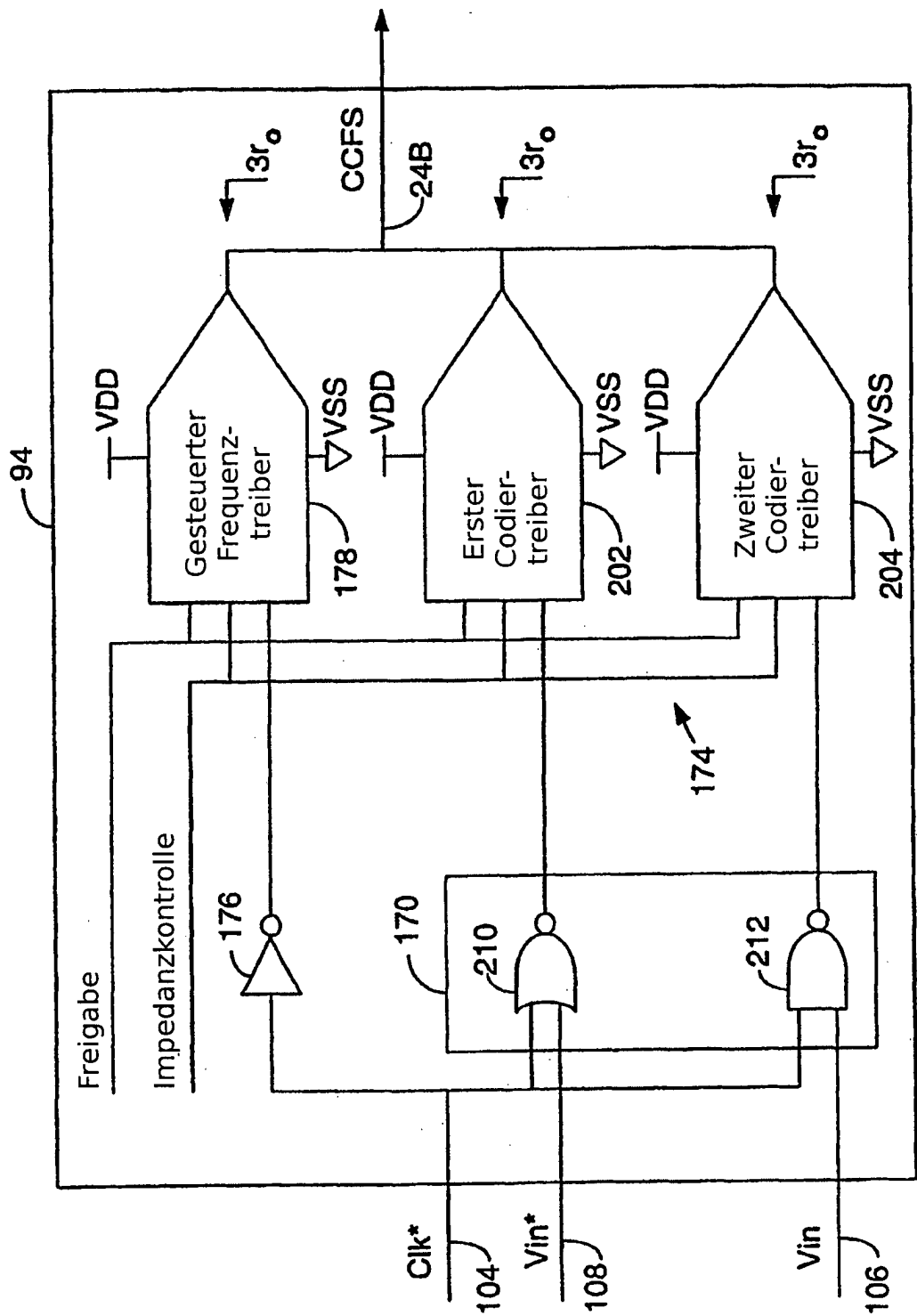


FIG. 10 Beispiel für versatzausgegliche Codierung

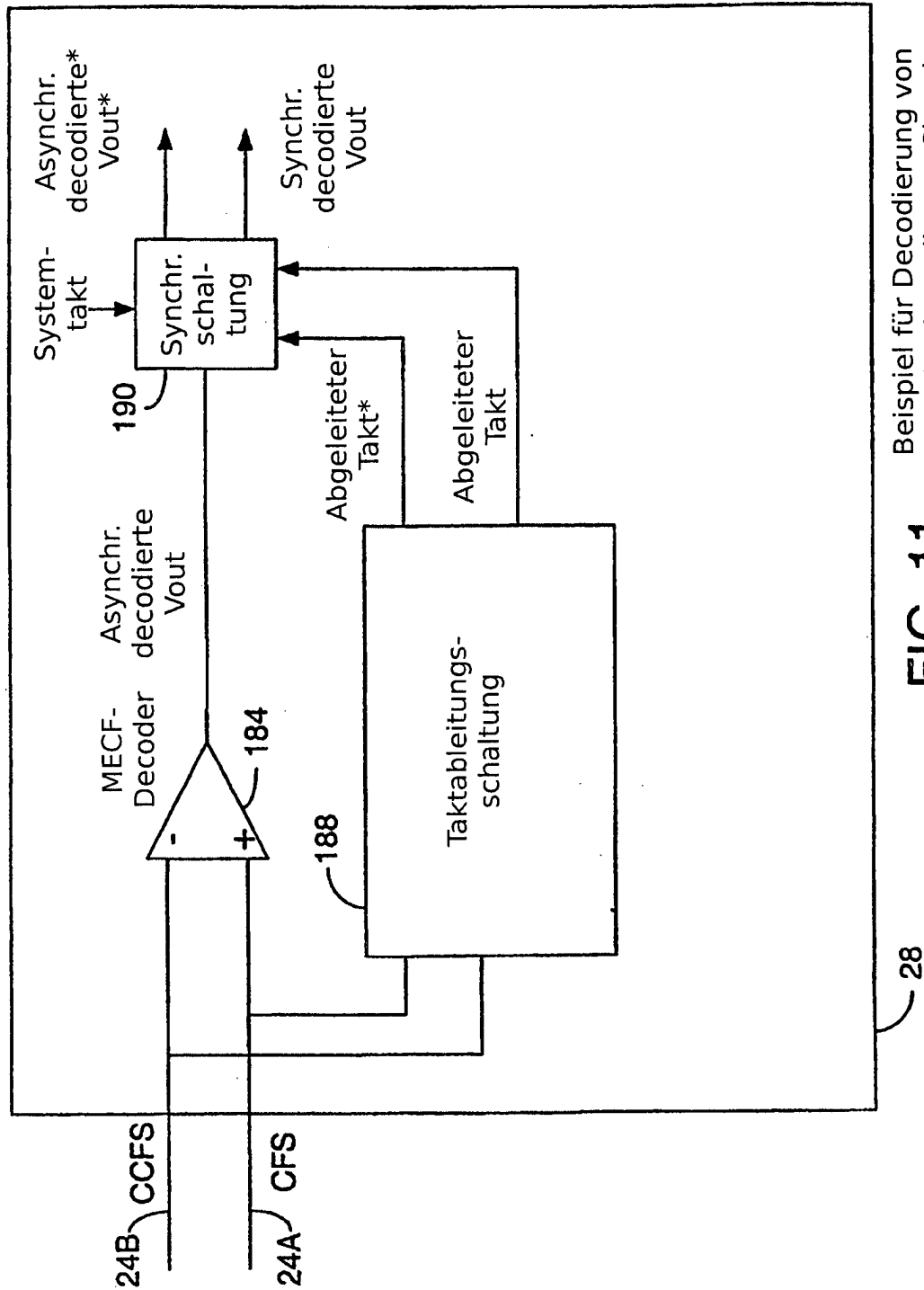


FIG. 11 Beispiel für Decodierung von gleichphasig codierten Signalen

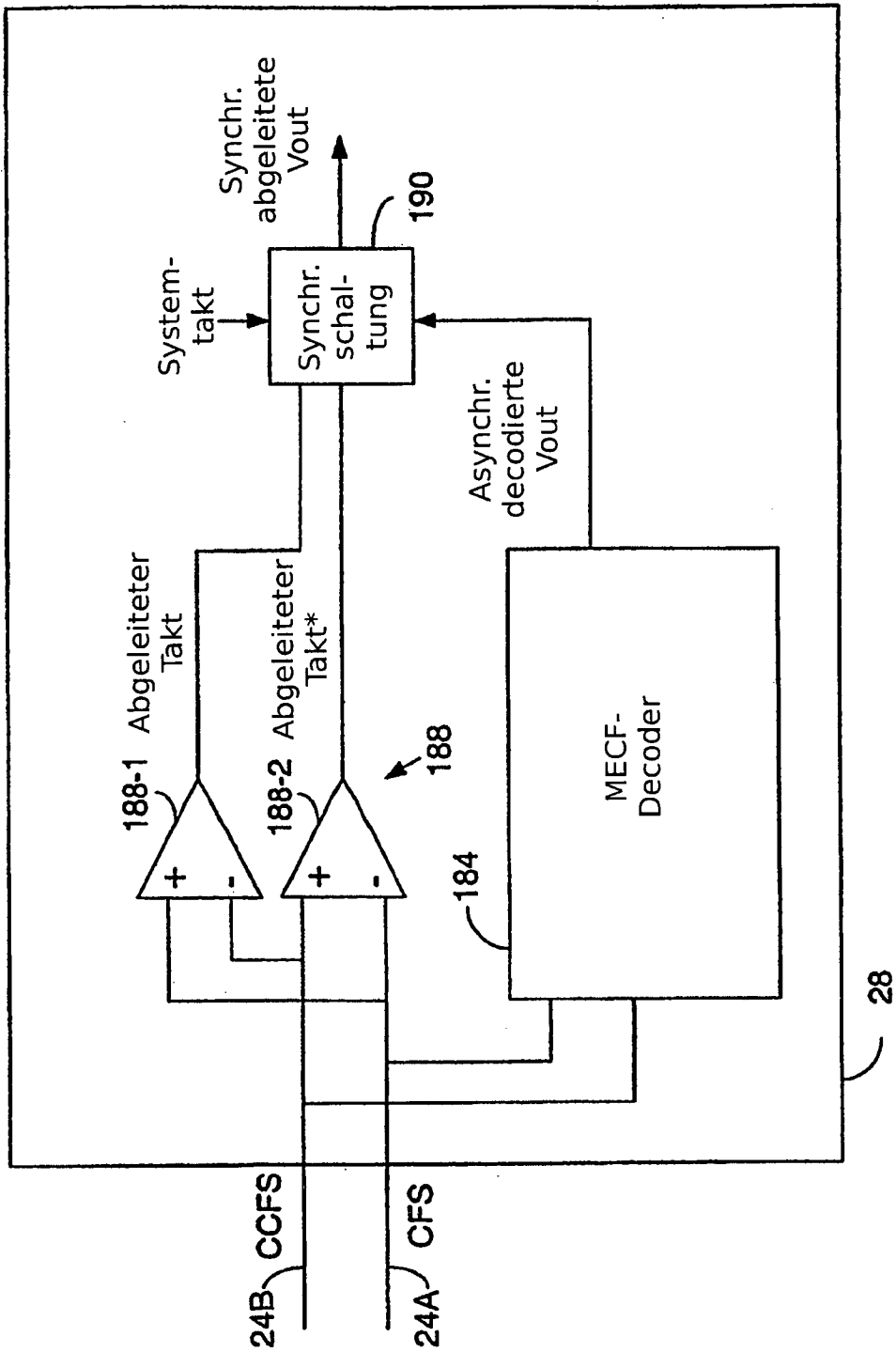
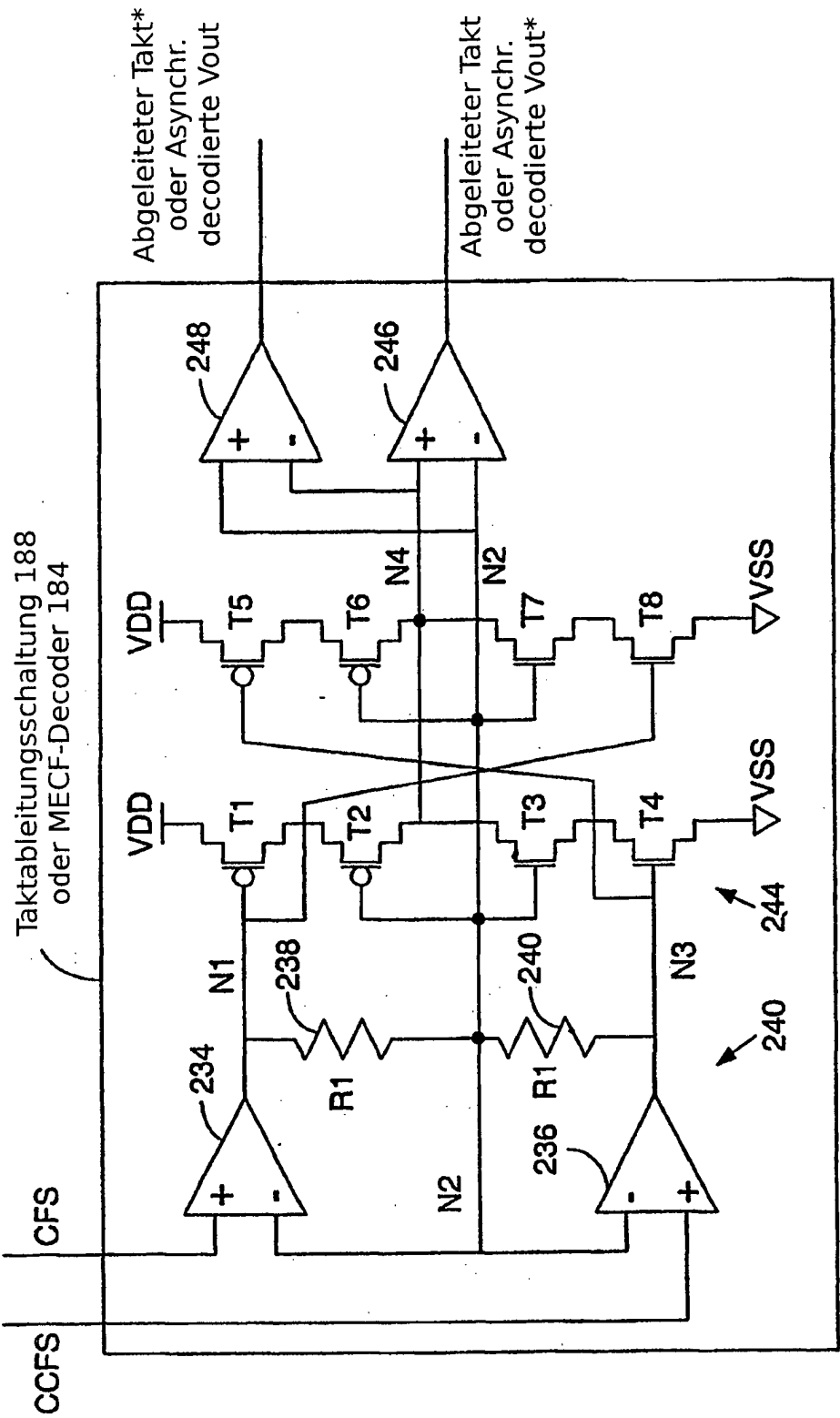
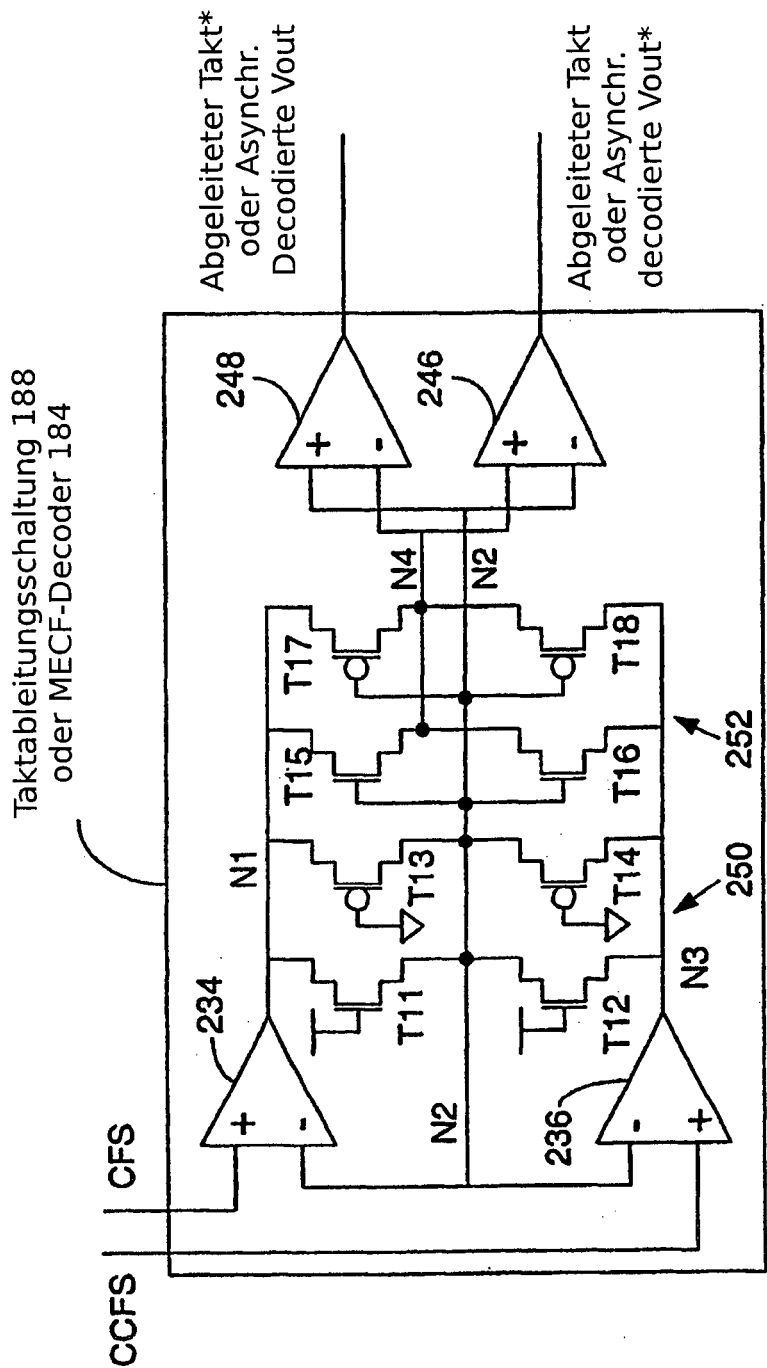


FIG. 12 Beispiel für Decodierung von energie-
ausgeglichen codierten Signalen



Beispiel für Decodierung von
gleichphasig und energieausgeglichen
codierten Signalen

FIG. 13



Beispiel für Decodierung von
gleichphasig oder energie-
ausgeglichen codierten Signalen

FIG. 14

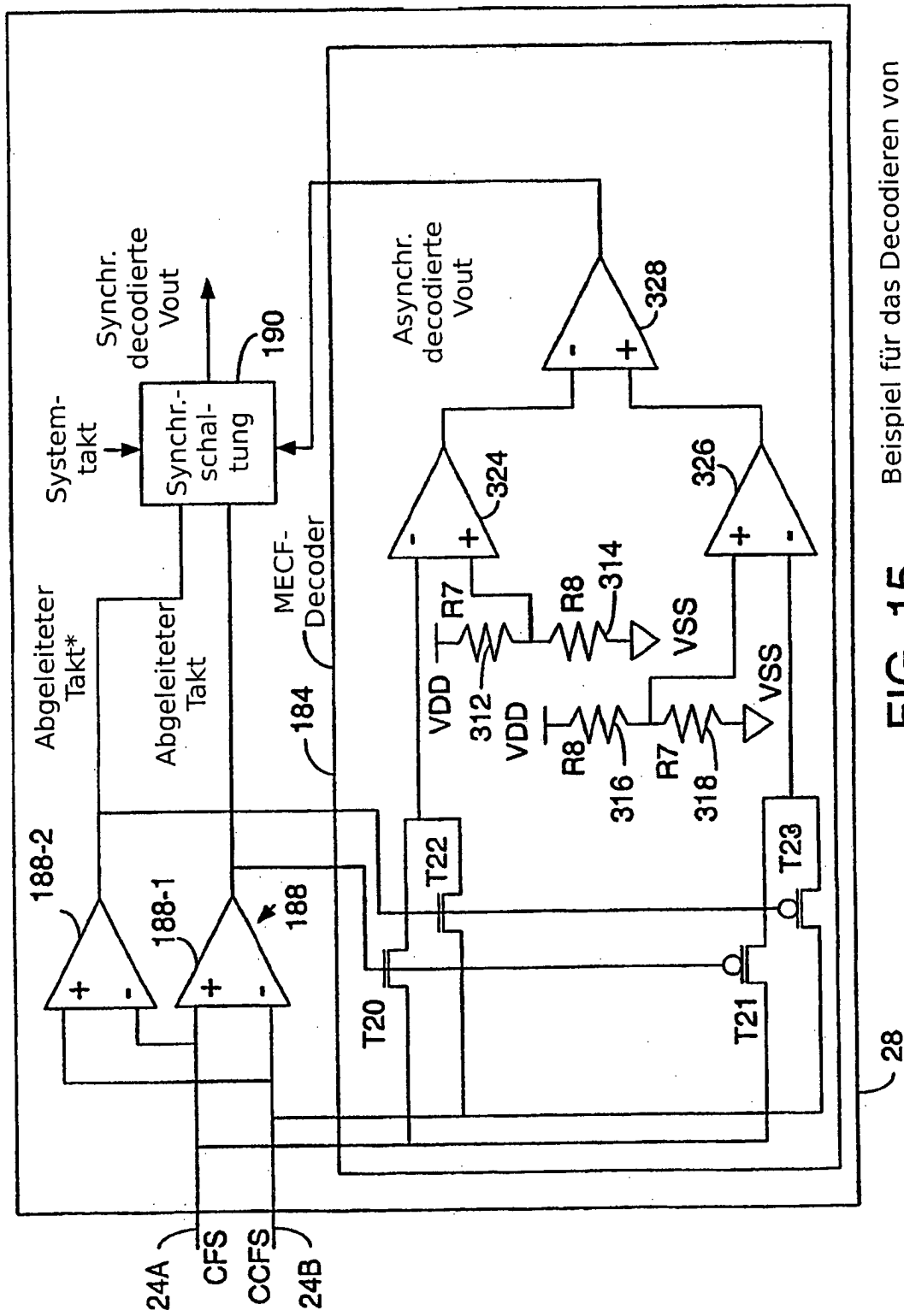


FIG. 15 Beispiel für das Decodieren von versatzausgeglichen codierten Signalen

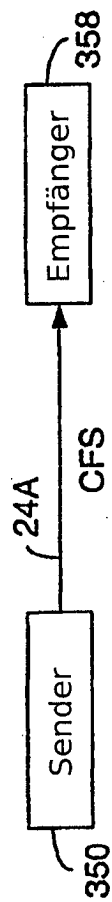


FIG. 16

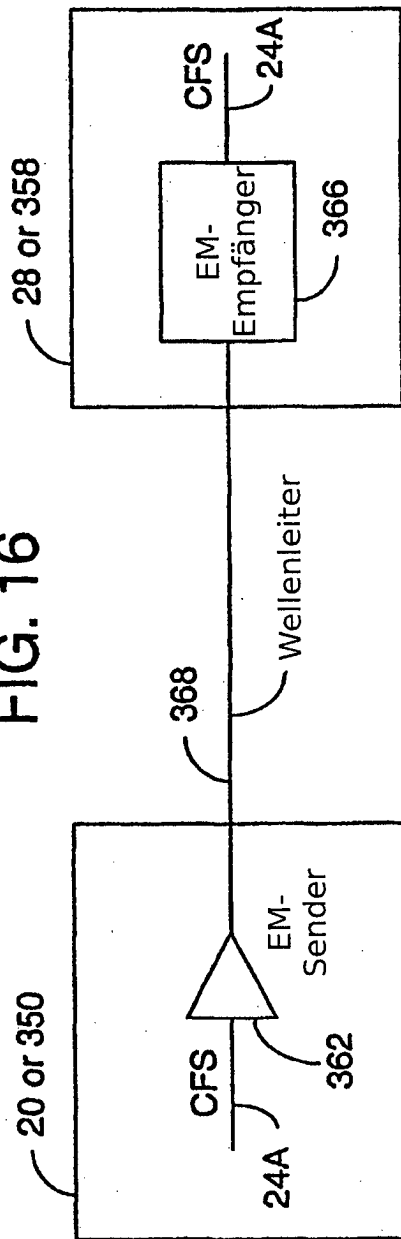


FIG. 17

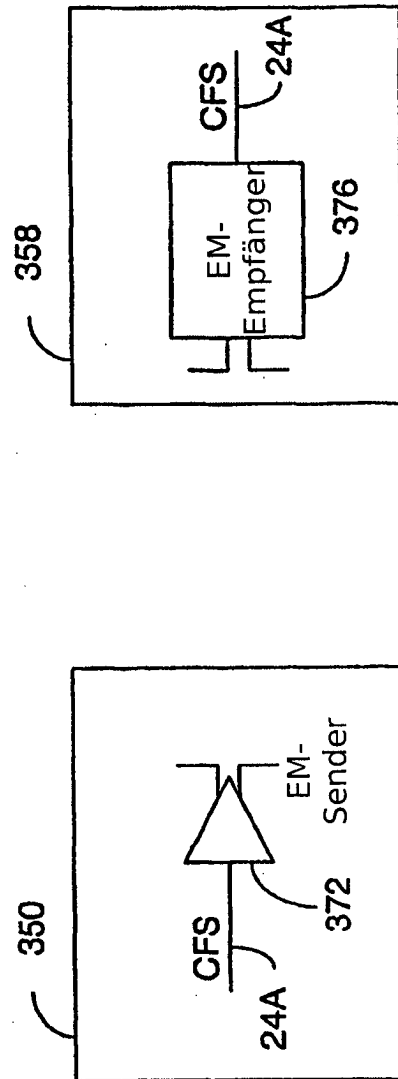


FIG. 18

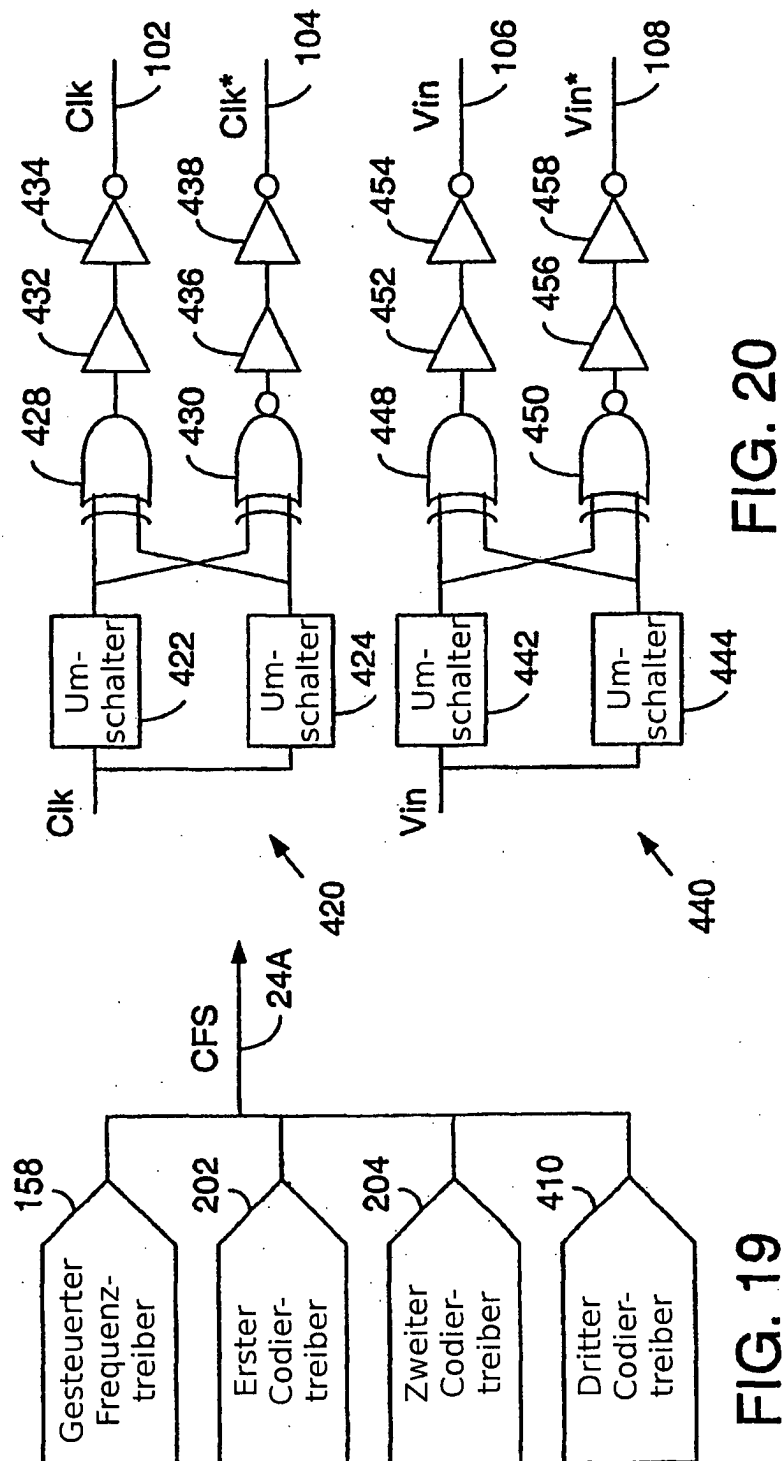


FIG. 20

FIG. 19