



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200949931 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

---

(21)申請案號：098100865

(22)申請日：中華民國 98 (2009) 年 01 月 10 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

*H01L21/311 (2006.01)*

*H01L21/3205(2006.01)*

(30)優先權：2008/02/13 日本 2008-031811

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)  
日本

(72)發明人：增田秀顯 MASUDA, HIDEAKI (JP)；宮島秀史 MIYAJIMA, HIDESHI (JP)；伊高利昭 IDAKA, TOSHIAKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：9 共 37 頁

---

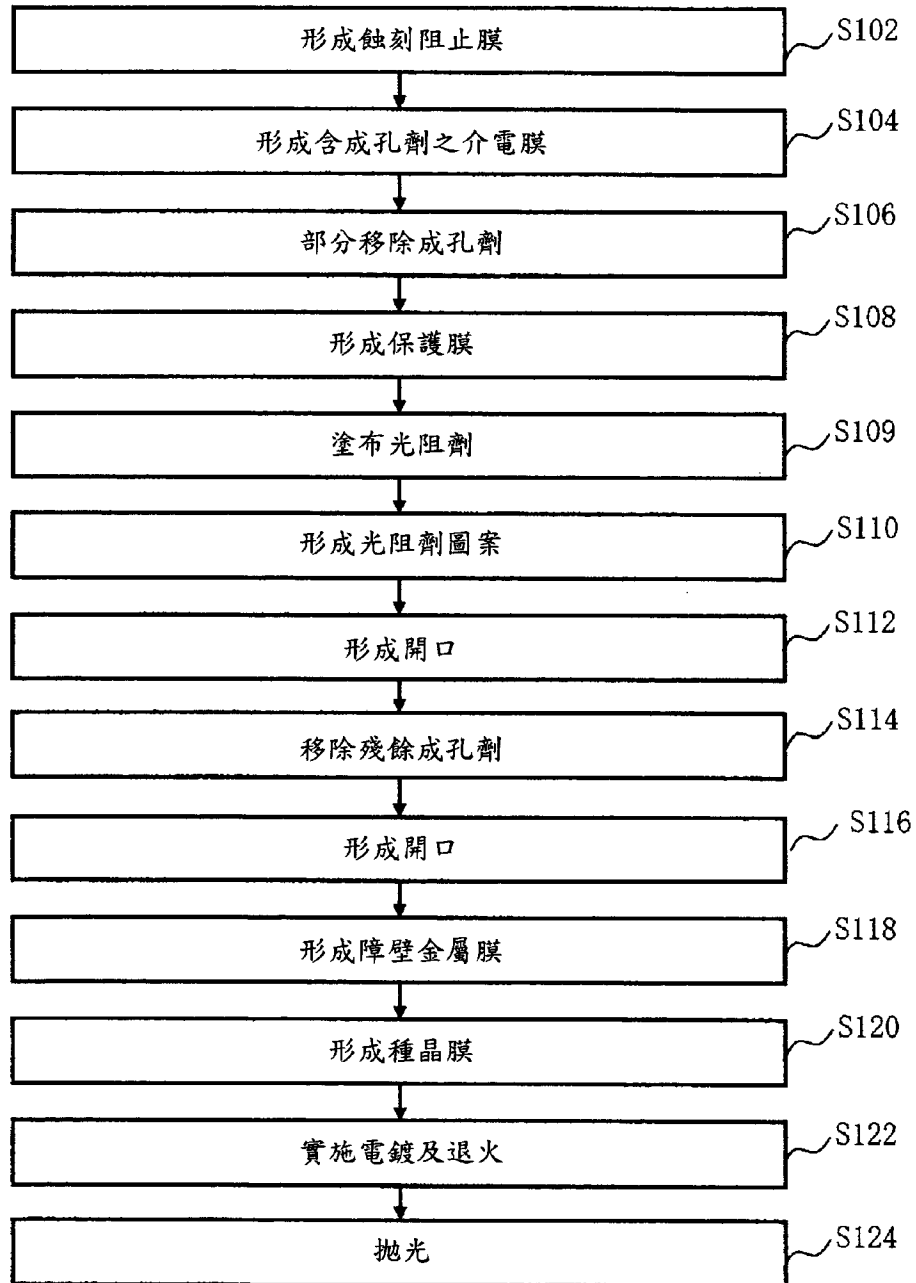
(54)名稱

製造半導體裝置之方法

METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE

(57)摘要

本發明係關於製造半導體裝置之方法，其包括：在基板上方形形成含有成孔劑材料之介電膜；移除部分被包含在介電膜中之成孔劑材料以使得介電膜下側上一部分中成孔劑材料的濃度高於介電膜上側上另一部分中之成孔劑材料的濃度；在介電膜中間處形成開口，其中已移除部分成孔劑材料以使得在該開口之底部下方仍留有介電膜；移除被包含在介電膜中之成孔劑材料之殘餘部分或使其聚合；且於移除成孔劑材料之殘餘部分或使其聚合後蝕刻該開口之底部。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200949931 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

---

(21)申請案號：098100865

(22)申請日：中華民國 98 (2009) 年 01 月 10 日

(51)Int. Cl.：

*H01L21/3065(2006.01)*

*H01L21/311 (2006.01)*

*H01L21/3205(2006.01)*

(30)優先權：2008/02/13

日本

2008-031811

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：增田秀顯 MASUDA, HIDEAKI (JP)；宮島秀史 MIYAJIMA, HIDESHI (JP)；伊高利昭 IDAKA, TOSHIAKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：9 共 37 頁

---

(54)名稱

製造半導體裝置之方法

METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE

(57)摘要

本發明係關於製造半導體裝置之方法，其包括：在基板上方形形成含有成孔劑材料之介電膜；移除部分被包含在介電膜中之成孔劑材料以使得介電膜下側上一部分中成孔劑材料的濃度高於介電膜上側上另一部分中之成孔劑材料的濃度；在介電膜中間處形成開口，其中已移除部分成孔劑材料以使得在該開口之底部下方仍留有介電膜；移除被包含在介電膜中之成孔劑材料之殘餘部分或使其聚合；且於移除成孔劑材料之殘餘部分或使其聚合後蝕刻該開口之底部。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於製造半導體裝置之方法，且舉例而言係關於在低介電常數之介電膜中形成開口之製造方法。

本申請案係基於2008年2月13日在日本提出申請的先前日本專利申請案第2008-031811號並主張其優先權之利益，該先前申請案之全部內容係以引用的方式併入本文中。

### 【先前技術】

近年來，人們已藉助具有更高整合度及更高性能之半導體積體電路(LSI)研發出新穎微處理技術。具體而言，為達成速度更快之LSI，近來，用電阻更低之銅(Cu)或Cu合金(下文統稱為Cu)替代習用線材料鋁(Al)已成為一種發展趨勢。由於難以對Cu施用通常用於形成Al合金線之乾式蝕刻方法來進行微處理，因而對於Cu主要採用所謂的鑲嵌製程，其中將Cu膜沈積在已實施凹槽處理之介電膜上，且隨後移除銅膜，但在藉由化學機械拋光(CMP)將Cu膜嵌入凹槽中以形成嵌入式線的部分中不移除。通常在藉由濺鍍製程形成薄種晶層後，藉由電鍍法使該Cu膜形成為具有約數百奈米厚度之層壓膜。此外，當形成多層Cu線時，可將介電膜沈積於下層線上並形成預定通孔以將Cu嵌入而成為堵塞材料，其進一步連接上層線。

最近，人們檢測具有低相對介電常數之低介電常數材料膜(低-k膜)作為層間介電層之用途。亦即，人們試圖藉由

使用低介電常數材料膜(低-k膜)(其相對介電常數 $k$ 為2.6或更低)取代氧化矽膜( $\text{SiO}_2$ )(其相對介電常數 $k$ 為約4.2)來降低線間之寄生電容。具體而言，人們已研發出使用在介電膜上具有小孔之所謂的多孔介電膜來降低介電常數之方法。隨後，在藉由上述鑲嵌製程形成Cu線時，需要藉由蝕刻在多孔介電膜中形成線槽及通孔。此時，在多孔介電膜下表面上形成具有不同膜品質之介電膜作為蝕刻阻止膜以抑制蝕刻量。通常，蝕刻阻止膜之相對介電常數比多孔介電膜高。因此，人們已進行降低蝕刻阻止膜之介電常數之研究來降低線間電容，但難以達成在維持作為蝕刻阻止物之膜品質的同時亦維持較低介電常數。因此，需要使蝕刻阻止膜變薄來降低線間電容。

然而，若使蝕刻阻止膜變薄，則在線或通孔插塞成形製程中蝕刻阻止膜可能不能阻止蝕刻。此乃圖案密度差異所致之蝕刻量差異之故。在對多孔介電膜實施鑽孔而形成所有圖案之前，蝕刻阻止膜可因一些圖案而消失，從而使得作為基材之基板受到不必要的蝕刻。因此，可導致在下層中會出現線之電特性問題，其具有極大不利影響。若使蝕刻阻止膜變厚來避免對作為基材之基板的蝕刻，則如上所述會增加線間電容；而另一方面，若使蝕刻阻止膜變薄，則作為基材之基板亦可能受到蝕刻。因此，使蝕刻阻止膜變薄及變厚二者皆有各自的問題，必須研發其他處理技術來進一步降低線間電容。

此處揭示一種技術，該技術在含有第一成孔劑之第一備

用多孔介電層上形成含有第二成孔劑之第二備用多孔介電層，並在第二備用多孔介電層中蝕刻出溝道且在第一備用多孔介電層中蝕刻出通孔，之後將第一及第二備用多孔介電層轉變成多孔層。在該情況中，應藉由在每一介電層中使用成孔劑來實現層間蝕刻之差異(例如，美國專利申請公開案第2004/0130032號)。然而，在該技術中僅闡述了形成溝道之層與形成通孔之層間的層間蝕刻差異，且此並非意欲抑制因一層中各圖案之圖案密度差異所致之蝕刻差異。此外，即使人們已嘗試將該技術應用於在一層中之各圖案，但仍需解決必須將兩種不同條件之介電層層壓之問題。

### 【發明內容】

根據本發明一個態樣提供製造半導體裝置之方法，其包括：在基板上方形形成含有成孔劑材料之介電膜；移除被包含在該介電膜中之該成孔劑材料之一部份，以使得該介電膜下側上一局部部分中該成孔劑材料的濃度高於該介電膜上側上另一局部部分中該成孔劑材料的濃度；在該介電膜中間處形成開口，其中該成孔劑材料之一部分會被移除，以使得在該開口底部下方仍留有該介電膜；移除被包含在該介電膜中之該成孔劑材料之殘餘部分或使其聚合；及於移除該成孔劑材料之殘餘部分或使其聚合後蝕刻該開口之底部。

### 【實施方式】

在下文所展示之實施例中將闡述製造半導體裝置之方

法，該裝置可抑制由於圖案密度差異所致之蝕刻差異。

### 實施例1

下文將參照附圖來闡述實施例1。

圖1係展示在實施例1中用於製造半導體裝置之方法之主要部分的流程圖。在圖1中，製造實施例1之半導體裝置之方法實施一系列製程，其包括蝕刻阻止膜形成製程(S102)、含成孔劑之介電膜形成製程(S104)、成孔劑部分移除製程(S106)、保護膜形成製程(S108)、光阻劑塗佈製程(S109)、光阻劑圖案形成製程(S110)、開口形成製程(S112)、殘餘成孔劑移除製程(S114)、開口形成製程(S116)、障壁金屬膜形成製程(S118)、種晶膜形成製程(S120)、電鍍及退火製程(S122)、及拋光製程(S124)。

圖2A至圖2D係展示根據圖1中之流程圖實施之製程的製程截面視圖。圖2A至圖2D展示圖1中之蝕刻阻止膜形成製程(S102)至保護膜形成製程(S108)。

在圖2A中，根據蝕刻阻止膜形成製程(S102)，藉由化學氣相沈積(CVD)法在基板200上形成厚度為(例如)25 nm的蝕刻阻止膜210。使蝕刻阻止膜210之厚度薄於下文所述SiOC膜220之厚度。舉例而言，碳氮化矽(SiCN)、碳氧化矽(SiCO)、碳化矽(SiC)或氮化矽(SiN)係蝕刻阻止膜210之適宜材料。在使用該等材料作為單層或壓層時，蝕刻阻止膜210之相對介電常數將大於下文所述之SiOC膜220。其形成方法並不限於CVD法，亦可藉由其他方法形成蝕刻阻止膜210。使用直徑為(例如)300 mm之矽晶圓作為基板200。

此處展示在基板200中形成金屬線202之情況。在金屬線202下方省略對接觸插塞層、裝置部分及諸如此類之圖示。在基板200上可形成具有諸如金屬線及接觸插塞或結構等各種半導體元件(未圖示)之層。或者，可形成其他層。

在圖2B中，根據含成孔劑之介電膜形成製程(S104)，藉由PE-CVD法在蝕刻阻止膜210上形成厚度為(例如)300 nm之含成孔劑材料222之SiOC膜220。使由甲基-二-乙氧基-矽烷、 $\alpha$ -萜品烯( $C_{10}H_{16}$ )、氧( $O_2$ )及氦(He)構成之混合氣體通入室(未圖示)中，且使室中之壓力維持在(例如) $1.3 \times 10^3$  Pa(10托)或以下，同時將上面形成蝕刻阻止膜210之基板200加熱至(例如)250°C且向室中之下部電極及上部電極(未圖示)供給射頻功率以產生電漿。甲基-二-乙氧基-矽烷係用於主要骨架組份形成之氣體，且 $\alpha$ -萜品烯係用於成孔劑組份形成之氣體。在蝕刻阻止膜210上自該等氣體形成具有有機矽氧烷作為主要骨架組份之SiOC膜220。此時，藉由電漿使被包含在混合氣體中之 $\alpha$ -萜品烯聚合以形成有機聚合物。該有機聚合物係成孔劑材料222，將其均勻納入SiOC膜220中。

可使用二-甲基-矽烷、三-甲基-矽烷、四-甲基-矽烷、二-甲基-苯基-矽烷、三-甲基-甲矽烷基-乙炔、單-甲基-二-乙氧基-矽烷、二-甲基-二-乙氧基-矽烷、四-甲基-環-四-矽氧烷及辛-甲基-環-四-矽氧烷中之至少一種作為用於主要骨架組份形成之有機矽氣體。

可使用甲烷、乙烯、丙烯、 $\alpha$ -萜品烯、 $\gamma$ -萜品烯及苧烯中之至少一種作為用於成孔劑組份形成之氣體。

此處，藉由CVD法來形成SiOC膜220，但形成方法並不限於CVD法。舉例而言，較佳宜使用SOD(介電層旋塗)法，其中可藉由旋塗含有成孔劑材料之溶液及提供熱處理來形成薄膜。舉例而言，可將甲基倍半矽氧烷(MSQ)用作藉由SOD法形成低介電常數介電膜之材料。除MSQ外，例如可藉由使用選自包括如下膜之群中之至少一種材料來形成低介電常數介電膜：具有諸如聚甲基矽氧烷、聚矽氧烷及氫基倍半矽氧烷等矽氧烷骨架結構之膜及諸如多孔氧化矽膜等多孔膜。在使用SOD法時，例如可藉由以旋塗器形成膜及在熱板上於氮氣氛中烘烤形成的晶圓來形成具有(例如)有機矽氧烷作為主要骨架組份且其中含有均勻成孔劑材料222之SiOC膜220。可藉由使用任何低介電常數介電膜材料獲得小於2.5之低介電常數。

在圖2C中，根據成孔劑部分移除製程(S106)，藉由電子束照射可移除被包含在SiOC膜220中之部分成孔劑材料222。同樣，藉由電子束照射可適當地促進被包含在SiOC膜220中之主要骨架組份之硬化。更具體而言，將上面形成SiOC膜220之基板200在室(未圖示)內維持於(例如) $1.3 \times 10^3$  Pa(10托)或以下之壓力中，同時將基板200加熱至(例如)400°C。此後，使氬(Ar)氣流入該室中以使室中之壓力維持恆定。在壓力恆定後，用電子束140照射SiOC膜220。此處，用入射能比習用入射能弱的電子束140來照射

SiOC膜220以移除SiOC膜220中之全部成孔劑材料222。因此，將成孔劑材料222之一部分作為氣泡加以移除以使得(如圖2C中所示)可形成如下狀態：SiOC膜220之下半側或「下表面側」上一部分中之成孔劑材料222的濃度高於SiOC膜220之整個上半側或「上表面側」部分中之成孔劑材料222的濃度。孔224係產生於移除成孔劑材料222之部分中。因此，具體而言，多孔SiOC膜係形成於SiOC膜220之整個上半側部分中。舉例而言，在SiOC膜220之下半側上適宜形成成孔劑材料222之高濃度區，其厚度比SiOC膜220之下半側薄。

圖3係例示在實施例1中於電子束照射後碳濃度與膜深度間之關係的圖。在圖3中展示在用習用入射能之電子束及入射能降低30%之電子束照射厚度為550 nm且含有均勻成孔劑材料222之SiOC膜220時，碳濃度與膜深度間之關係。此處，將4.8 kV/cm電場強度及 $100\text{ }\mu\text{C}/\text{cm}^2$ 照射電子量用作習用入射能之參照實例。圖3展示藉由二次離子質量分離分析(SIMS分析)多孔SiOC膜中之碳濃度曲線結果。顯而易見，藉由將入射能降低30%，在多孔SiOC膜與SiCN膜間之介面中呈現約250 nm可作為蝕刻阻止膜210之區域，在該區域中濃度逐漸變得高於習用實例之濃度。顯而易見，100 nm係與習用實例差異巨大之碳濃度極高之區域。

圖4係例示在實施例1中電子束電場強度比例與殘餘成孔劑區域厚度間之關係的圖。在圖4中展示藉由將至厚度為550 nm且含有均勻成孔劑材料222之SiOC膜220之習用電子

束的入射能設為100%當電場強度降低時，殘餘成孔劑區域厚度之實例。舉例而言，若如同入射能一樣將電場強度降低30%(如圖3)，則顯而易見，在多孔SiOC膜與SiCN膜間之介面中將呈現約250 nm可作為蝕刻阻止膜210的成孔劑殘餘區域。此結果與圖3中濃度逐漸高於習用實例濃度之區域的厚度大致匹配。

由此，本發明者發現，藉由降低入射能可在SiOC膜220之下表面側上產生高碳濃度區。由此，基於實驗結果，藉由調整照射電子之入射能來控制殘餘成孔劑沿深度方向的分佈，在多孔SiOC膜220與SiCN膜間之介面中形成高碳濃度區。以此方式，不形成層壓膜，在單層膜(一層)中即可形成不同碳濃度之區域。隨後，可藉由在單層膜中形成高碳濃度區而在一膜內改變蝕刻選擇比率。可適當地調整SiOC膜220下側區與上側區間的碳濃度比率。更佳在SiOC膜220之下部中形成碳濃度比率為SiOC膜220上部至少3倍的區域。

在圖2D中，根據保護膜形成製程(S108)，藉由CVD法在下部具有高碳濃度區域之多孔SiOC膜220上形成厚度為(例如)30 nm之保護膜230。SiN膜、SiO<sub>2</sub>膜、SiCN膜、SiCO膜、SiC膜或緻密SiOC膜適於用作保護膜230之材料。此處，可使用在組成上不同於多孔SiOC膜220或在密度上高於多孔SiOC膜220之任何介電膜。由於在下文所述殘餘成孔劑移除製程(S114)中紫外線照射可破壞碳-碳(C-C)鍵且在紫外照射期間移除光阻劑遮罩，因此可於光阻劑遮罩與

多孔 SiOC 膜 220 之間有效形成至少一層可在下文所述開口形成製程 (S116) 中作為遮罩材料之保護膜 230。

此處，端視保護膜 230，可在含成孔劑之介電膜形成製程 (S104) 之後形成保護膜 230，此後根據成孔劑部分移除製程 (S106) 藉由電子束照射移除被包含在 SiOC 膜 220 中之部分成孔劑材料 222。藉由調整保護膜 230 之膜密度或厚度，可使成孔劑材料 222 作為氣泡穿過保護膜 230 而被移除。在此情況下，由於在成孔劑部分移除製程 (S106) 中保護膜 230 使進入 SiOC 膜 220 的入射電子減速，因此可導致進入 SiOC 膜 220 之電子束入射能減弱。因此，考慮到電子束之入射能被保護膜 230 部分減弱，在需要時可降低電子束照射期間之電場強度。

保護膜 230 可使用諸如鉭 (Ta)、鈦 (Ti)、鈳 (Ru)、鎢 (W)、鋯 (Zr)、鋁 (Al) 及鈮 (Nb) 等金屬、一種該等金屬之氮化物 (包括氮化鉭 (TaN)、氮化鈦 (TiN)、及氮化鎢 (WN))、或含有至少一種該等金屬之合金替代介電膜作為材料。可使用 PVD 法、原子層沈積 (ALD) 法 (或原子層化學氣相沈積 (ALCVD) 法) 或 CVD 法作為該等金屬膜之沈積法。具體而言，在將金屬膜用於保護膜 230 時，更佳使用與下文所述障壁金屬膜之材料相同的材料。

圖 5A 至圖 5C 係展示根據圖 1 中之流程圖實施製程的製程截面視圖。圖 5A 至圖 5C 展示圖 1 中之光阻劑塗佈製程 (S109) 至開口形成製程 (S112)。

在圖 5A 中，根據光阻劑塗佈製程 (S109)，用光阻劑膜

232塗佈保護膜230。

在圖5B中，根據光阻劑圖案形成製程(S110)，經由微影蝕刻製程(例如曝光製程)在保護膜230上形成可作為通孔圖案之光阻劑圖案以選擇性形成開口150。

在圖5C中，根據開口形成製程(S112)，藉由以各向異性蝕刻法使用光阻劑圖案作為遮罩選擇性蝕刻經曝光保護膜230及其下方之多孔SiOC膜220來形成可作為通孔之上部部分的開口152。在此情況下，並非實施蝕刻直到蝕刻至蝕刻阻止膜210才停止，而是經由以保留多孔SiOC膜220底部高碳濃度區域的方式進行蝕刻且半途中止蝕刻，從而形成開口152。此處，所使用多孔SiOC膜220之蝕刻速率條件取決於膜中碳濃度而定。氟氣體(例如至少一種 $C_xH_yF_z$ ( $x$ 、 $z$ ：等於或大於1之整數； $y$ ：等於或大於0之整數)氣體)及惰性氣體適宜用作蝕刻氣體。藉由使用各向異性蝕刻法來實施移除可形成與基板200之表面基本垂直的開口152。作為實例，可藉由反應性離子蝕刻(RIE)法來形成開口152。

現在，藉由成孔劑部分移除製程(S106)使多孔SiOC膜220之上部部分成為低碳濃度區域，另一方面，其下部部分則為高碳濃度區域，由此使高碳濃度區域中之蝕刻速率下降，且如圖5C中所示，高碳濃度區域可能會使蝕刻停止，其中保留有大量成孔劑材料222仍在作為蝕刻阻止物發揮作用。此時，儘管達到高碳濃度區域之圖案位置的高碳濃度區域由於圖案面積密度差異而首先受到蝕刻，但亦蝕刻至其餘圖案位置之高碳濃度區域，從而可消除或減小

由於圖案面積密度差異所致之蝕刻量差異。

圖 6A 至圖 6C 係展示根據圖 1 中之流程圖實施之製程的製程截面視圖。圖 6A 至圖 6C 展示圖 1 中之殘餘成孔劑移除製程(S114)至開口形成製程(S116)。

在圖 6A 中，根據殘餘成孔劑移除製程(S114)，藉由紫外照射移除被包含在多孔 SiOC 膜 220 中之殘餘成孔劑材料 222。在將上面形成多孔 SiOC 膜 220 之基板 200 在室(未圖示)內維持於(例如)  $1.3 \times 10^3$  Pa(10 托)或以下壓力中的同時，將基板 200 加熱至(例如)  $400^\circ\text{C}$ 。此後，使 Ar 氣流入該室中以使室中之壓力維持恆定。在壓力保持恆定後，用紫外線 142 照射藉由保護膜 230 保護之多孔 SiOC 膜 220。此處，用具有 200 nm 至 600 nm 波長範圍之紫外線 142 照射藉由保護膜 230 保護之多孔 SiOC 膜 220。由此，以氣泡形式移除成孔劑材料 222 之殘餘部分，且如圖 6A 中所示，移除殘留於多孔 SiOC 膜 220 中之成孔劑材料 222，具體而言移除殘留於靠近蝕刻阻止膜 210 之介面之下表面側上一部分中的成孔劑材料 222。孔 224 產生於移除成孔劑材料 222 之部分中。因此，可形成作為整體均勻分佈有孔 224 之多孔 SiOC 膜 220。此外，紫外線照射破壞碳-碳(C-C)鍵，從而使得亦可一起移除光阻劑膜 232。

除了移除殘餘成孔劑材料 222 之外，亦可引發成孔劑組份之聚合反應或成孔劑組份與主要骨架組份之間的聚合反應，或引發該聚合反應而不實施該移除。舉例而言，藉由調整保護膜 230 之膜密度或膜厚度以使呈氣泡形式之成孔

劑材料222較難穿透保護膜230，從而使得除了靠近開口152之成孔劑材料222外其他成孔劑材料皆較難以移除，使得在該等成孔劑材料變成氣泡後可在多孔SiOC膜220中引起聚合反應。在此情況下，儘管介電常數輕微上升至不能移除整個成孔劑材料222之程度，但因殘餘成孔劑材料222發生聚合反應而可獲得具有優良膜品質之多孔SiOC膜220，因此該方法仍然有效。

此處亦提供紫外照射，但本發明實施例並不侷限於此。舉例而言，亦可藉由電子束照射、加熱處理、氧化性氣體處理、還原性氣體處理或化學處理來恰當地移除殘餘成孔劑材料222。或者，在適宜時，該處理可為組合處理，例如加熱處理與電子束照射組合、加熱處理與氧化性氣體處理組合、或加熱處理與還原性氣體處理組合。舉例而言，在電子束照射中，在成孔劑部分移除製程(S106)中照射之入射能無需降低。在加熱處理中，可將SiOC膜220加熱至350°C或更高。舉例而言，在氧化性氣體處理中，在加熱後，可將基板200暴露於氧氣(O<sub>2</sub>)、二氧化碳(CO<sub>2</sub>)、水蒸氣(H<sub>2</sub>O)或含有該等氣體之混合氣體中。舉例而言，在還原性氣體處理中，在加熱後，可將基板200暴露於氫氣(H<sub>2</sub>)、氨(NH<sub>3</sub>)、一氧化碳(CO)或含有該等氣體之混合氣體中。在本發明實施例中，如上所述，將加熱處理與紫外照射之組合作為實例來闡述。藉由以該方式將諸如加熱處理與紫外照射等複數種處理組合可縮短處理時間。藉由縮短處理時間可降低基礎中對線層之破壞。

在圖 6B 中，根據開口形成製程(S116)，藉由用於移除之各向異性蝕刻法使用保護膜 230 作為硬遮罩來選擇性蝕刻經曝光多孔 SiOC 膜 220，從而形成擴展至通孔下部部分之開口 154。此處，在各種條件下實施蝕刻以使得可使用蝕刻阻止膜 210 作為蝕刻阻止物來獲得多孔 SiOC 膜 220 之足夠蝕刻選擇比率。氟氣體(例如至少一種  $C_xH_yF_z$  ( $x$ 、 $z$ ：等於或大於 1 之整數； $y$ ：等於或大於 0 之整數)氣體)及惰性氣體適宜用作蝕刻氣體。藉由使用各向異性蝕刻法來實施移除可形成與基板 200 之表面基本垂直的開口 154。作為實例，可藉由 RIE 法來形成開口 154。

此時，藉由使用可變得比光阻劑膜 232 更薄的保護膜 230 作為蝕刻用硬遮罩，可改良開口 154 之尺寸精度。業已清除或減小由於圖案面積密度差異所致之蝕刻量差異，且另外開口 152 底部之剩餘厚度較薄，從而產生少量蝕刻。此外，在殘餘成孔劑移除製程(S114)中，藉由紫外線照射使得多孔 SiOC 膜 220 在開口 152 底部之蝕刻速率加快，且因此儘管在達到蝕刻阻止膜 210 之圖案位置的蝕刻阻止膜 210 由於圖案面積密度差異而首先受到蝕刻，但亦可使其餘圖案位置蝕刻至蝕刻阻止膜 210。因此，可在某個圖案位置中防止蝕刻阻止膜 210 被蝕刻貫穿而使其下之基板 200 發生不必要的蝕刻。隨後，如圖 6C 中所示，藉由對其後之剩餘蝕刻阻止膜 210 實施蝕刻來完成開口 154。

圖 7A 及圖 7B 係闡釋藉由習用技術所形成之開口與藉由實例 1 中之技術所形成之開口間差異的示意圖。通常，

藉由移除SiOC膜120中之所有成孔劑來均勻地形成孔124，且隨後使用光阻劑膜130作為圖案來形成開口，且由此，如圖7A中所示，蝕刻阻止物110可能被蝕刻貫穿而使基板100之線102側發生過度蝕刻。相反，在實施例1中，在形成成孔劑材料222大致均勻分佈之SiOC膜220之後，可藉由電子束照射改變成孔劑材料222在該膜中之分佈。結果，在SiOC膜220之下部中可形成高碳濃度區域。隨後，在升高SiOC膜220下部部分中之成孔劑濃度的同時，半途中止所實施的穿過開口之蝕刻，且隨後在移除SiOC膜220中之剩餘成孔劑材料222之後，使用保護膜230作為遮罩來蝕刻該開口之剩餘底部。因此，如圖7B中所示，可防止蝕刻阻止膜210被蝕刻貫穿而使基板200之線202側發生過度蝕刻。因此，可消除增厚蝕刻阻止膜210之需要，且不增加線間電容即可使通孔插塞成形之製程控制變得更為容易。或者，可使蝕刻阻止膜210變薄來減小線間電容。

圖8A及圖8B係展示根據圖1中之流程圖實施之製程的製程截面視圖。圖8A及圖8B展示圖1中之障壁金屬膜形成製程(S118)至種晶膜形成製程(S120)。

在圖8A中，根據障壁金屬膜形成製程(S118)，在藉由蝕刻形成之開口154之內表面上及保護膜230之表面上使用隔離金屬材料作為導電材料之實例形成隔離金屬240。使用濺鍍製程於濺鍍器件中沈積厚度為(例如)5 nm之Ta<sub>2</sub>N<sub>5</sub>膜來形成障壁金屬膜240。隔離金屬材料之沈積方法並不限於PVD法，且亦可使用原子層沈積法或CVD法。可使覆蓋度

因素比使用PVD法時更佳。除TaN外，亦可使用Ta、Ti、W、TiN、WN或諸如Ta與TaN等該等物質組合之層壓膜作為障壁金屬膜之材料。或者，例如在自金屬膜形成保護膜230時，可使用諸如Ru、Zr、Al及Nb等金屬或該等金屬之氮化物。

在圖8B中，根據種晶膜形成製程(S120)，藉由諸如濺鍍製程等物理氣相沈積(PVD)法在已形成障壁金屬膜240之開口154之內表面上及基板200之表面上沈積(形成)在下一製程(電鍍及退火製程)中可作為陰極之Cu薄膜作為種晶膜250。

圖9A及圖9B係展示根據圖1中之流程圖實施之製程的製程截面視圖。圖9A及圖9B展示圖1中之電鍍及退火製程(S122)及拋光製程(S124)。

在圖9A中，根據電鍍及退火製程(S122)，使可作為導電材料之實例的Cu膜260沈積於開口154表面及其中藉由諸如電鍍等電化學生長法形成種晶膜250之基板200表面上，其中種晶膜250可用作陰極。此處，舉例而言，使Cu膜260沈積至200 nm之厚度，且隨後在沈積後於(例如)250°C下實施30 min退火。

在圖9B中，根據拋光製程(S124)，藉由CMP法對基板200之表面實施拋光以藉由拋光來移除沈積於表面上之Cu膜260，其包括可作為線層之種晶膜250、隔離金屬240及保護膜230，但不移除沈積於開口表面上的Cu膜260。藉由以此方式對導電材料實施拋光使導電材料選擇性保留於開

口154中，其中在該開口內表面上形成障壁金屬膜240。結果，如圖9B中所示，可使表面平面化。根據前文，可在Cu線202上形成通孔插塞。

此處，若將介電膜用作保護膜230，則在拋光製程(S124)中保護膜230可保留於SiOC膜220上。另一方面，若將金屬膜用作保護膜230，則可將保護膜230拋光來移除保護膜230。具體而言，若自與障壁金屬膜240相同之材料形成保護膜230，則可對障壁金屬膜240及金屬膜之保護膜230一起實施拋光。此處，在對障壁金屬膜240實施拋光時，亦對沈積於開口154中之Cu膜260實施拋光，且因此調整用於拋光之拋光液體(例如漿液)及用於在拋光後清洗之清洗液體，以使得不產生因隔離金屬材料中不同金屬與Cu之電位差所引起之腐蝕。另一方面，若自隔離金屬材料中之不同材料形成保護膜230，則更需要在三種不同材料間調整拋光液體及清洗液體。極難在三種不同材料間進行調整。因此，若自相同材料形成障壁金屬膜240及金屬膜之保護膜230，則在兩種不同材料間較易於達成充分調整。

根據上述本發明實施例，可使由於圖案密度差異所致之蝕刻量差異變小。由此，可防止基板受到不必要的蝕刻。

在上文中，即使除Cu(作為上一實施例中之線層材料)外亦使用用於半導體工業中之主要組份的含Cu材料(例如Cu-Sn合金、Cu-Ti合金及Cu-Al合金)，亦可獲得相同效果。

在前文中，已參照具體實例對實施例進行闡述。然而，本發明並不限於該等具體實例。舉例而言，儘管上述實例

闡述形成通孔之情況，但在形成溝道時亦可以類似方式應用本發明。此外，可藉由非CMP法來移除保護膜230。舉例而言，可藉由化學處理來移除保護膜230。

另外，可藉由適當地選擇半導體積體電路及各種半導體元件中所需者來使用層間介電層之厚度、開口之大小、形狀及數量及諸如此類。

此外，所有具有本發明元件且設計可由彼等熟習此項技術者按需要加以修改之半導體裝置及製造該等半導體裝置之方法皆包括於本發明之範疇內。

儘管出於簡化說明之目的省卻在半導體工業中常用之某些技術，例如微影製程及處理前後之清洗，但該等技術當然包括於本發明之範疇中。

熟習此項技術者可容易地想出本發明之額外優點及修改。因此，本發明之寬廣態樣並不侷限於本文所顯示及闡述之具體細節及代表性實施例。因此，可對本發明作各種修改，此並不背離如隨附申請專利範圍及其等效內容所界定之本發明的一般發明概念之精神或範疇。

### 【圖式簡單說明】

圖1係展示在實施例1中半導體裝置製造方法之主要部分的流程圖；

圖2A至圖2D係展示根據圖1中之流程圖實施之製程的製程截面視圖；

圖3係例示在實施例1中於電子束照射後碳濃度與膜深度之間關係的圖；

圖4係例示在實施例1中電子束之電場強度之比例與殘餘成孔劑區域之厚度之間關係的圖；

圖5A至圖5C係展示根據圖1中之流程圖實施之製程的製程截面視圖；

圖6A至6C係展示根據圖1中之流程圖實施之製程的製程截面視圖；

圖7A及圖7B係闡釋藉由習用技術所形成之開口與藉由實施例1中之技術所形成之開口之間差異的示意圖；

圖8A及圖8B係展示根據圖1中之流程圖實施之製程的製程截面視圖；及

圖9A及圖9B係展示根據圖1中之流程圖實施之製程的製程截面視圖。

#### 【主要元件符號說明】

|     |       |
|-----|-------|
| 100 | 基板    |
| 102 | 線     |
| 110 | 蝕刻阻止物 |
| 120 | SiOC膜 |
| 124 | 孔     |
| 130 | 光阻劑膜  |
| 150 | 開口    |
| 152 | 開口    |
| 154 | 開口    |
| 200 | 基板    |
| 202 | 金屬線   |

|     |       |
|-----|-------|
| 210 | 蝕刻阻止膜 |
| 220 | SiOC膜 |
| 222 | 成孔劑材料 |
| 224 | 孔     |
| 230 | 保護膜   |
| 232 | 光阻劑膜  |
| 240 | 障壁金屬膜 |
| 250 | 種晶膜   |
| 260 | Cu膜   |

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/100865

※申請日：98-1-10

※IPC 分類：H01L 21/3065 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/311 (2006.01)

製造半導體裝置之方法

H01L 21/3205 (2006.01)

METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE

## 二、中文發明摘要：

本發明係關於製造半導體裝置之方法，其包括：在基板上方形形成含有成孔劑材料之介電膜；移除部分被包含在介電膜中之成孔劑材料以使得介電膜下側上一部分中成孔劑材料的濃度高於介電膜上側上另一部分中之成孔劑材料的濃度；在介電膜中間處形成開口，其中已移除部分成孔劑材料以使得在該開口之底部下方仍留有介電膜；移除被包含在介電膜中之成孔劑材料之殘餘部分或使其聚合；且於移除成孔劑材料之殘餘部分或使其聚合後蝕刻該開口之底部。

### 三、英文發明摘要：

A method for fabricating a semiconductor device includes forming a dielectric film containing a porogen material above a substrate; removing a portion of the porogen material contained in the dielectric film so as to make a concentration of the porogen material higher in a part on a lower side of the dielectric film than in another part on a higher side of the dielectric film; forming an opening halfway in the dielectric film from which a portion of the porogen material has been removed to leave the dielectric film below a bottom of the opening; removing or polymerizing a remainder of the porogen material contained in the dielectric film; and etching the bottom of the opening after removing or polymerizing the remainder of the porogen material.

## 七、申請專利範圍：

### 1. 一種製造半導體裝置之方法，其包含：

在基板上方形成含有成孔劑材料之介電膜；

移除被包含在該介電膜中之該成孔劑材料之一部份，  
以使得該介電膜下側上一局部部分中該成孔劑材料的濃  
度高於該介電膜上側上另一局部部分中該成孔劑材料的  
濃度；

在該介電膜中間處形成開口，其中該成孔劑材料之一  
部分會被移除，以使得在該開口底部下方仍留有該介電  
膜；

移除被包含在該介電膜中之該成孔劑材料之殘餘部分  
或使其聚合；及

於移除該成孔劑材料之殘餘部分或使其聚合後蝕刻該  
開口之底部。

### 2. 如請求項1之方法，其中藉由用電子束照射該介電膜來 移除該成孔劑材料之該部分。

### 3. 如請求項1之方法，其進一步包含：形成位於該介電膜 上方之一預定膜；其中

使用在該預定膜上方形成之光阻劑圖案作為遮罩，在  
該介電膜中間處形成該開口；且

在移除該光阻劑圖案後，使用該預定膜作為遮罩來蝕  
刻該開口之底部。

### 4. 如請求項3之方法，其中藉由用紫外線照射在該介電膜 上方形成有該預定膜之該介電膜，來移除該成孔劑材料

之殘餘部分或使其聚合。

5. 如請求項4之方法，其中在移除該成孔劑材料之殘餘部分或使其聚合時，藉由該照射來移除形成在該預定膜上方之該光阻劑圖案。
6. 如請求項1之方法，其進一步包含：在形成該介電膜之前便在該基板上方形成用於蝕刻該開口之底部的蝕刻阻止膜。
7. 如請求項6之方法，其中該蝕刻阻止膜之相對介電常數大於該介電膜之相對介電常數。
8. 如請求項7之方法，其中該蝕刻阻止膜之厚度薄於該介電膜之厚度。
9. 如請求項6之方法，其中碳氮化矽(SiCN)、碳氧化矽(SiCO)、碳化矽(SiC)及氮化矽(SiN)中之至少一者可用作該蝕刻阻止膜之材料。
10. 如請求項2之方法，其中該電子束之入射能係弱於移除被包含在該介電膜中之所有成孔劑材料所需之入射能。
11. 如請求項1之方法，其中在移除該部分成孔劑材料時，形成該成孔劑材料之濃度相對較高之區域，其厚度小於該介電膜之下半部。
12. 如請求項1之方法，其中藉由移除該部分成孔劑材料，在該介電膜之上側上之該另一局部部分中形成低碳濃度區域且在該介電膜之下側上之該局部部分中形成高碳濃度區域。
13. 如請求項12之方法，其中在形成該開口時，選擇性地移

除該低碳濃度區域以保留該介電膜之該高碳濃度區域。

14. 如請求項13之方法，其中該開口係藉由蝕刻所形成，在形成該開口時，藉由用作蝕刻阻止物之該高碳濃度區域來中止該蝕刻。
15. 如請求項3之方法，其中該預定膜在組成上不同於該介電膜或其密度高於該介電膜。
16. 如請求項15之方法，其中SiN膜、SiO<sub>2</sub>膜、SiCN膜、SiCO膜、SiC膜或緻密SiOC膜可用作該預定膜之材料。
17. 如請求項3之方法，其中金屬、該金屬之氮化物或含有該金屬之合金可用作該預定膜之材料。
18. 如請求項17之方法，其中鉭(Ta)、鈦(Ti)、鈳(Ru)、鎢(W)、鋯(Zr)、鋁(Al)及鈮(Nb)中之至少一種可用作該金屬。
19. 如請求項3之方法，其中藉由用電子束照射在該介電膜上方形成有該預定膜之該介電膜，來移除該成孔劑材料之殘餘部分或使其聚合。
20. 如請求項3之方法，其中使用薄於該光阻劑圖案之該預定膜作為遮罩來蝕刻該開口之底部。

## 八、圖式：

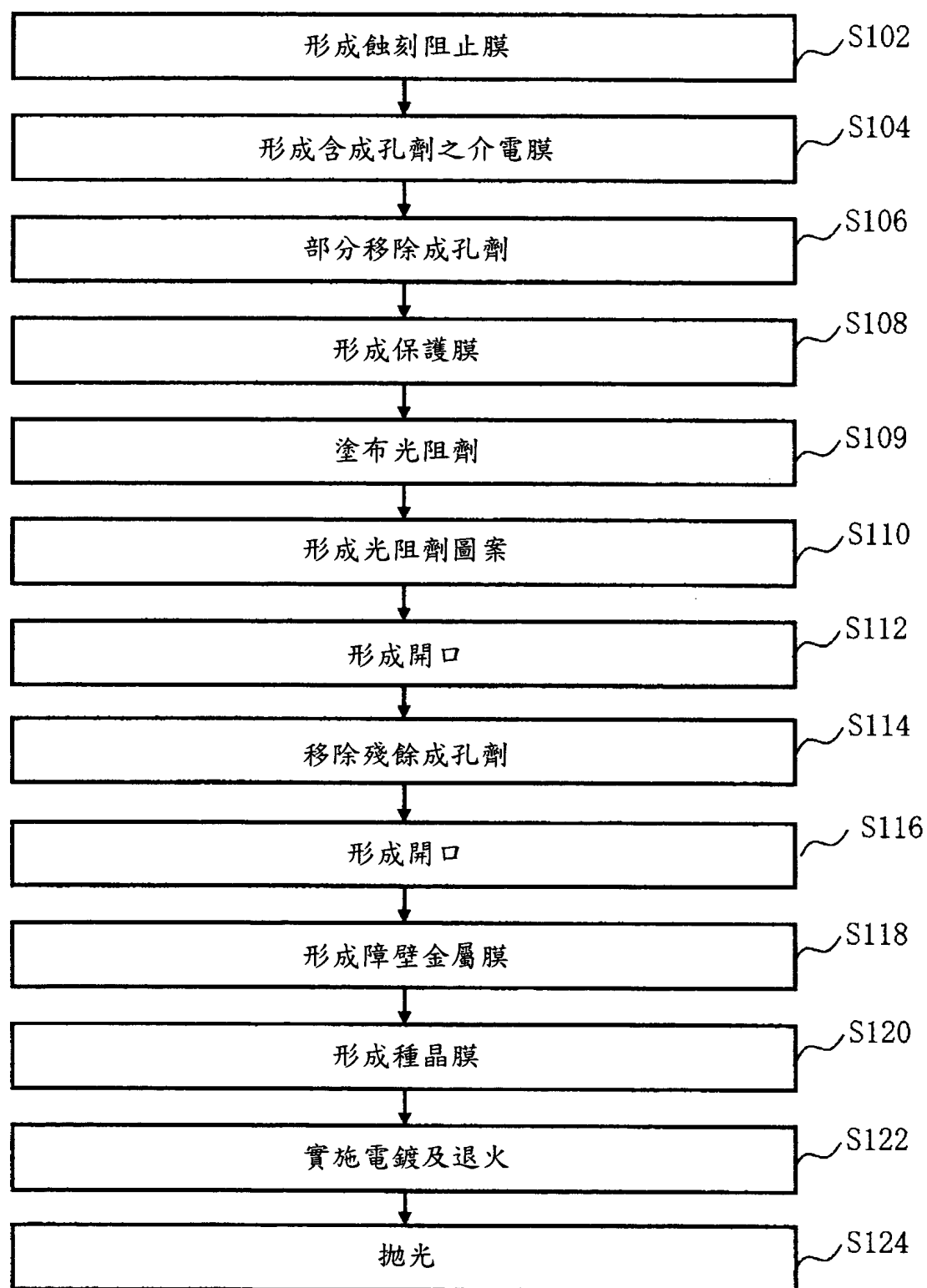


圖 1

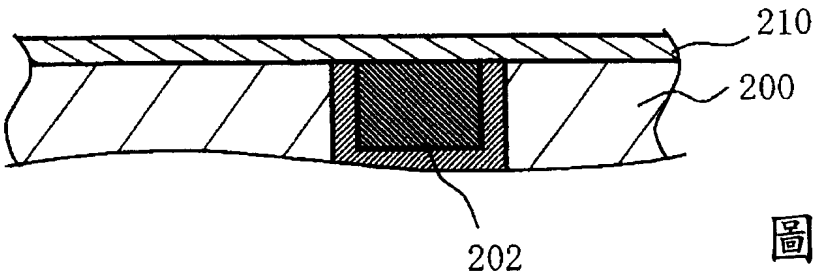


圖 2A

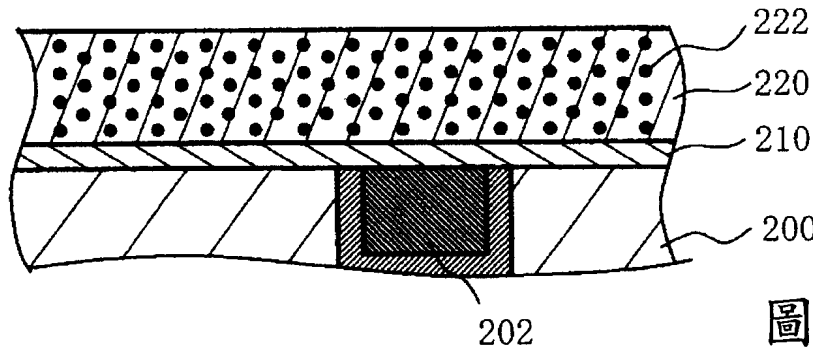


圖 2B

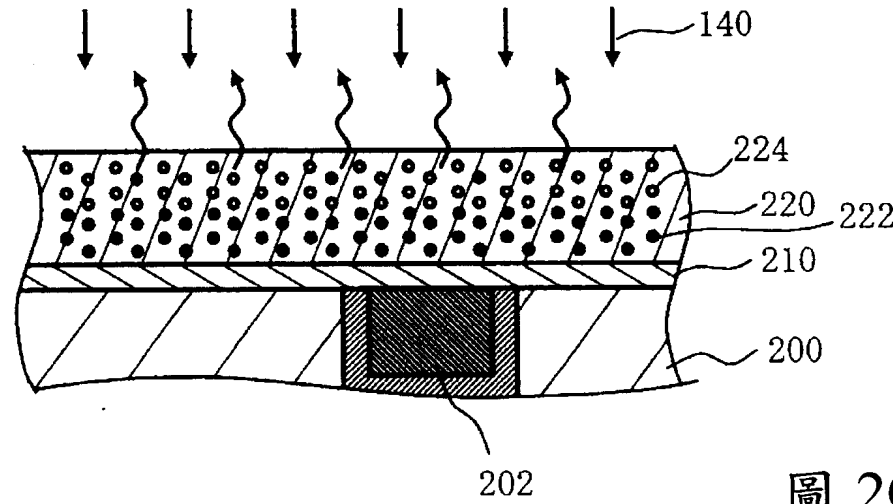


圖 2C

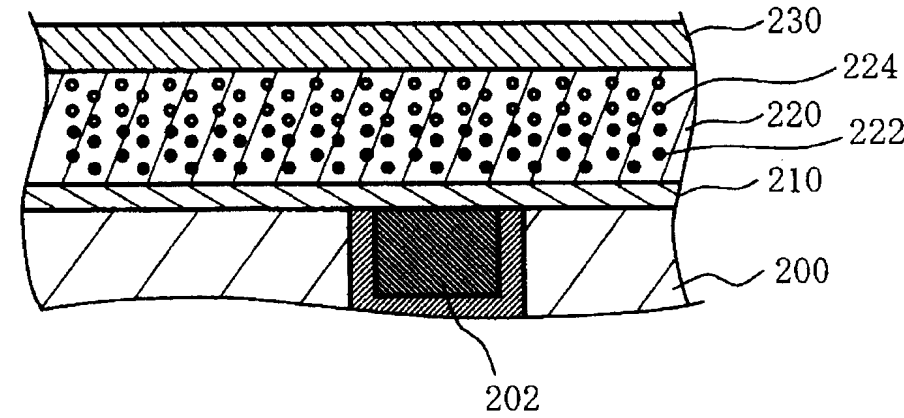


圖 2D

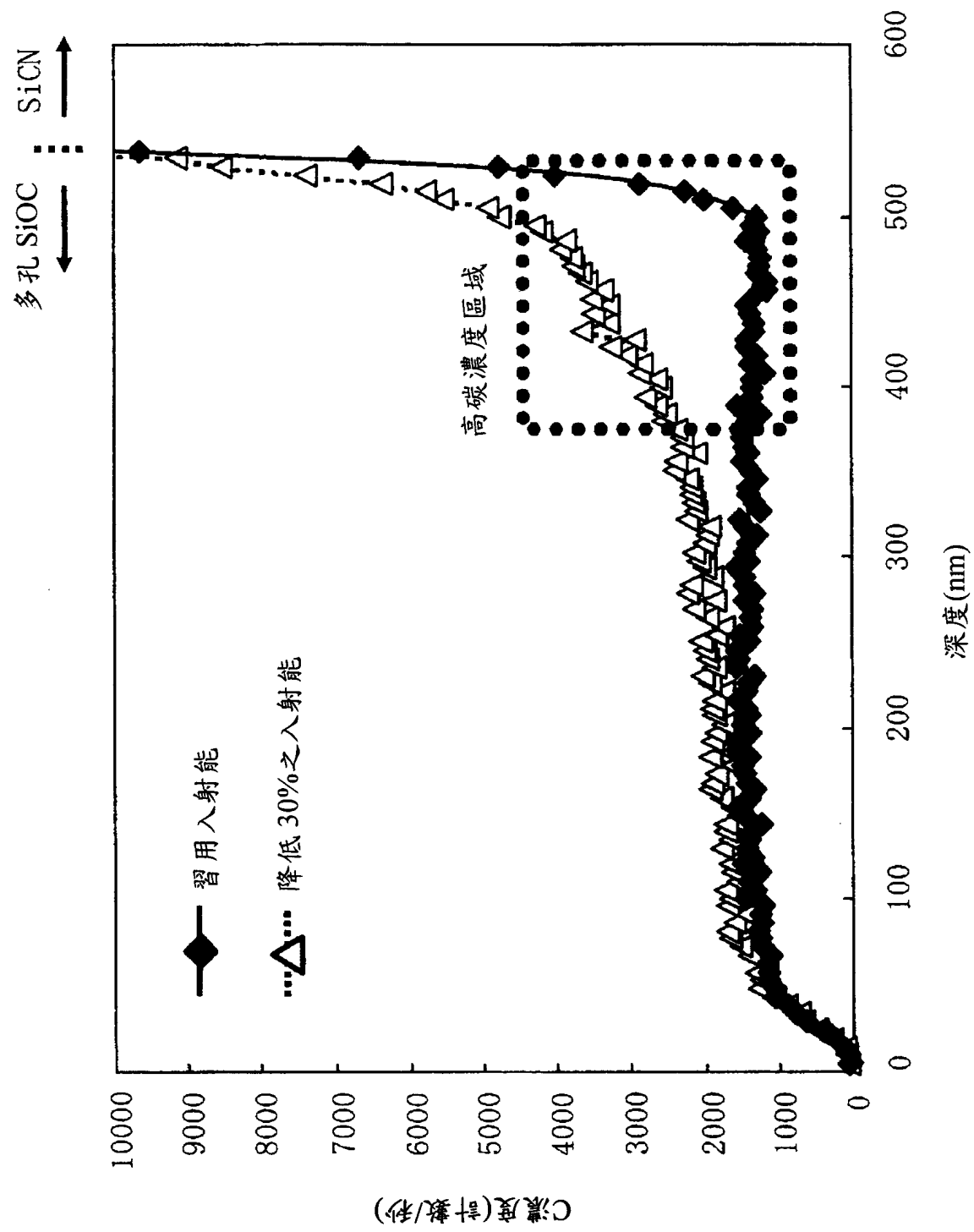


圖 3

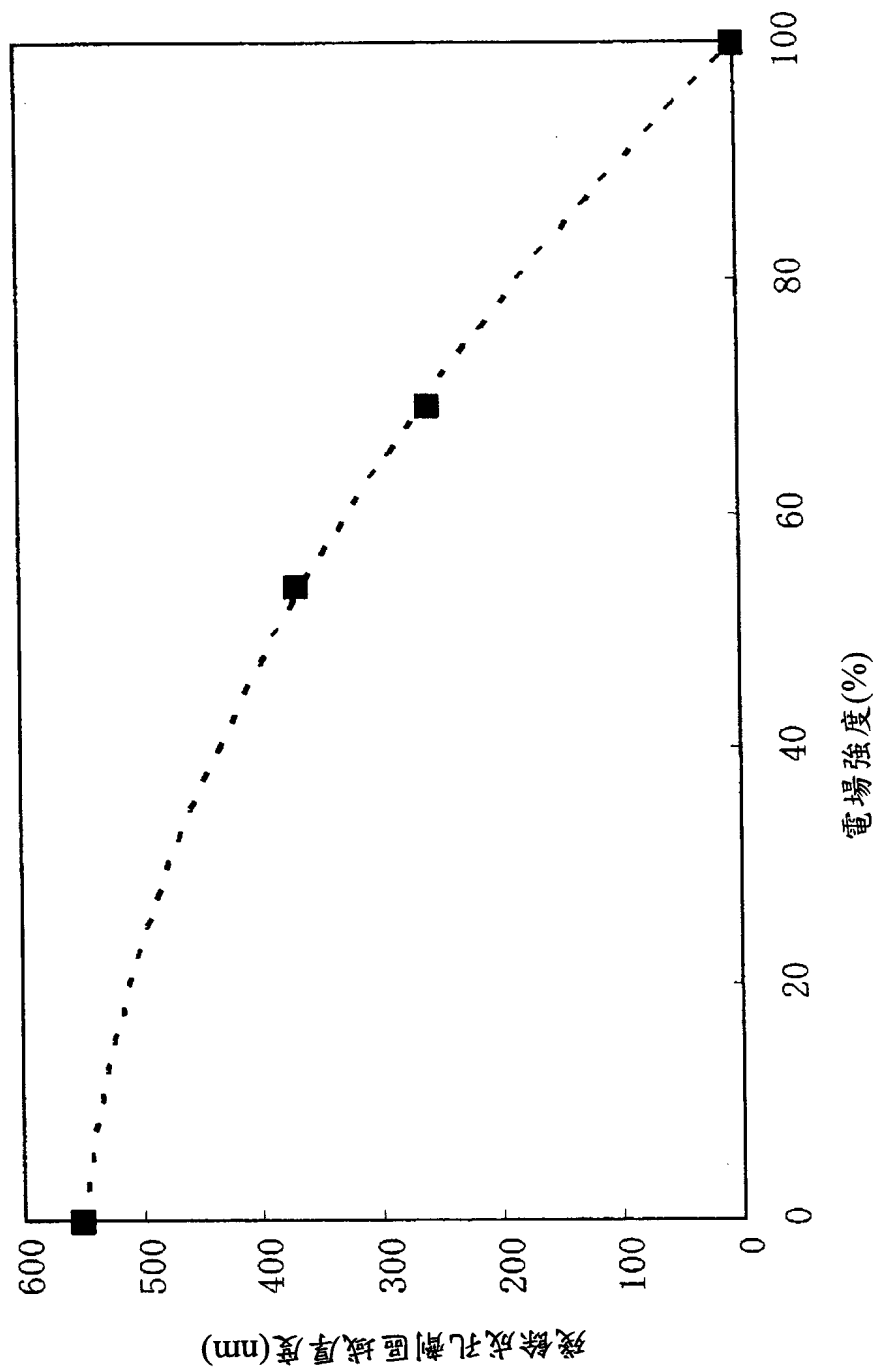


圖 4

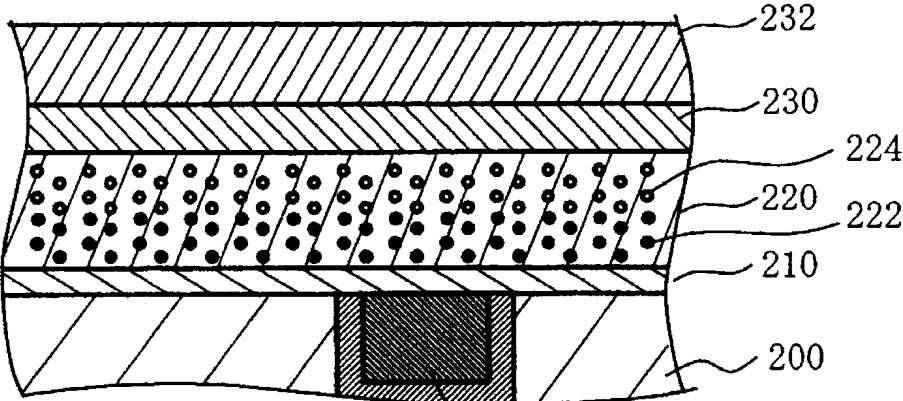


圖 5A

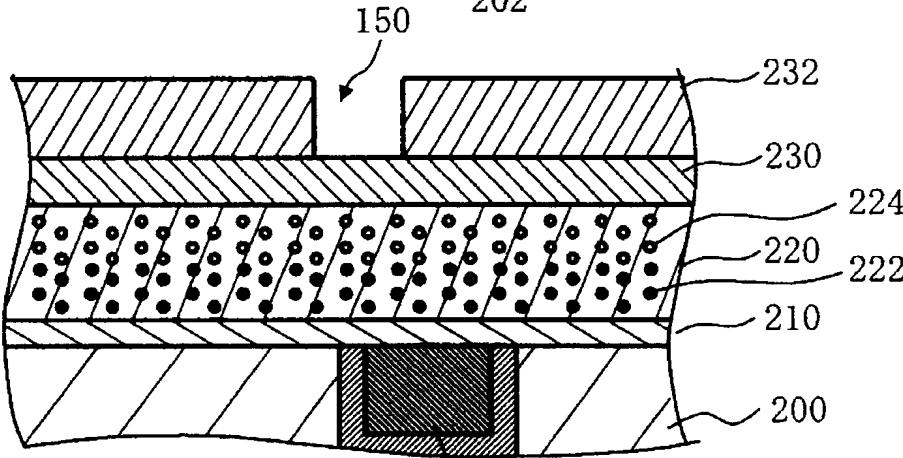


圖 5B

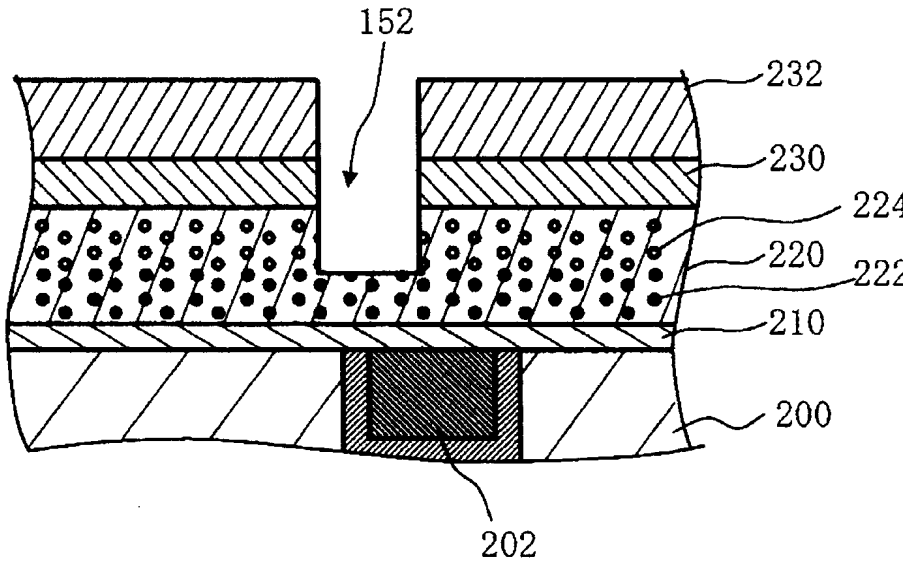


圖 5C

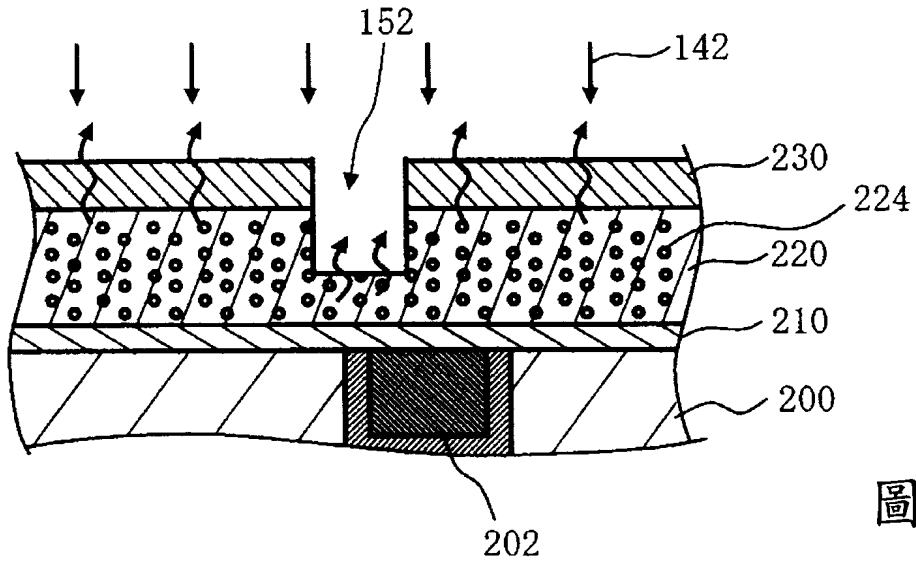


圖 6A

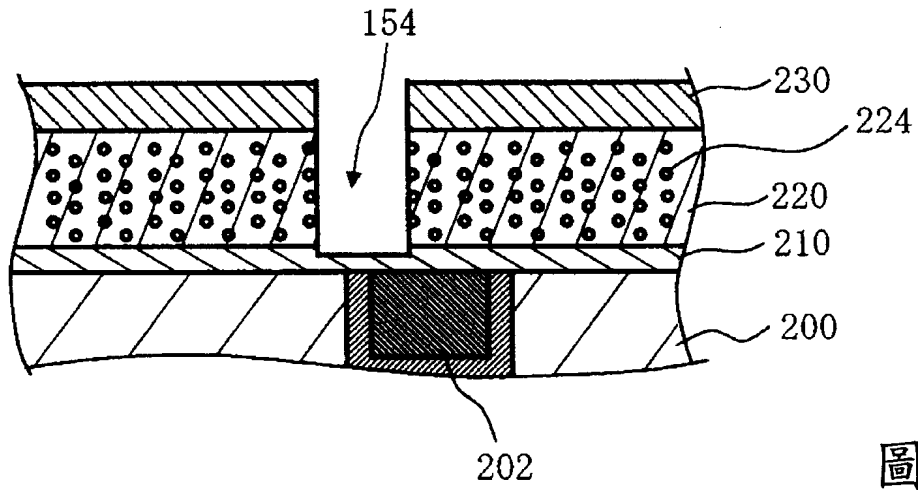


圖 6B

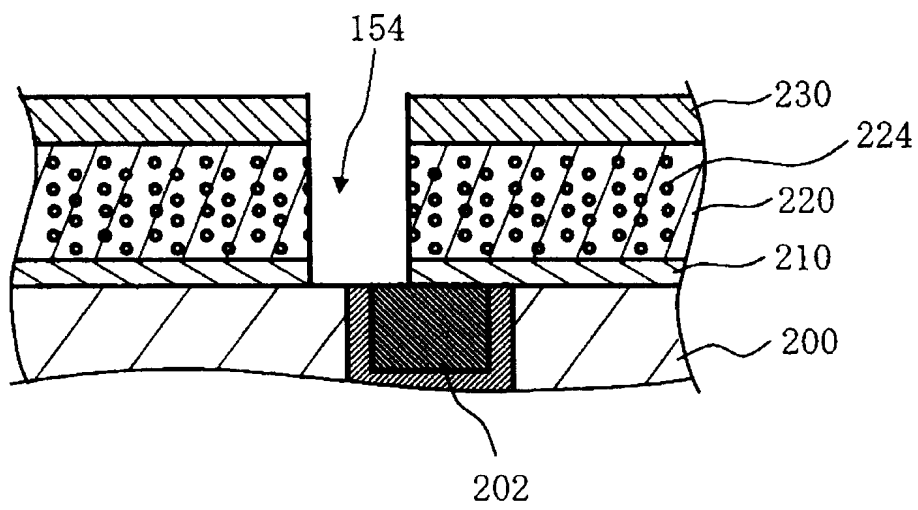
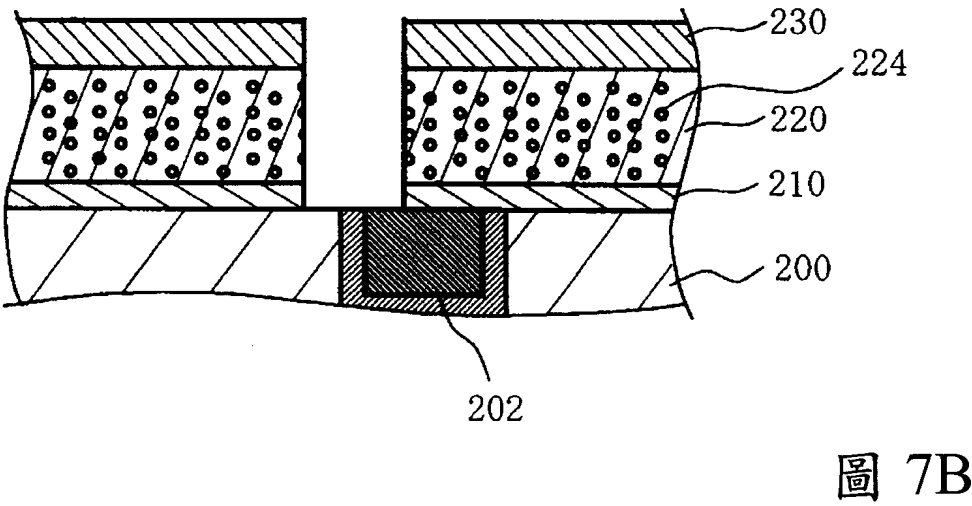
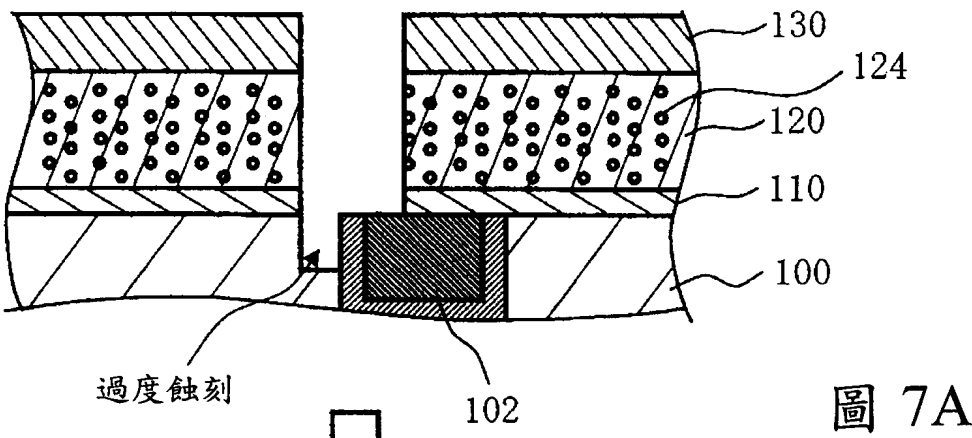


圖 6C



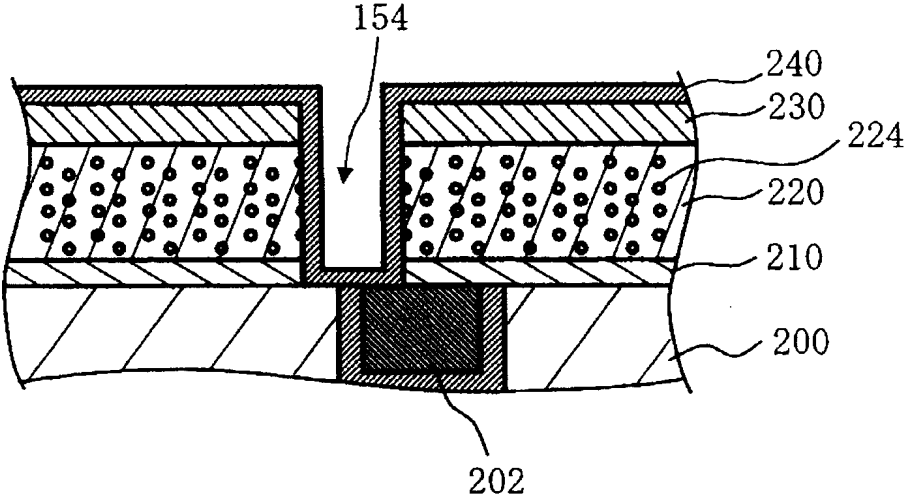


圖 8A

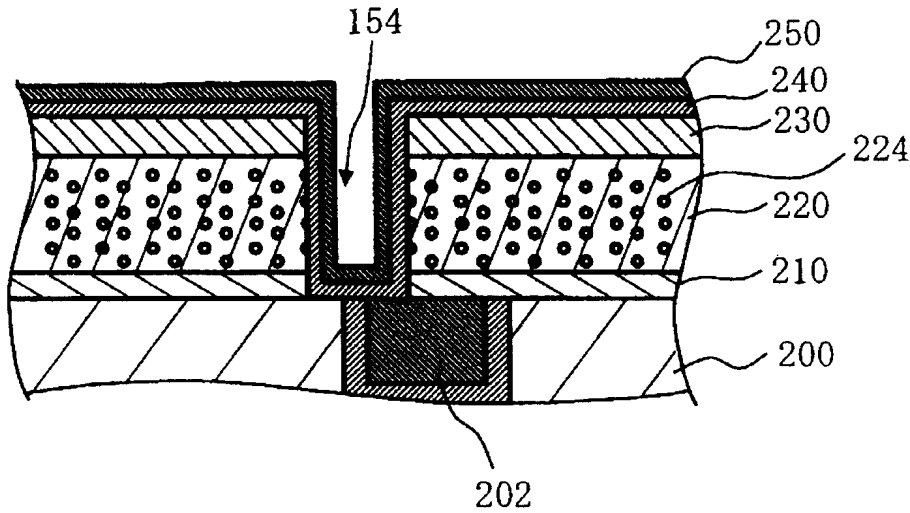


圖 8B

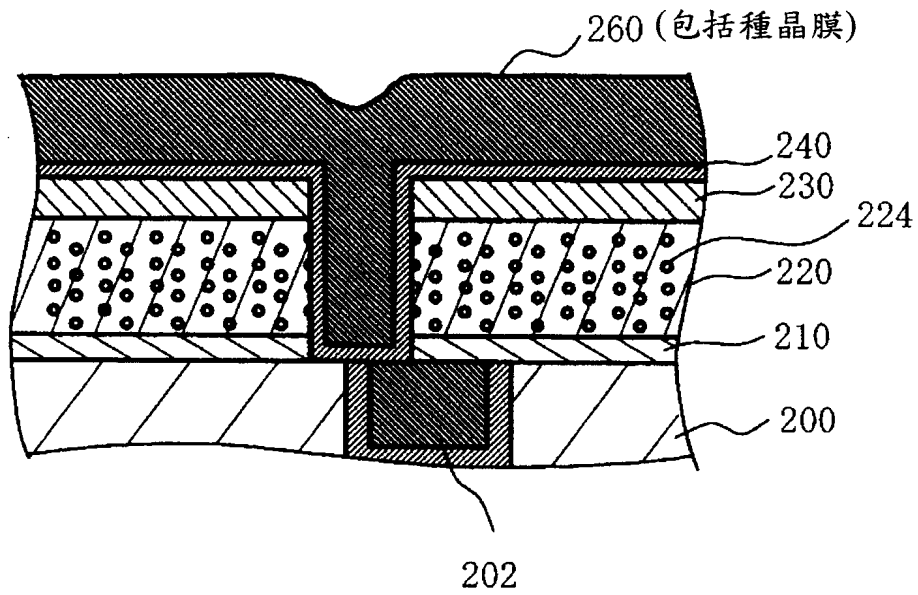


圖 9A

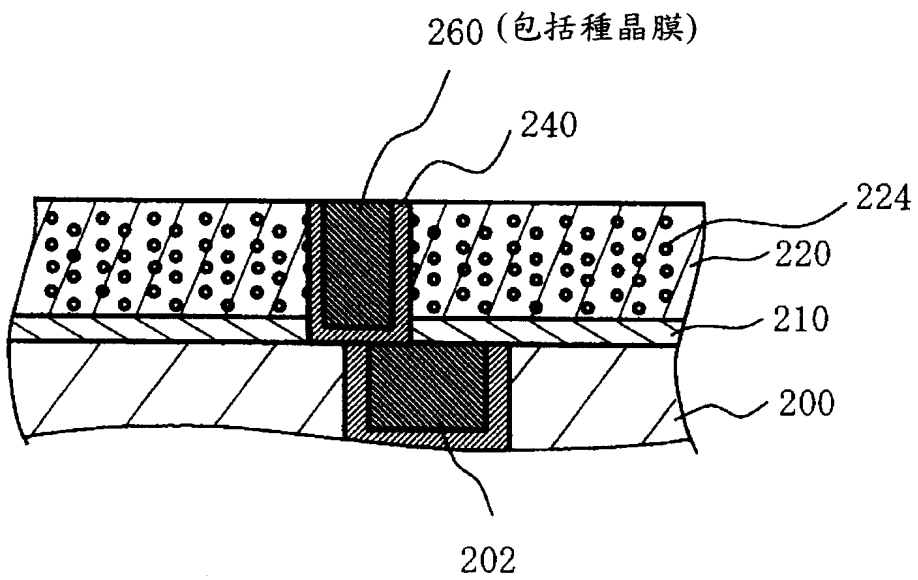


圖 9B

**四、指定代表圖：**

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)